

# Analyse und Entwurf von hochbitratigen Clock-and-Data-Recovery Schaltungen in CMOS-Technologie

J.-K. Bremer, C. Zemko, J. Schmackers, and W. Mathis

Institut für Theoretische Elektrotechnik, Leibniz Universität Hannover, Appelstraße 9A, 30167 Hannover, Deutschland

**Zusammenfassung.** In dieser Arbeit wird ein neuartiges Schaltungskonzept für die Realisierung eines Phasendetektors einer Clock-and-Data-Recovery Schaltung vorgestellt. Es handelt sich hierbei um eine nichtlineare Phasendetektorarchitektur, die nach dem Verfahren von Alexander arbeitet. Um die Funktionalität des Phasendetektors im Hochfrequenzbereich zu gewährleisten, wurden in dem Design sehr schnell schaltende HLO-Flip-Flops (high-speed latching operation flip-flop) verwendet. Ein wesentliches Entwurfsziel war die Begrenzung des selbstgenerierten Jitters des Phasendetektors. Der Schaltungsentwurf wurde mit der Simulationsumgebung Cadence Spectre durchgeführt und die Funktionalität der Schaltung im GHz-Bereich anhand von ausgewählten Simulationen verifiziert.

**Abstract.** This paper presents a novel realization concept for Clock-and-Data-Recovery circuits. Our Design uses a nonlinear phase detector architecture, which is based on the Alexander phase detection method. In order to ensure circuit functionality in the RF region, we use very fast switching HLO-Flip-Flops (high-speed latching operation flip-flop) in our design. The primal goal in our design was the minimization of self induced jitter of the phase detector. The accuracy of our circuit design and the functionality in the GHz regime is confirmed by various circuit simulations executed with the SPECTRE Simulator.

## 1 Einleitung

Die Forderung nach immer höheren Datenraten in modernen Kommunikationssystemen und der steigende Bedarf an Echtzeitdatenverarbeitungssystemen z.B. in der Medizin, führen zu einer hohen Nachfrage nach schnellen digitalen Datenübertragungssystemen. Auf der Empfängerseite dieser Hoch-

geschwindigkeitsverbindungen werden hochpräzise Clock-and-Data-Recovery (CDR) Schaltungen benötigt, um das Taktsignal aus den Daten zurückzugewinnen. Die eigentliche Taktrückgewinnung wird durch einen Phasenregelkreis (PLL) realisiert, welcher aus einem Phasendetektor, einem Schleifenfilter und einem spannungsgesteuerten Oszillator (VCO) besteht. Die zentrale Aufgabe einer solchen Clock-and-Data-Recovery Schaltung besteht darin, das Datensignal mit möglichst niedriger Bitfehlerrate zu regenerieren. Die realisierbare Bitfehlerrate hängt von der Signalqualität des Eingangssignals und im Besonderen von den Jitterübertragungseigenschaften der Clock-and-Data-Recovery Schaltung ab. In dieser Arbeit wird eine neuartige Phasendetektorarchitektur zur Verarbeitung höchster Datenraten vorgestellt, die die maximale Übertragungsdatenrate mit minimiertem Jitter ermöglicht.

## 2 Aufbau und Funktionalität eines CDR-Systems

Das Blockschaltbild eines Systems zur Taktrückgewinnung mit Phasenregelkreis ist in Abb. 1 zu sehen. Es besteht aus einem Phasendetektor, einem Schleifenfilter und einem spannungsgesteuerten Oszillator (VCO). Die Aufgabe des Phasendetektors ist es, den Phasenfehler zwischen dem Datensignal und dem VCO-Signal zu messen und ein entsprechendes Steuersignal an das Schleifenfilter weiterzugeben. Das im Schleifenfilter tiefpassgefilterte Signal steuert die VCO-Frequenz.

Je nach verwendetem Phasendetektortyp erhält man entweder eine lineare oder und nichtlineare Kennlinie. Die lineare Phasendetektorarchitektur, auch bekannt als Hogge Phasendetektorarchitektur (Hogge, 1975), spielte sehr lange Zeit eine große Rolle bei der Realisierung von Clock-Data-Recovery Schaltungen für optisches Übertragungssysteme (vgl. z.B. Razavi, 2002). Der Hogge Phasendetektor besitzt sehr gute Jittereigenschaften, jedoch besitzt er eine langsa-

*Correspondence to:* J.-K. Bremer  
(bremer@tet.uni-hannover.de)

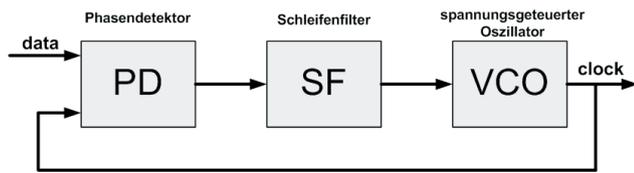


Abb. 1. Blockschaltbild eines CDR-Systems.

me Aquisitionszeit und der Fangbereich ist klein (Razavi, 2002)]. Aufgrund dieser Eigenschaften wird die Hogge Phasendetektorarchitektur in modernen Hochgeschwindigkeits-Kommunikationssystemen nur noch selten eingesetzt (Dodel und Klar, 2006). Der in unserem Design verwendete Phasendetektor ist ein Bang-Bang Phasendetektor, bei dem es sich um eine nichtlineare Phasendetektorarchitektur handelt. Im Vergleich zum linearen Phasendetektor besitzt ein Bang-Bang Phasendetektor zwar schlechtere Jitereigenschaften, da er selber durch das ständige Schalten Jitter produziert. Dafür hat er eine schnellere Aquisitionszeit und einen größeren Fangbereich (Razavi, 2002).

### 2.1 Anforderungen an den Phasendetektor

NRZ (Non-Return-to-Zero) codierte Hochgeschwindigkeitsdatenströme werden ohne einen getrennt gesendeten Takt übertragen. Deshalb besitzt das im Empfänger eintreffende Eingangsdatensignal keine Spektrallinie bei der Datenrate. Daraus ergeben sich spezielle Voraussetzungen, die ein Phasendetektor erfüllen muss. So muss der Phasendetektor in der Lage sein, bei einem zufälligen Bitmuster die Datenrate und Phase sicher zu erkennen. Es reicht also nicht, dass der Phasendetektor die Phasen des Eingangs- und Ausgangssignals vergleicht, wie dies ein einfacher Multiplizierer macht, da der CDR dann bei der falschen Frequenz einrasten würde. Der Phasendetektor muss die Phasendifferenz anhand von Taktflankenerkennung (Edge Detection) bestimmen (vgl. z.B. Razavi, 2002).

Eine weitere Anforderung an den Phasendetektor ist, dass zu jedem Zeitpunkt eine feste Phasendifferenz zwischen Ein- und Ausgangsphase besteht und die Daten somit immer in der Bitmitte abgetastet werden. Dies wird realisiert, indem die Phasendifferenz auf null geregelt wird. Im Decision Circuit wird dann das Datensignal bei der negativen Taktflanke abgetastet. Somit erfolgt das Sampling des Datensignals in der Bitmitte. Auf diese Weise wird die Wahrscheinlichkeit eines Bitfehlers minimiert. Der Phasendetektor soll selbst möglichst wenig Jitter erzeugen, da die Fähigkeit einer Taktrückgewinnungsschaltung, das Datensignal mit niedriger Bitfehlerrate zu regenerieren, zum größten Teil von den Jitterübertragungseigenschaften der Taktrückgewinnung abhängt.

### 2.2 Anforderungen an das Schleifenfilter und den VCO

Das Filter eines CDR-Systems hat die Aufgabe hochfrequente Komponenten herauszufiltern und wirkt gleichzeitig bei langsamen Änderungen des Phasendetektors als Integrator. Da an das Filter keine besonderen Ansprüche gestellt werden, wird oft ein passives Filter mit resistiven und kapazitiven Elementen benutzt (Baker, 2005). Das Schleifenfilter muss Tiefpassverhalten aufweisen, damit das VCO-Signal nicht durch die hochfrequenten Signalanteile des Phasendetektors moduliert wird, was zu erhöhtem Jitter führen würde. Wenn der Regelkreis stabil ist, wird die Frequenz des VCO so geregelt, dass sie der Frequenz des Eingangssignals entspricht und eine feste Phasendifferenz zwischen beiden besteht. Die Anforderungen an den VCO resultieren hauptsächlich aus der Bedingung, dass der selbsterzeugte Jitter möglichst klein sein soll. Das bedeutet, der VCO darf nur wenig Phasenrauschen erzeugen. Des Weiteren muss der VCO einen großen Bereich haben, in dem die Frequenz linear von der Eingangsspannung des VCO abhängt. Die Freilauffrequenz  $f_0$  des VCO sollte also möglichst in der Mitte des Aussteuerbereiches liegen (vgl. Baker, 2005).

## 3 Schaltungsentwurf

Der Entwurf wurde auf Basis eines  $0.25\ \mu\text{m}$  CMO Prozesses der Firma IHP Microelectronics realisiert. In den folgenden Abschnitten wird der Entwurf der einzelnen funktionalen Komponenten des Gesamtsystems näher untersucht.

Um in modernen CDR-Systemen für optische Übertragungssysteme mit sehr hohen Datenraten eingesetzt werden zu können, muss das Design des Phasendetektors die folgenden Anforderungen erfüllen:

- Genaue Regelung der Taktphase zur Bitmitte
- Geringe Jittererzeugung
- Funktion im GHz Bereich
- Geringer Flächenbedarf
- Ausreichender Ziehbereich
- Realisierung in CMOS
- geringe Leistungsaufnahme

Vollintegrierte CDR-Schaltungen sind besonders anfällig für Jitter. Die Hauptgründe dafür sind das erhöhte Phasenrauschen von integrierten Oszillatoren und die Kopplung hochfrequenter Störsignale über das gemeinsame Substrat. Da die Anfälligkeit von integrierten CDR-Schaltungen für Jitter mit zunehmender Bitrate zunimmt, war ein wesentliches Entwurfsziel die Begrenzung des selbstgenerierten Jitters. Um Low Power Applikationen zu ermöglichen wird die Betriebsspannung bei der Konstant-Feld Skalierung mitskaliert. Nach

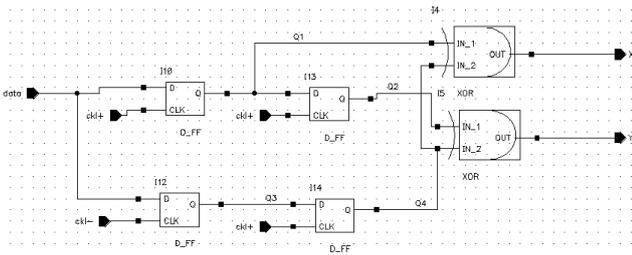


Abb. 2. Aufbau des Phasendetektors.

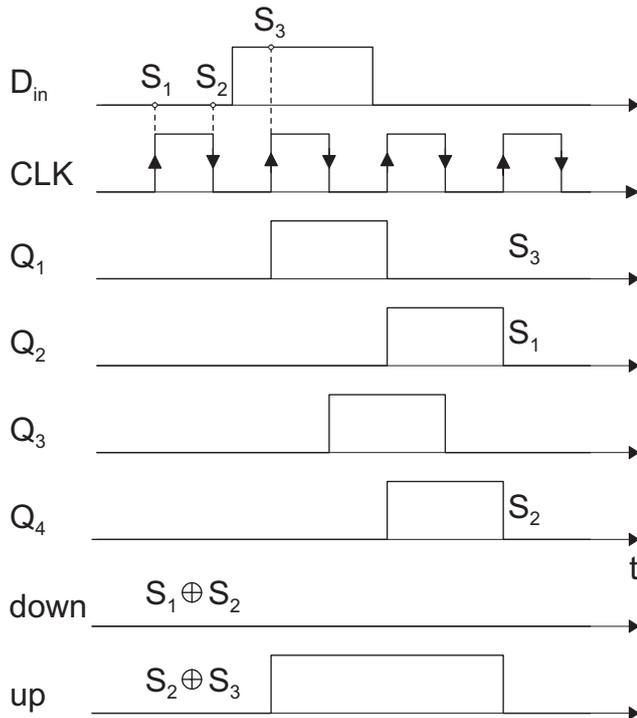


Abb. 3. Timing Diagram für den „early“-Fall.

den Skalierungsregeln ergibt sich bei einer 250 nm Technologie eine Betriebsspannung von 2,5 V siehe IRTS Roadmap (ITRS, 2006).

### 3.1 Realisierung des Phasendetektors

Der entworfene Phasendetektor besteht aus vier D-FlipFlops und zwei XOR-Gattern (vgl. Abb. 2). Es handelt sich um einen nichtlinearen Phasendetektor, der nach dem Verfahren von Alexander (Alexander, 1975) arbeitet. Dieses Verfahren wird auch als „early-late“ Detektormethode bezeichnet. Die Schaltung detektiert, ob die Taktflanke im Vergleich zur Flanke des Datensignals zu früh oder zu spät ist. Hierzu werden drei Samples  $S_1$ - $S_3$  des Datensignals benötigt, welche durch vier Flip-Flops erzeugt werden. Die Flip-Flops FF1 und FF2 sowie FF4 werden zur positiven Taktflanke getak-

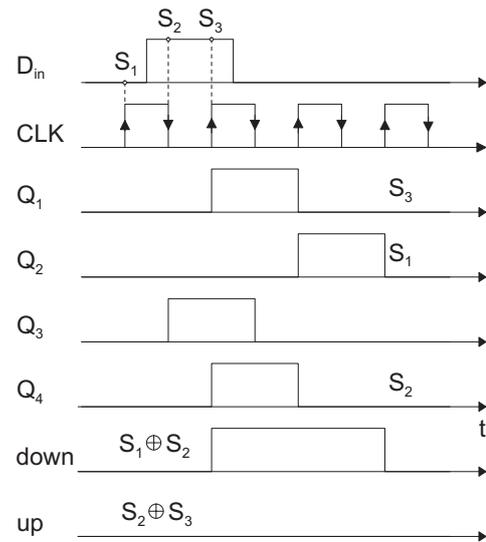


Abb. 4. Timing Diagramm für den „late“-Fall.

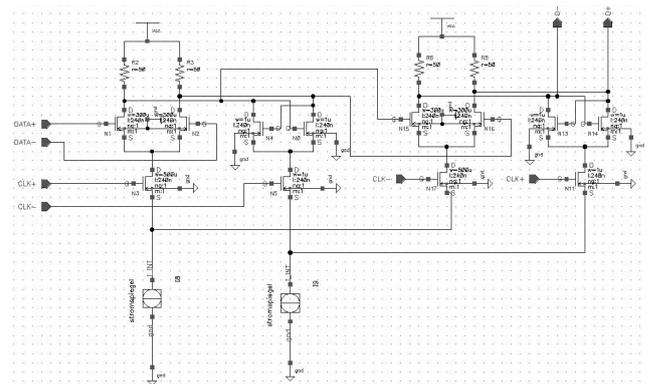


Abb. 5. Aufbau des Phasendetektors.

tet, während FF3 mit der negativen Flanke getaktet ist. Die Abb. 3 und 4 zeigen die Signale  $Q_1$ – $Q_4$ , sowie „up“ und „down“ jeweils für den „early“-Fall und den „late“-Fall.

$S_3$  ist das zeitlich aktuellste auftretende Sample zur positiven Taktflanke. Es wird durch den Ausgang von FF1 erzeugt, wohingegen das Sample  $S_1$  einen Takt früher genommen wird und somit am Ausgang von FF2 anliegt. FF3 taster zur negativen Taktflanke ab. Um dieses Signal mit  $Q_2$  vergleichen zu können, muss es um eine halbe Taktperiode verschoben werden, was durch FF4 geschieht. Auf diese Weise werden die Signale  $S_1$  –  $S_3$  erzeugt und können nach den oben beschriebenen Regeln verglichen werden. Die dadurch erzeugten Signale „up“ und „down“ steuern wiederum eine nachfolgende Charge Pump. Ist das Taktsignal zu spät, ist das „down“ Signal „1“ und die Charge Pump entlädt das Filter, so dass die Frequenz des VCO reduziert wird. Ist das Taktsignal hingegen zu früh, wird das „up“ signal „1“ gesetzt und

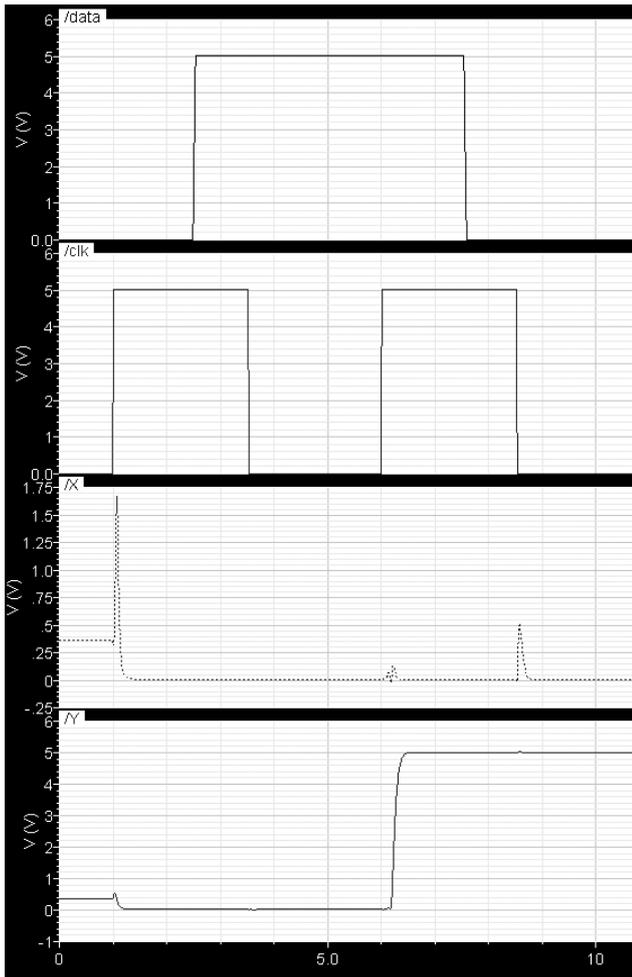


Abb. 6. Simulationsergebnisse für den „early“-Fall.

die Charge Pump lädt das Filter auf, so dass die Eingangsspannung des VCO und somit auch die Ausgangsfrequenz steigt. Wie aus den Abb. 3 und 4 hervorgeht, liegt das „up“ oder „down“ Signal jeweils für eine feste Zeit an, so dass die durch den Charge Pump Strom erzeugte mittlere Spannung am Filter während einer Taktperiode konstant ist (Razavi, 2002). Der Ausgang von FF1 wird als Datenausgang benutzt, um die Daten direkt im Alexander Phasendetektor zu reproduzieren. Somit ist kein separater Decision Circuit notwendig. Zudem wird im Fall, dass kein Datenübergang stattfindet kein „up“ oder „down“ Signal erzeugt, so dass die Spannung am Filter gehalten wird und somit auch die Frequenz des VCO (Razavi, 2002).

### 3.1.1 Design der D-Flip-Flops

Der entscheidende Block bei der Realisierung des Phasendetektors ist das D-Flip-Flop. Damit die CDR-Schaltung im Hochfrequenzbereich arbeiten kann, muss eine schnelle D-Flip-Flop Realisierung gewählt werden. Aus diesem Grund

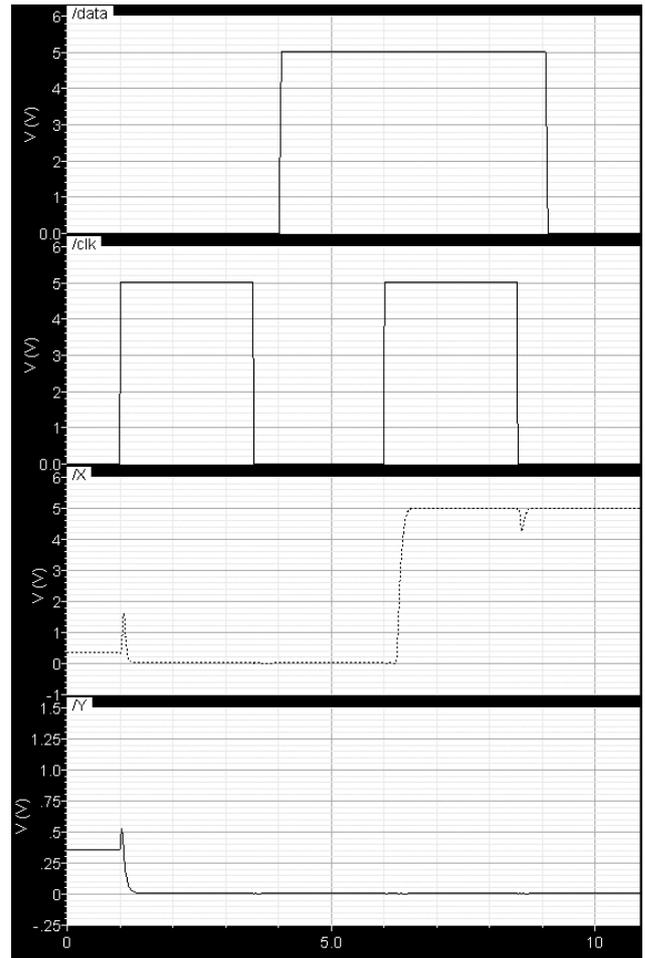


Abb. 7. Simulationsergebnisse für den „late“-Fall.

wurde in unserem Design ein HLO-Flip-Flop (high-speed latching operation flip-flop) verwendet (Qui, 2005). Es besteht aus einem Master und einem Slave, wobei Master und Slave aus einem Lese- und einem Speicher-Block bestehen. Master und Slave des Leseblocks teilen sich die gleiche Stromquelle und Master und Slave des Speicherblocks ebenfalls. Dieser Schaltungsaufbau reduziert den Leistungsverbrauch und erhöht die Geschwindigkeit. Eine optimale Dimensionierung der Stromquellen ermöglicht es, dass das System im GHz-Bereich arbeiten kann.

## 4 Simulationsergebnisse

Die nachfolgenden Simulationen wurden mit dem Schaltungssimulator Spectre der Firma Cadence durchgeführt. Bei der Simulation diente eine Pulsquelle mit einer Pulsweite von 1 ns als Dateneingang. Dies entspricht einer Eingangsfrequenz von 1 GHz. Die Ergebnisse der Simulation sind in den Abb. 6 und 7 dargestellt. Abbildung 6 zeigt den „early“-

Fall, in dem der Takt zu früh kommt und Abb. 7 zeigt den „late“-Fall, in dem der Takt zu spät kommt. Die Simulationsergebnisse zeigen, dass der Phasendetektor richtig arbeitet und sowohl für den „early“-Fall, als auch für den „late“-Fall jeweils den entsprechenden Ausgang auf High setzt.

## 5 Zusammenfassung

Es wurde eine CMOS Realisierung eines Alexander-Phasendetektors vorgestellt, die auf Basis von HLO-D-Flip-Flops realisiert wurde. Die Funktionalität der Schaltung im GHz-Bereich wurde mit Hilfe des Schaltungssimulators Cadence Spectre verifiziert.

*Danksagung.* An dieser Stelle möchten wir Prof. H. Klar und seinen Mitarbeitern für die Möglichkeit der Mitnutzung des an ihrem Institut betriebenen Cadence Systems danken.

## Literatur

- Alexander, J. D. H.: Clock recovery from random binary data, *Electronics Letters*, 11, 541–542, 1975.
- Baker, R. J.: *CMOS Circuit Design, Layout, Simulation* 2. Aufl., IEEE Press John Wiley & Sons, Piscataway N.J. 2005.
- Dodel, N. und Klar, H.: 10 Gb/s Bang-Bang Clock and Data Recovery (CDR) for optical transmission systems, *Advances in Radio Science*, 3, 293–297, 2005.
- Hogge, J. C.: A self correcting clock recovery circuit, *J. of Lightwave Technology*, 3, 1312–1314, 1985.
- ITRS: The International Roadmap for Semiconductors, [www.itrs.net](http://www.itrs.net), 2006.
- Qui, Y., Wang, Z., Xu, Y., Ding, J., Zhu, E., and Xiong, M.: 5-Gb/s 0.18- $\mu\text{m}$  CMOS Clock Recovery Circuit, *IEEE Int. Workshop VLSI Design & Video Tech. Suzhou, China*, 28–30 May, 2005.
- Razavi, B.: *Design of Integrated Circuits for Optical Communications*, Chicago, McGraw Hill, 2002.