

Ein kräftegesteuerter Platzierer für 3D-ICs mit Berücksichtigung vertikaler Durchkontaktierungen

Vom Fachbereich Informatik
der Universität Hannover
zur Erlangung des akademischen Grades

Doktor-Ingenieur
genehmigte Dissertation

von

Dipl.-Ing. Idris Kaya
geboren am 20. Juli 1974 in Hannover

2004

1. Referent: Prof. Dr.-Ing. Erich Barke
 2. Referent: Prof. Dr. Rainer Parchmann
- Tag der Promotion: 20. Oktober 2004

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Mikroelektronische Systeme der Universität Hannover.

Ich möchte mich an dieser Stelle sehr herzlich bei Herrn Prof. Dr.-Ing. E. Barke für die Betreuung meiner Arbeit, seine vielfältige Unterstützung und seine wertvollen Hinweise bedanken. Herrn Prof. Dr. R. Parchmann danke ich für die Übernahme des Korreferats sowie Herrn Prof. Dr. H. Vollmer für den Vorsitz in der Prüfungskommission.

Weiterhin möchte ich mich bei allen Mitarbeiterinnen und Mitarbeitern des Instituts für Mikroelektronische Systeme für die nette Arbeitsatmosphäre und die anregenden und interessanten Diskussionen bedanken. Vor allem die Diskussionen in der Layoutgruppe des Institutes möchte ich nicht missen.

Nicht zuletzt bedanke ich mich bei meiner Familie, die mir diese Ausbildung ermöglicht und mich in jeder Hinsicht unterstützt hat. Ferner bedanke ich mich herzlichst bei meiner Frau Fatma, der ich in letzter Zeit sehr viel Geduld abverlangt habe. Sie stand auch in diesen unruhigen Zeiten stets hinter mir.

Hannover, im Oktober 2004

Idris Kaya

Inhaltsverzeichnis

Symbole und Abkürzungen	xiii
Kurzfassung	xv
Abstract	xvii
1 Einleitung	1
1.1 Entwurf integrierter Schaltungen	2
1.2 Herausforderungen beim Entwurf integrierter Schaltungen	5
1.3 Motivation und Zielsetzung	11
2 Global- und Detailplatzierung	13
2.1 Globalplatzierung mit konstruktiven Verfahren	14
2.1.1 Branch-and-Bound-Verfahren	14
2.1.2 Clusterverfahren	16
2.1.3 Partitionsbasierte Verfahren	17
2.1.4 Kräftegesteuerte Verfahren	20
2.1.5 Weitere Globalplatzierungsverfahren	27
2.2 Globalplatzierung mit iterativ verbessernden Verfahren	30
2.2.1 Genetische Algorithmen	30
2.2.2 Simulated Annealing	32
2.3 Detailplatzierung	37
3 3D-Integration	45
3.1 3D-Integrationstechnologien	45
3.2 3D-Entwurfswerkzeuge	51
3.2.1 Floorplanner	51
3.2.2 Platzierer	52
3.2.3 Verdrahter	55
3.2.4 Design-Flows	55
4 Kräftegesteuerte 3D-Platzierung	57
4.1 Modifikation der Dichtefunktion	59
4.1.1 Modifizierte 2D-Dichtefunktion	61

4.1.2	3D-Dichtefunktion	64
4.2	Bestimmung der abstoßenden Kräfte	66
4.2.1	Auswirkungen der Fast Fourier Transformation	69
4.2.2	Kontinuierliche und diskrete Faltung im Vergleich	71
4.3	Betrachtung der vertikalen Durchkontaktierungen	74
4.3.1	Einfügen und Löschen von vertikalen Durchkontaktierungen	75
4.3.2	Auswirkungen der vertikalen Durchkontaktierungen auf die Gesamtverdrahtungslänge	76
4.4	Optimierungsziele bei der 3D-Platzierung	78
4.5	Legalisierung einer 3D-Globalplatzierung	80
5	Implementierung und Ergebnisse	85
5.1	Implementierung	85
5.2	Benchmarkschaltungen	86
5.3	Ergebnisse	87
5.3.1	Ergebnisse ohne Berücksichtigung der ICVs	88
5.3.2	Ergebnisse mit Berücksichtigung der ICVs	97
5.4	Bewertung	105
6	Zusammenfassung	107
	Literaturverzeichnis	109

Abbildungsverzeichnis

1.1	Y-Diagramm nach Gajski und Kuhn	2
1.2	Y-Diagramm: Funktioneller und physikalischer Entwurf	4
1.3	Moore's Law aus dem Jahre 1965 [86]	6
1.4	Entwicklung der Transistorzahl bei Mikroprozessoren und Speicherbausteinen	7
1.5	Flächenbedarf der Intel-Prozessoren [48]	9
2.1	Platzierungsverfahren	14
2.2	Platzierungsproblem für das Branch-and-Bound-Verfahren	15
2.3	Entscheidungsbaum für das Platzierungsproblem	16
2.4	Prinzip der Min-Cut-Platzierung	17
2.5	Ablauf der Min-Cut-Platzierung	18
2.6	Schnittsequenz für das Min-Cut-Verfahren	18
2.7	Masse-Feder-System bei der kräftegesteuerten Platzierung	21
2.8	Zwei Zellen auf der Layoutfläche	22
2.9	Dichtefunktion $D(x, y)$ für eine gegebene Platzierung	26
2.10	Ablauf der kräftegesteuerten Platzierung	27
2.11	Platzierung als Transportproblem	29
2.12	Lösung des Transportproblems	29
2.13	Genereller Ablauf des Simulated Annealing	33
2.14	Abkühlkurve für das Simulated Annealing	35
2.15	Akzeptanzfunktion beim Simulated Annealing	36
2.16	Mongrel: Genereller Ablauf der Zeilenoptimierung	38
2.17	Mongrel: Legalisierungsschritt nach [47]	39
2.18	DOMINO: Genereller Ablauf	39
2.19	DOMINO: Regionen bei der Legalisierung	40
2.20	DOMINO: Aufbau der Platzierung	41
2.21	Modellierung als Transportproblem	42
3.1	Schematische Darstellung eines Multi-Chip-Moduls (MCM)	45
3.2	Schematische Darstellung eines vertikalen MCMs (MCM-V)	46
3.3	Wafer-Bonding mit Polymer-Kleber [38]	48
3.4	Copper-Wafer-Bonding [38]	49

3.5	Schematische Darstellung der ICV-Technologie	49
3.6	Partitionierungsablauf für die Minimierung der Anzahl vertikaler Verbindungen [25]	54
3.7	Partitionierungsablauf für die Minimierung der Gesamtverdrahtungslänge [25]	54
4.1	Kontinuierliche 2D-Dichtefunktion	60
4.2	Unterschätzende 2D-Dichtefunktion	60
4.3	Bestimmung der modifizierten 2D-Dichtefunktion (Anordnung) . .	62
4.4	Schritt 1 bei der Bestimmung der modifizierten 2D-Dichtefunktion	62
4.5	Modifizierte 2D-Dichtefunktion für einen Ausschnitt der Layoutfläche	63
4.6	Berechnung der 2D-Dichtematrix	64
4.7	Anordnung für die 3D-Dichtefunktion	64
4.8	Bestimmung der 3D-Dichtefunktion (Fall 1)	65
4.9	Bestimmung der 3D-Dichtefunktion (Fälle 2 und 3)	66
4.10	Berechnung des Vektorfeldes der abstoßenden Kraft	68
4.11	Berechnung der abstoßenden Kraft in x -Richtung	70
4.12	Durch seine Impulsantwort beschriebenes System	70
4.13	Kontinuierliche Faltung von Rechteckfunktionen	72
4.14	Diskrete Faltung von Rechteckfunktionen	72
4.15	Diskrete Faltung mit verschobener Funktion	73
4.16	Schematische Darstellung der Verschiebung: Ursprüngliche Anordnung	74
4.17	Schematische Darstellung der Verschiebung: Modifizierte Anordnung	74
4.18	Vorgehensweise beim Einfügen eines ICV	76
4.19	Leitungsquerschnitt	77
4.20	Legalisierung einer 3D-Globalplatzierung	81
4.21	Legalisierung in z -Richtung	81
4.22	Legalisierung der ICV-Anordnung	82
5.1	Programmablauf	86
5.2	Platzierungsablauf am Beispiel Primary2	89
5.3	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary1 und Struct)	90
5.4	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary2 und Industry1)	91
5.5	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Biomed und Industry2)	91
5.6	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary1 und Struct)	94
5.7	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary2 und Industry1)	94

5.8	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Biomed und Industry2)	94
5.9	Verteilung der Netzlängen bei Primary1 (2D und 3D mit zwei bis vier Layern)	96
5.10	Legalisierte 3D-Platzierung mit vier Layern für Primary2 mit Berücksichtigung der ICVs	97
5.11	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary1 und Struct)	99
5.12	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary2 und Industry1)	99
5.13	Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Biomed und Industry2)	99
5.14	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary1 und Struct)	100
5.15	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary2 und Industry1)	101
5.16	Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Biomed und Industry2)	101

Tabellenverzeichnis

1.1	Kenndaten der Intel-Mikroprozessoren und Speicherbausteine . . .	8
1.2	Vorteile und Herausforderungen bei der 3D-Integration (nach [54])	10
4.1	Auswirkungen der FFT	71
4.2	Verdrahtungscharakteristika aus dem Jahre 2001 [53]	77
4.3	Widerstandsbeläge und effektive ICV-Länge der verschiedenen Lei- tungsarten	78
4.4	Betriebsarten des 3D-Platzierers	80
5.1	Eigenschaften der MCNC-Benchmarks	87
5.2	Reduzierung der Gesamtverdrahtungslänge ohne Berücksichtigung von ICVs	90
5.3	Vergleich der Ergebnisse von Deng [28] und dem vorgestellten 3D- Platzierer	92
5.4	Reduzierung der Länge des längsten Netzes ohne Berücksichtigung von ICVs	93
5.5	Verteilung der Netzlängen bei Primary1 (2D und 3D mit zwei bis vier Layern)	96
5.6	Reduzierung der Gesamtverdrahtungslänge mit Berücksichtigung von ICVs	98
5.7	Reduzierung der Länge des längsten Netzes mit Berücksichtigung von ICVs	100
5.8	Durchschnittliche Reduzierung der Länge des längsten Netzes: Ver- gleich der Ergebnisse von Das [26] und dem vorgestellten 3D-Plat- zierer	102
5.9	Anzahl der notwendigen ICVs beim 3D-Platzierer	103
5.10	hMetis-Partitionierungsergebnisse für MCNC-Benchmarks mit Ab- weichungen der Partitionsteile von 1% und 10%	104
5.11	Vergleich der Betriebsart 2 gegen Betriebsart 1: Reduzierung der notwendigen ICVs	105

Symbole und Abkürzungen

$A(x, y)$	Indikator, ob Punkt (x, y) in der Layoutfläche liegt
$A(x, y, z)$	Indikator, ob Punkt (x, y, z) im Layoutvolumen liegt
c_{ij}	Kosten für die Verbindung zwischen den Zellen i und j
Δc	Kostenunterschied zwischen zwei Platzierungen beim Simulated Annealing
$D(x, y)$	2D-Dichtefunktion
$D(x, y, z)$	3D-Dichtefunktion
\underline{e}	Matrix der abstoßenden Kräfte
$\vec{e}_{i,k}$	Auf die Zelle i im k -ten Iterationsschritt wirkende abstoßende Kraft
EDA	Electronic Design Automation
$f_{\text{Akzeptanz}}$	Akzeptanzfunktion beim Simulated Annealing
$f_c(\underline{p})$	Kostenfunktion für die kräftegesteuerte Platzierung
$\vec{f}_{i,k}$	Zusätzlich auf die Zelle i wirkende abstoßende Kraft
$f_{x y z}$	Kraftfeld in x -, y - bzw. z -Richtung
$G_{x y z}$	Greensche Funktion in x -, y - bzw. z -Richtung
IC	Integrated Circuit
ICV	InterChip Via
ISPD	International Symposium on Physical Design
l_{eff}	Effektive ICV-Länge
NP	Nondeterministic Polynomial

\underline{p}	Platzierungsmatrix, geometrische Positionen der Zellen
\vec{r}	Ortsvektor eines beliebigen Punktes im Raum
R	Elektrischer Widerstand
R'	Widerstandsbelag (elektrischer Widerstand pro Längeneinheit)
s	Utilization
VLSI	Very Large Scale Integration
w_k	Netzgewicht
w_z	Netzgewicht für die vertikale Richtung

Kurzfassung

Ohne den Einsatz von Entwurfswerkzeugen ist der Entwurf integrierter Schaltungen (Integrated Circuit, IC) seit Jahren nicht mehr möglich. Generell wird der Entwurf integrierter Schaltungen in den funktionellen und physikalischen Entwurf (Layouterstellung) aufgeteilt. Nach der Layouterstellung liegen alle geometrischen Informationen für die Herstellung integrierter Schaltungen vor.

Die fortschreitende Strukturverkleinerung bietet die Möglichkeit, bei gleichbleibender Gesamtgröße immer komplexere integrierte Schaltungen herzustellen. Gleichzeitig treten aber leitbahnbasierte Probleme auf, die zu einer Begrenzung der Taktraten führen.

Steigerungen der Komplexität und der Taktraten können in Zukunft nur durch die Einführung von neuen Methoden und Ansätzen gewährleistet werden. Die 3D-Integration ist anerkanntermaßen ein möglicher Ansatz für die Überwindung leitbahnbasierter Probleme. Technologien für die Herstellung von dreidimensional integrierten Schaltungen existieren bereits. Die Bereitstellung von Entwurfswerkzeugen für 3D-ICs ist ein kleiner, aber wichtiger Forschungsschwerpunkt.

In dieser Arbeit wird ein Ansatz für die dreidimensionale Platzierung von integrierten Schaltungen vorgestellt. Ausgehend von einem Platzierungsansatz für konventionelle, zweidimensional integrierte Schaltungen wird der 3D-Platzierungsansatz entwickelt. Aufgrund der zusätzlichen dritten Dimension steigt der Rechenzeitbedarf an, der durch geeignete Maßnahmen begrenzt wird. Darüber hinaus werden die notwendigen vertikalen Durchkontaktierungen aufgrund ihrer nicht vernachlässigbaren Abmessungen schon während der Platzierung berücksichtigt und angeordnet. In einem abschließenden Schritt wird die Platzierung so angepasst, dass die technologischen Randbedingungen eingehalten werden (Legalisierung).

In einer prototypischen Implementierung wird mit verschiedenen Benchmarkschaltungen die Effizienz des Ansatzes belegt. Der hier vorgestellte Platzierer liefert für 3D-ICs im Vergleich zu 2D-ICs erheblich kürzere Gesamtverdrahtungslängen. Die Möglichkeiten für die Realisierung von komplexeren integrierten Schaltungen mit höheren Taktraten sind mit der Einführung der 3D-Integration gegeben. Die Berücksichtigung vertikaler Durchkontaktierungen schon während der Platzierung hat den Vorteil, dass für die Verdrahtung keine Veränderungen an der Platzierung vorgenommen werden müssen. Ferner ist die Verdrahtung mit

einem Standard-2D-Verdrahter möglich.

Schlagwörter: Physikalischer Entwurf, Quadratische Optimierung, 3D-Platzierung

Abstract

Designing integrated circuits without electronic design automation (EDA) tools is impossible. Generally, the design of integrated circuits is subdivided into functional design and physical design. All relevant data for fabrication is available after the physical design step.

Continuous scaling of VLSI designs provides the opportunity to manufacture more complex integrated circuits with the same area. However, scaling leads to interconnect delay problems limiting attainable clock frequencies.

Increasing complexity and clock frequencies can only be provided by the introduction of new design methodologies. 3D integration is a possible approach to overcome interconnect centric problems. Different technologies for 3D integration already exist. The development of EDA tools for 3D IC design is a small but important research area.

In this work, an approach for the 3D placement of three-dimensional integrated circuits is presented. Starting with an approach for conventional 2D integrated circuits a new 3D placement approach is developed. Due to the third dimension computing time increases, which is confined by appropriate measures. Vertical interconnects are considered during placement because of their non-negligible dimensions. In a last step, the placement is modified to fulfill technological constraints (legalization).

The efficiency of this approach is shown by several benchmark designs using a prototype implementation. The introduced 3D placer shows considerable wire-length reductions comparing 3D ICs to 2D ICs. Introducing 3D integration leads to high potentials for more complex 3D ICs with higher clock frequencies. The consideration of vertical interconnects during placement is advantageous, because the placement needs not to be modified during routing. Moreover, routing can be done with a standard 2D router.

Keywords: Physical design, quadratic programming, 3D placement

Kapitel 1

Einleitung

Integrierte Schaltungen haben ihren Ursprung im Jahre 1958, als Jack Kilby in einem Forschungslabor von Texas Instruments die erste auf Germanium integrierte Schaltung vorstellte. Gleichzeitig entwickelte Robert Noyce bei der Fairchild Semiconductors Company ebenfalls eine integrierte Schaltung. Der einzige Unterschied war der, dass Noyce den Transistor im Vergleich zu Kilby vollkommen planar vorsah. Der planare Ansatz ist in der heutigen Mikroelektronik elementarer Bestandteil. Die ersten integrierten Schaltungen wurden von Fairchild Semiconductors hergestellt und vertrieben [87].

Aktuelle integrierte Schaltungen haben mit der ersten integrierten Schaltung nur noch das Grundprinzip gemein. Seit Ende der 50er Jahre entwickelt sich die Technologie ununterbrochen. Heutige Schaltungen weisen viele Millionen Transistoren auf, während die erste lediglich aus einem Transistor und mehreren Widerständen bestand. Trotz der enormen Steigerung der Transistorzahlen sind integrierte Schaltungen in ihren Abmessungen nicht größer geworden. Der technologische Fortschritt ermöglichte erhebliche Strukturverkleinerungen, so dass immer kleinere Transistoren entwickelt und eingesetzt werden konnten. Die fortschreitende Miniaturisierung führt dazu, dass integrierte Schaltungen bei gleichbleibender Fläche immer komplexer werden. Schließlich bedeutet die Steigerung der Transistorzahlen auf integrierten Schaltungen eine Zunahme der Funktionalität. In allen elektronischen Geräten des Alltagslebens werden heute integrierte Schaltungen eingesetzt.

Integrierte Schaltungen sind ohne den Einsatz von EDA-Werkzeugen nicht realisierbar. Ihre Komplexität stieg in den letzten Jahren aufgrund der enormen technologischen Entwicklungen jährlich durchschnittlich um 58%, während die durchschnittliche Steigerung der Entwurfs-effizienz, gemessen durch die Zahl der entworfenen Transistoren pro Entwickler und Monat, nur rund 21% betrug [52]. Dieses als Design-Gap bezeichnete Phänomen des unterschiedlichen Anstiegs der technologischen Möglichkeiten und der Entwurfs-effizienz kann nur durch die Entwicklung und den Einsatz von neuen Entwurfswerkzeugen abgemildert werden.

1.1 Entwurf integrierter Schaltungen

Der Entwurf integrierter Schaltungen ist ein höchst komplexer Vorgang. In systematischer Art und Weise lässt sich der Entwurf integrierter Schaltungen mit dem sogenannten Y-Diagramm beschreiben, das von Gajski und Kuhn im Jahre 1983 [40] vorgestellt wurde. Von Walker und Thomas wurde es im Jahre 1985 weiter verfeinert [133]. In Abbildung 1.1 ist das Y-Diagramm dargestellt.

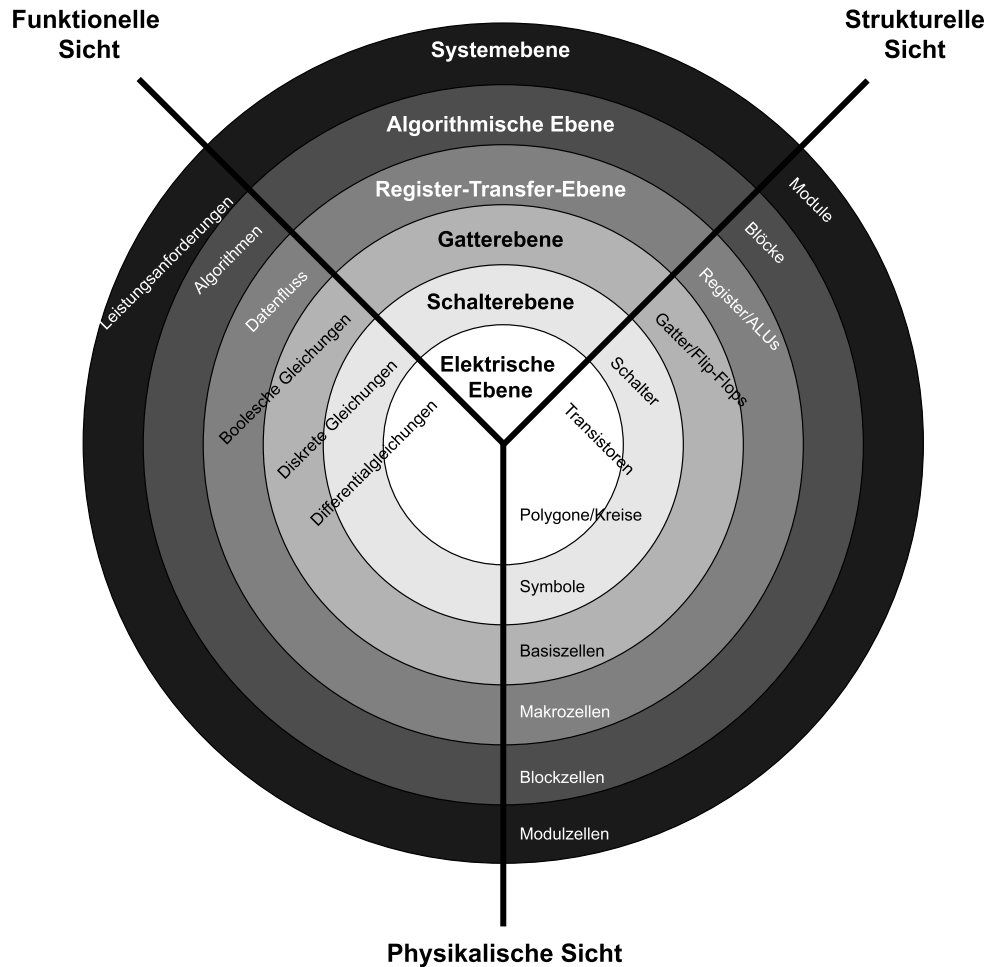


Abbildung 1.1: Y-Diagramm nach Gajski und Kuhn

Das Diagramm wird als Y-Diagramm bezeichnet, da es drei Achsen aufweist, die wie ein Y angeordnet sind. Jede der drei Achsen repräsentiert eine bestimmte Sicht auf die zu entwerfende Schaltung. Die Gesamtheit aller Sichten stellt die vollständige Beschreibung dar. Die funktionelle Sicht beschreibt die Aspekte des Verhaltens des Entwurfsgegenstandes, beispielsweise die auszuführenden Operationen und das Zeitverhalten der integrierten Schaltung. Die strukturelle Sicht

beschreibt die logische Struktur in Form der topologischen Anordnung der Komponenten und der Verbindungen zwischen diesen. Hierfür werden zumeist Graphen und Netzlisten verwendet. Die physikalische Sicht stellt die physikalische Umsetzung der strukturellen Objekte dar. Diese Sicht beinhaltet die geometrischen Daten des Entwurfsgegenstandes.

Neben den drei verschiedenen Sichten auf den Entwurfsgegenstand besitzt das Y-Diagramm sechs verschiedene Abstraktionsebenen. Mit der Nähe zum Zentrum der konzentrischen Kreise steigt der Detailliertheitsgrad. Das Zentrum der konzentrischen Kreise kennzeichnet den Abschluss des Schaltungsentwurfs. Dann liegt die zu entwickelnde Schaltung in der elektrischen Ebene vor. Die physikalische Sicht liefert die notwendigen geometrischen Daten für die Herstellung, das sog. Layout.

Der Entwurf integrierter Schaltungen wird in zwei charakteristische Schritte aufgeteilt, in den funktionellen und den physikalischen Entwurf. Der funktionelle Entwurf kennzeichnet den Übergang von der funktionellen Sicht auf die strukturelle Sicht, während der physikalische Entwurf den Übergang von der strukturellen Sicht auf die physikalische Sicht darstellt. Beide Entwurfsschritte sind in Abbildung 1.2 dargestellt.

Der Entwurf beginnt meistens in der Systemebene der funktionellen Sicht, in der die Spezifikation der Schaltung in eine Beschreibung in einer Hardwarebeschreibungssprache umgesetzt wird. Hiervon ausgehend wird der Abstraktionsgrad mit jedem Schritt in Richtung des Mittelpunktes der konzentrischen Kreise kleiner. Schritte in diese Richtung werden als Syntheseschritte bezeichnet. Die Überprüfung eines Syntheseschrittes wird als Analyseschritt bezeichnet.

Die Vorgehensweise, in der Systemebene mit dem Entwurf zu beginnen wird als Top-Down-Entwurf bezeichnet, der umgekehrte Weg als Bottom-Up-Entwurf. Heute haben sich Meet-in-the-Middle-Strategien etabliert. Der Entwurf einer integrierten Schaltung wird Top-Down begonnen, das heißt, der erste Schritt ist eine Beschreibung der Schaltung in der Systemebene der funktionellen Sicht. Der Unterschied zum Standard-Top-Down-Ansatz besteht darin, dass bei der Meet-in-the-Middle-Strategie der Entwurf auf Bibliotheken basiert, die Bottom-Up entwickelt werden müssen. Der Top-Down-Entwurf muss dann nur noch bis zu den Basiszellen der Bibliotheken ausgeführt werden.

Der physikalische Entwurf ist ein essenzieller und sehr komplexer Teil des Entwurfs. Um die Komplexität des physikalischen Entwurfs beherrschen zu können, wird das Problem in kleinere Subprobleme aufgeteilt, die einzeln beherrschbar und in akzeptabler Zeit lösbar sind.

Der physikalische Entwurf wird häufig in drei verschiedene Schritte eingeteilt:

- Floorplanning,
- Platzierung und
- Verdrahtung.

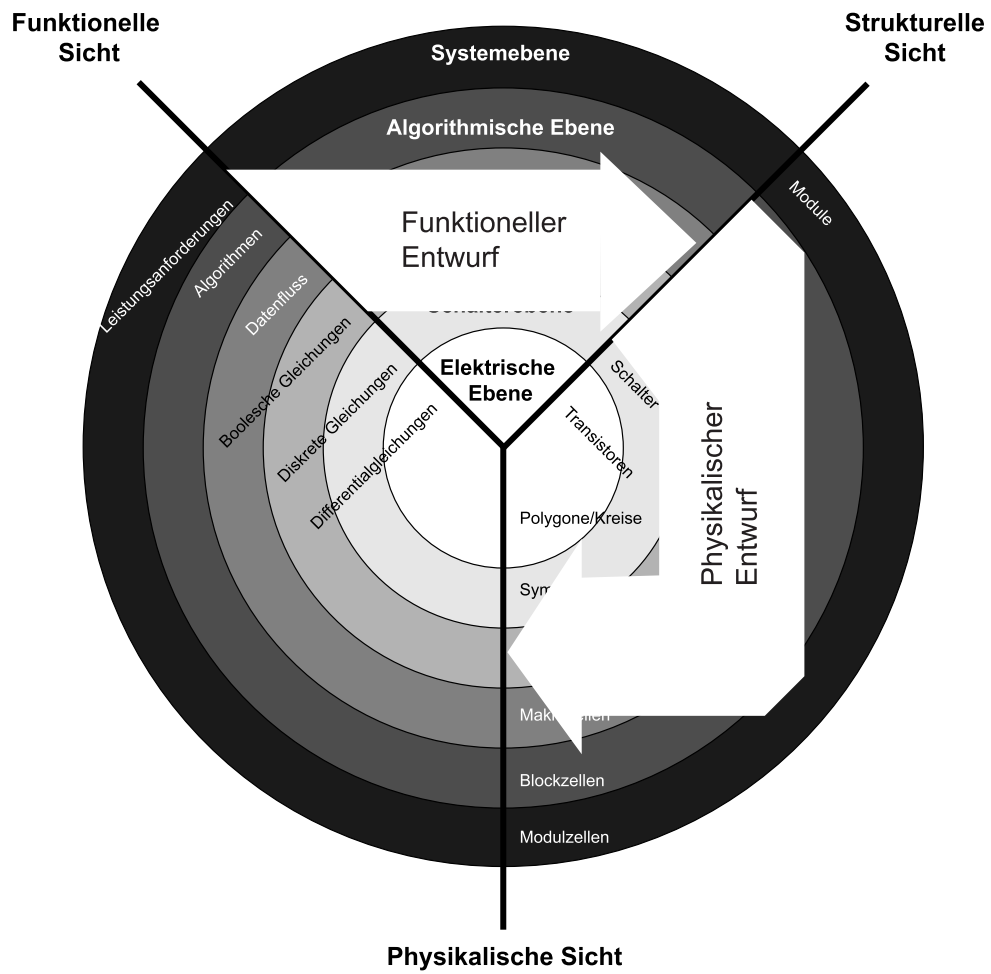


Abbildung 1.2: Y-Diagramm: Funktioneller und physikalischer Entwurf

Beim Floorplanning werden Schaltungsblöcke Teilen der Layoutfläche zugewiesen. Das Floorplanning ist derzeit als optionaler Entwurfsschritt zu sehen, der in Zukunft aufgrund stetig steigender Schaltungsgrößen wichtiger und notwendiger Bestandteil des Design-Flows sein wird. Die Schaltung wird auf der algorithmischen Ebene bzw. auf der Register-Transfer-Ebene von der strukturellen Sicht in die physikalische Sicht überführt, je nachdem welcher Genauigkeitsgrad beim Floorplan gewünscht wird.

Wird die Platzierung ohne einen vorgeschalteten Floorplanning-Schritt durchgeführt, erfolgt der Übergang von der strukturellen Sicht auf die physikalische Sicht unmittelbar auf einer niedrigeren Ebene. Ansonsten wird bei der Platzierung das Ergebnis des Floorplannings berücksichtigt. Bei der Platzierung werden den Basiszellen, die in Bibliotheken abgelegt sind, Positionen auf der Layoutfläche zugewiesen.

Die Verdrahtung gewährleistet die elektrische Verbindung zwischen den einzelnen Basiszellen. Dabei werden die geometrischen Positionen der Verbindungsleitungen auf der Layoutfläche festgelegt. Da für die Verdrahtung mehrere Metalllagen zur Verfügung stehen, wird während der Verdrahtung nicht nur die geometrische Position, sondern auch die Metalllage der Verbindungsleitungen festgelegt.

Während des physikalischen Entwurfs integrierter Schaltungen sind verschiedene Validierungsschritte durchzuführen, da die Syntheseschritte nicht als garantiert fehlerfrei angesehen werden können. Die bekanntesten Validierungsschritte sind der Design-Rule-Check (DRC) und Layout-Versus-Schematic (LVS). Beim Design-Rule-Check werden geometrische Designvorgaben beispielsweise Abstandsregeln überprüft. Beim LVS wird das erzeugte Layout extrahiert und mit der Eingangsschaltung (Schematic) verglichen.

1.2 Herausforderungen beim Entwurf integrierter Schaltungen

Moore's Law [86] aus dem Jahre 1965 hat trotz einiger Anpassungen noch immer Gültigkeit. Ein Forscherteam um Moore hatte es 1965 geschafft, die Zahl der Transistoren einer integrierten Schaltung von 30 auf 60 zu verdoppeln. Aufgrund dessen sagte Moore auf der Grundlage von einigen wenigen hergestellten integrierten Schaltungen die jährliche Verdopplung der Anzahl von Komponenten auf integrierten Schaltungen für die nächsten zehn Jahre voraus. Moores ursprüngliche Annahme der Verdopplung der Transistorzahlen ist in Abbildung 1.3 dargestellt. Über der Zeit ist in logarithmischer Darstellung die Zahl der Komponenten aufgetragen. Am Ende des vorausgesagten Zeitraums würden integrierte Schaltungen aus rund 65000 Komponenten bestehen. Bis zum Jahre 1975 entwickelte sich die Komponentenanzahl auf integrierten Schaltungen geringfügig besser als Moore zehn Jahre vorher vorausgesagt hatte. Nichtsdestotrotz modifizierte Moore seine

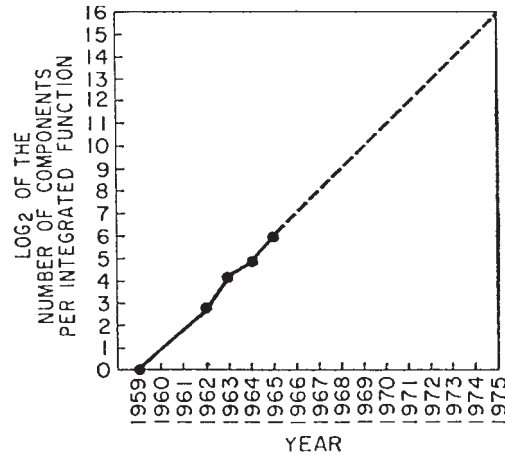


Abbildung 1.3: Moore's Law aus dem Jahre 1965 [86]

Voraussagen im Jahre 1975 und passte die notwendige Zeit für die Verdopplung der Komponenten auf zwei Jahre an [51]. Er berücksichtigte damit die erwarteten Komplexitätssteigerungen beim Entwurf integrierter Schaltungen. Die Entwicklung der Komponentenzahl im vorangegangenen Jahrzehnt bildete die Grundlage für die Vorstellungen von Moore. In Abbildung 1.4 ist der modifizierte Verlauf für den Zeitraum nach 1975 gestrichelt eingetragen. Die Transistorzahlen der Intel-Mikroprozessoren und der Speicherbausteine sind ebenfalls dargestellt.

Generell ist festzustellen, dass zu jedem Zeitpunkt die Transistorzahlen bei Speicherbausteinen über denen der Mikroprozessoren liegen. Darüber hinaus unterscheiden sich die Verläufe für Mikroprozessoren und Speicher in ihrer Steigung. Während der Verlauf für die Mikroprozessoren ungefähr die gleiche Steigung wie Moores Vorhersage aufweist, ist die Steigung bei Speicherbausteinen größer. Für eine genauere Untersuchung sind die Kenndaten der Mikroprozessoren und der Speicherbausteine in Tabelle 1.1 aufgeführt.

Moores Voraussagen treffen für die Mikroprozessoren erstaunlich genau zu. Betrachtet man den 4004-Prozessor aus dem Jahre 1971 mit 2250 Transistoren und den Pentium IV-Prozessor aus dem Jahre 2001 mit $4.2 \cdot 10^7$ Transistoren, so kann die durchschnittliche Zeit m für Verdopplung der Transistorzahlen mit

$$m = \frac{30 \cdot 12}{\log_2(4.2 \cdot 10^7) - \log_2(2250)} \text{ Monate} \approx 25 \text{ Monate} \quad (1.1)$$

bestimmt werden.

Für die Speicherbausteine lässt sich die Untersuchung ebenfalls durchführen. Der 1K-Baustein aus dem Jahre 1971 weist 4000 Transistoren auf, während der 1G-Baustein aus dem Jahre 1999 aus $1 \cdot 10^9$ Transistoren besteht. Die durch-

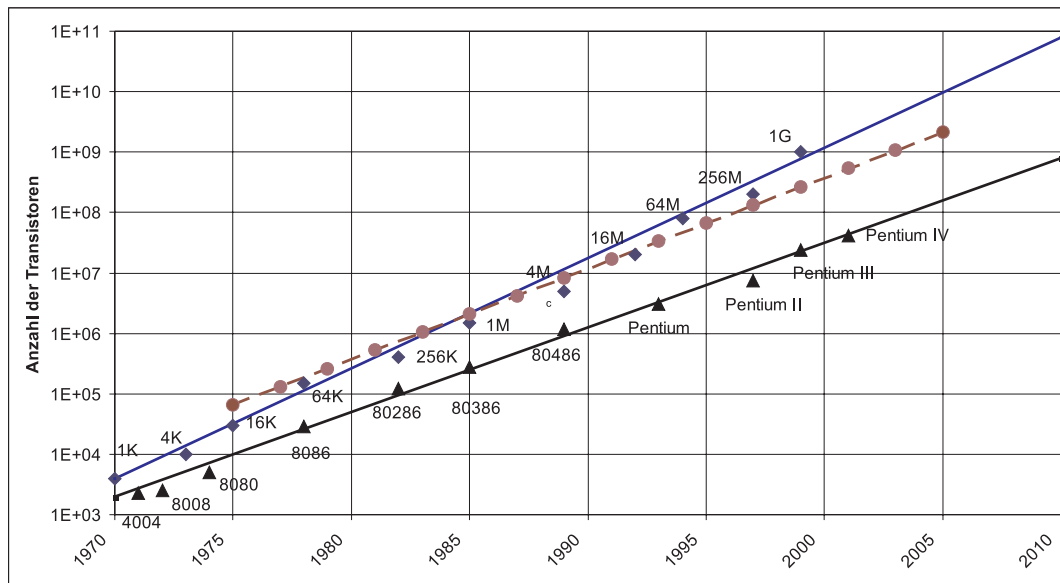


Abbildung 1.4: Entwicklung der Transistorzahl bei Mikroprozessoren und Speicherbausteinen

schnittliche Zeit für die Verdopplung der Transistorzahl berechnet sich zu

$$m = \frac{28 \cdot 12}{\log_2(1 \cdot 10^9) - \log_2(4000)} \text{ Monate} \approx 19 \text{ Monate} . \quad (1.2)$$

Die Zeit, in der sich die Transistorzahl bei Speicherbausteinen verdoppelt, liegt damit rund 25% unter der für Mikroprozessoren. Während sich die Transistorzahl bei Mikroprozessoren alle zwei Jahre verdoppelt, haben Mitarbeiter von Intel Ende der 80er Jahre herausgefunden, dass die Verdopplung der Rechenleistung - gemessen in MIPS (Millions of Instructions per Second) - ihrer Mikroprozessoren ebenfalls alle 18 Monate erfolgt [51]. Heute geht man von einer Zeit von 18 Monaten für die Verdopplung der Transistorzahlen aus, auch wenn Moores Voraussagen stets von zwei Jahren ausgingen.

Die Verdopplung der Komponentenzahl führt zu immer komplexeren Schaltungen mit stetig steigenden Funktionalitäten und zu einem größeren Flächenbedarf. In Abbildung 1.5 sind die Flächen der Intel-Prozessoren über die Jahre von 1970 bis 2001 dargestellt. Ein kontinuierlicher Anstieg der Fläche ist bis zum Pentium-Prozessor (1993) zu beobachten. Der Pentium II-Prozessor weist trotz des Anstiegs der Transistorzahl eine kleinere Fläche auf, während der Schritt vom Pentium III-Prozessor zum Pentium IV-Prozessor wiederum zu einer größeren Fläche führt. Der Grund für den sinkenden Flächenbedarf beim Pentium II- und Pentium III-Prozessor ist die weiter voranschreitende Strukturverkleinerung (siehe Tabelle 1.1). Es ist jedoch offensichtlich, dass eine Strukturverkleinerung nicht

Mikroprozessor					Speicher		
Name	Jahr	Anzahl Transistoren	Technologie [μm]	Fläche [mm^2]	Name	Jahr	Anzahl Trans.
4004	1971	2250	10	13.5	1K	1970	4000
8008	1972	2500	10	15.2	4K	1973	10000
8080	1974	5000	6	20.0	16K	1975	30000
8086	1978	29000	3	28.6	64K	1978	$1.5 \cdot 10^5$
80286	1982	$1.20 \cdot 10^5$	1.5	68.7	256K	1982	$4.0 \cdot 10^5$
80386	1985	$2.75 \cdot 10^5$	1.5	104.0	1M	1985	$1.5 \cdot 10^6$
80486	1989	$1.18 \cdot 10^6$	1.0	163.0	4M	1989	$5.0 \cdot 10^6$
Pentium	1993	$3.10 \cdot 10^6$	0.8	264.0	16M	1992	$2.0 \cdot 10^7$
Pentium II	1997	$7.50 \cdot 10^6$	0.35	209.0	64M	1994	$8.0 \cdot 10^7$
Pentium III	1999	$2.40 \cdot 10^7$	0.25	140.0	256M	1997	$2.0 \cdot 10^8$
Pentium IV	2001	$4.20 \cdot 10^7$	0.18	224.0	1G	1999	$1.0 \cdot 10^9$

Tabelle 1.1: Kenndaten der Intel-Mikroprozessoren und Speicherbausteine

zwangsläufig zu kleineren Flächen führt. Die Intel-Prozessoren zeigen eindeutig, dass trotz der Strukturverkleinerungen steigende Flächen zu beobachten sind, vor allem der monotone Anstieg vom 4004-Prozessor bis zum Pentium-Prozessor ist bemerkenswert, da in diesem Zeitraum Strukturverkleinerungen von $10 \mu\text{m}$ auf $0.8 \mu\text{m}$ realisiert werden konnten. Der Grund für den Anstieg der Fläche ist die Erhöhung der Funktionalität und der Rechenleistung der Prozessoren [122]. Die Softwareindustrie stellte parallel zu dieser Entwicklung Anwendungen bereit, die die Rechenleistung der Prozessoren auszunutzen wussten. Der Anstieg der Fläche und der Funktionalität beruht auf den Fortschritten bei der Halbleiterfertigung. Größere Chips konnten auf größeren Wafern bei mindestens gleicher Ausbeute hergestellt werden, so dass trotz größerer Flächen die Preise für die Chips nicht anstiegen.

Die Performanz einer integrierten Schaltung wird heute hauptsächlich durch die realisierbare Taktrate charakterisiert. Sie wird durch die steigende Gesamtverdrahtungslänge, die durch die größeren Chipflächen verursacht wird, beschränkt. Darüber hinaus führen Strukturverkleinerungen schon bei gleichen Längen aufgrund kleinerer Querschnittsflächen zu steigenden Widerständen bei Verbindungsleitungen. Steigende Widerstände wiederum führen bei gleichen Strömen zu einer höheren Verlustleistung, was die Performanz der Schaltung beschränkt. Durch die größeren Widerstände und größeren Koppelkapazitäten steigen die durch Leitungen hervorgerufenen Verzögerungszeiten ebenfalls an. Strukturverkleinerungen führen zwar zu schneller schaltenden, leistungsfähigeren Transistoren, aber nicht zu generell verbesserten Gesamtverzögerungszeiten, da verschiedene Untersuchungen zeigen, dass die durch Leitungen hervorgerufenen Verzögerungszeiten (Interconnect-Delays) in Zukunft mehr als zwei Größenordnungen über den

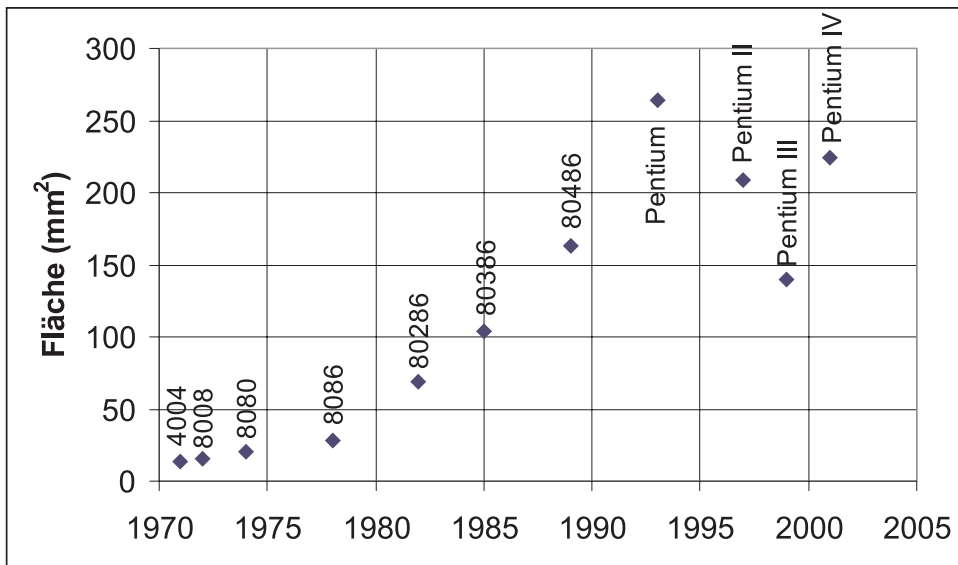


Abbildung 1.5: Flächenbedarf der Intel-Prozessoren [48]

Verzögerungszeiten der Transistoren liegen werden [27, 82]. Da die Interconnect-Delays dann den Hauptteil des Gesamtdelays darstellen, ist eine Vernachlässigung der Interconnect-Delays nicht mehr zulässig. Die als „Reverse Scaling“ bezeichnete Vergrößerung der Querschnittsflächen bei Leitungen zur Reduzierung der Widerstände führt zu einem größeren Flächenbedarf und damit zu steigenden Kosten.

Bisher konnten die Nachteile der steigenden Verzögerungszeiten auf Leitungen durch die Einführung von neuen Materialien und die Verbesserung der Entwurfswerkzeuge kompensiert werden, so dass die Performanz der integrierten Schaltungen stetig gesteigert werden konnte. Die International Technology Roadmap for Semiconductors (ITRS) sagt aber voraus, dass die Einführung von neuen Materialien die Nachteile der Strukturverkleinerungen in Zukunft nicht mehr kompensieren kann [53, 54, 55]. Schon im Jahre 1995 hat Bohr darauf hingewiesen, dass der beschränkende Faktor beim Entwurf von integrierten Schaltungen die Verbindungsleitung sein wird [7]. Wird Moore's Law für die nächsten Jahre weiter fortgeschrieben, so kommt die Strukturverkleinerung ohnehin an ihre physikalische Grenzen [82]. Wenn die Strukturbreiten in die Größenordnung von Atomen gelangen, ist die praktische Anwendung nicht mehr möglich. Davis schätzt pessimistisch in [27], dass die Grenzen der 2D-Integration im Jahre 2005 erreicht sein werden. Darüber hinaus sind aufgrund der Komplexitätssteigerungen spätestens 2008 viel mehr Metalllagen für die Realisierung der komplexeren integrierten Schaltungen notwendig als zukünftige Technologien nach derzeitigen Abschätzungen bereitstellen können [27]. Spätestens dann ist die Einführung von

neuen Methoden und Ansätzen zwingend notwendig [83, 91].

Zur Überwindung der derzeitigen leitbahnbasierten Probleme stellt die 3D-Integration einen möglichen Ansatz dar, der schon im Jahre 1979 von Geis bearbeitet wurde [41]. Er ist in der Vergangenheit aufgrund der stetigen Weiterentwicklungen in der Halbleiterherstellungstechnologie aus dem Blickfeld geraten. In letzter Zeit sind die Forschungsaktivitäten in dieser Richtung aber wieder gesteigert worden. Leitbahnbasierte Untersuchungen zeigen, dass eine erhebliche Verbesserung der Verbindungseigenschaften durch die 3D-Integration erreichbar ist [27]. Ferner weist Lee darauf hin, dass mit der 3D-Integration eine erhebliche Kostenreduktion einhergeht [74].

Theoretische Untersuchungen von verschiedenen integrierten Schaltungen zeigen auf, dass die 3D-Integration ein effektives Verfahren für Performanzsteigerungen ist [5, 6, 26, 93, 94, 104, 105, 120, 121]. Das große Potenzial der 3D-Integration hinsichtlich der Flächenoptimierung und der Gesamtverdrahtungslänge wird erst nach Vergleichen mit 2D-Realisierungen offensichtlich.

Für die 3D-Integration existieren verschiedene Ansätze und Technologien. Die praktische Realisierbarkeit ist für viele dieser Technologien nachgewiesen worden. Diese werden in Abschnitt 3.1 näher betrachtet. Erheblicher Forschungsbedarf besteht laut ITRS [54] vor allem bezüglich der Wärmeableitung der 3D-Schaltungen und der Bereitstellung von Entwicklungswerkzeugen. In Abschnitt 3.2 werden veröffentlichte Ansätze für 3D-Entwurfswerkzeuge dargestellt. Der Test von 3D-Schaltungen muss ebenfalls Gegenstand von zukünftigen Forschungsaktivitäten sein. Die Tabelle 1.2 zeigt zusammenfassend Vorteile und Herausforderungen bei der 3D-Integration.

3D-Integration	
Vorteile	Flächenreduktion Kostenreduktion Kleinere Leitungsverzögerungszeiten Verbindung verschiedener Technologien Realisierung komplexerer Schaltungen
Herausforderungen	Wärmeableitung Entwicklungswerkzeuge Test Messtechnik

Tabelle 1.2: Vorteile und Herausforderungen bei der 3D-Integration (nach [54])

1.3 Motivation und Zielsetzung

Die durch die Strukturverkleinerungen verursachte Dominanz der Interconnect-Delays führt zu immer größeren Problemen beim konventionellen Entwurf integrierter Schaltungen. Die Probleme können nur durch eine radikale Änderung der Design-Architektur gelöst werden. Die 3D-Integration ist ein möglicher Ansatz.

Während Technologien für die 3D-Integration weit entwickelt sind, existieren nur relativ wenige Entwurfswerkzeuge auf diesem Gebiet. Die vorliegende Arbeit soll einen innovativen Beitrag dazu liefern.

Ein 3D-Physical-Design-Flow besteht aus Floorplanner, Platzierer und Verdrahter, die jeweils die dritte Dimension berücksichtigen müssen. Dabei wird der 3D-Floorplanner in Zukunft eine wichtige Rolle spielen, da bei immer größer werdenden Designs dem Floorplanning eine größere Bedeutung zukommt. Wie im 2D-Fall ist auch bei einem 3D-Design-Flow der Platzierer ein essenzieller Bestandteil. Dieser beeinflusst die Layoutqualität maßgeblich.

Ziel dieser Arbeit ist die Entwicklung eines Platzierungstools für den Entwurf von dreidimensional integrierten Schaltungen, das eine überlappungsfreie und designregel-konforme Platzierung liefert.

Der zu entwickelnde 3D-Standardzell-Platzierer soll in einen 3D-Design-Flow eingebettet werden. Da 3D-ICs aus fertig prozessierten 2D-ICs durch dreidimensionale Integration zusammengesetzt werden, sind sie in vertikaler Richtung diskret aufgebaut. Für die Verbindungen zwischen den einzelnen Layern sind vertikale Durchkontaktierungen notwendig, die aufgrund technologischer Einschränkungen eine bestimmte, nicht zu vernachlässigende Fläche aufweisen. Für eine gute Platzierungsqualität ist eine gleichzeitige Betrachtung der Standardzellen und der vertikalen Durchkontaktierungen unerlässlich.

Eine sogenannte Legalisierung berücksichtigt die technologischen Randbedingungen für die vertikalen Durchkontaktierungen und platziert sowohl die Standardzellen als auch die vertikalen Durchkontaktierungen überlappungsfrei auf der Layoutfläche.

Der 3D-Design-Flow wird bei Verwendung des 3D-Platzierers, der die vertikalen Durchkontaktierungen zusammen mit den Standardzellen betrachtet, mit einem konventionellen 2D-Standardverdrahter vervollständigt.

Die vorliegende Arbeit ist in fünf weitere Kapitel gegliedert. In Kapitel 2 werden die grundlegenden Verfahren und Algorithmen für die Global- und Detailplatzierung konventioneller integrierter Schaltungen erläutert. In Kapitel 3 wird die 3D-Integration beschrieben. Neben den verschiedenen Technologien für die 3D-Integration werden auch vorhandene Entwurfswerkzeuge für dreidimensional integrierte Schaltungen vorgestellt und diskutiert. Die Erweiterung des Eisenmann-Ansatzes [35] für die kräftegesteuerte 2D-Platzierung in die dritte Dimension und die Besonderheiten der Erweiterung werden in Kapitel 4 beschrieben. Die Implementierung und die mit diesem Ansatz gewonnenen Ergebnisse werden in Kapitel 5 vorgestellt. Abgeschlossen wird die Arbeit durch eine Zu-

sammenfassung in Kapitel 6.

Kapitel 2

Global- und Detailplatzierung

Bei der Layouterstellung (dem physikalischen Entwurf) ist die Platzierung ein wichtiger Syntheseschritt, da sie die Grundlage für alle nachfolgenden Schritte darstellt. Die Abbildung von der strukturellen Beschreibung in Form einer Netzliste auf Zellen einer Bibliothek, die die geometrischen und fertigungstechnisch relevanten Informationen beinhalten, wird während der Platzierung durchgeführt. Dabei werden den Zellen konkrete Positionen auf der Layoutfläche zugewiesen. Im Anschluss an den Platzierungsschritt sollen die Zellen automatisch verdrahtet werden.

Die Platzierung stellt ein Optimierungsproblem, in der Regel mit Nebenbedingungen, dar. Das Optimierungsziel ist die Gesamtverdrahtungslänge, da damit einerseits die Fläche und andererseits die Performanz des Designs optimiert werden kann, weil eine Verkürzung der Verdrahtungslänge auch kürzere Verzögerungszeiten bedingt. Zusätzlich können Verzögerungsvorgaben für einzelne Leitungen in Form von Nebenbedingungen angegeben werden.

Das zum Platzierungsproblem gehörende Entscheidungsproblem ist NP-vollständig [12, 100]. NP-vollständige Entscheidungsprobleme können mit einem nichtdeterministischen Rechner in polynomialer Laufzeit gelöst werden. Da nichtdeterministische Rechner nicht verfügbar sind, kann eine exakte Lösung nicht in akzeptabler Zeit gefunden werden. Es kommen daher Heuristiken zum Einsatz, die in einer akzeptablen Zeit ein gutes Ergebnis liefern.

Bei der Platzierung wird zwischen der **Global-** und der **Detailplatzierung** unterschieden. Unter einer Globalplatzierung versteht man eine Anordnung von Zellen, die sich überlappen können und ihre endgültige Position auf der Layoutfläche noch nicht eingenommen haben. Das Ergebnis der Detailplatzierung ist eine überlappungsfreie Anordnung der Zellen auf der Layoutfläche unter Berücksichtigung aller Nebenbedingungen. Der Übergang von einer Globalplatzierung zu einer Detailplatzierung wird allgemein als **Legalisierung** bezeichnet.

Bei der Erzeugung der Globalplatzierung unterscheidet man zwischen konstruktiven und iterativ verbessernden Verfahren, die im Folgenden vorgestellt werden. Konstruktive Verfahren haben die Eigenschaft, von einer leeren Layout-

fläche ausgehend die Platzierung aufzubauen. Bei iterativ verbessernden Algorithmen ist eine Startplatzierung notwendig, die auch als Initialplatzierung bezeichnet wird. Diese Initialplatzierung wird anschließend Schritt für Schritt verbessert.

Eine Aufteilung gängiger Platzierungsverfahren ist in Abbildung 2.1 dargestellt. In der Praxis findet man häufig Ansätze, die konstruktive und iterative Ansätze miteinander kombinieren.

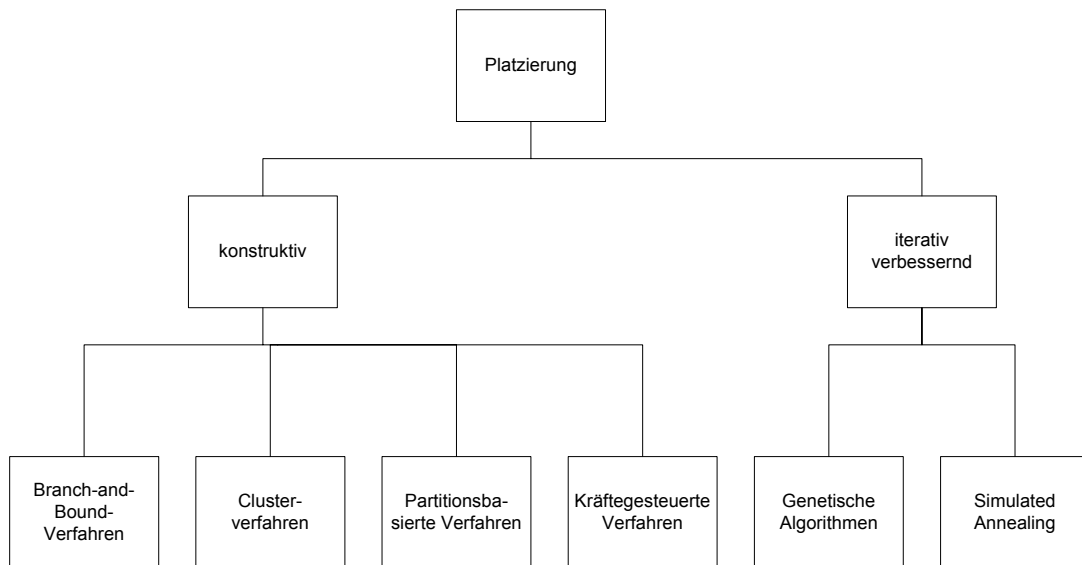


Abbildung 2.1: Platzierungsverfahren

2.1 Globalplatzierung mit konstruktiven Verfahren

Wichtigste Vertreter der konstruktiven Verfahren sind die partitionsbasierten Verfahren und die kräftegesteuerten Ansätze. Sie stellen den Stand der Technik dar. Darüber hinaus sind das Branch-and-Bound-Verfahren, das nur für sehr kleine Problemgrößen anwendbar ist, und das Clusterverfahren von eher akademischer Bedeutung.

2.1.1 Branch-and-Bound-Verfahren

Das Branch-and-Bound-Verfahren ist ein Enumerationsverfahren, das stets die optimale Lösung findet. Die Bestimmung der optimalen Lösung ist jedoch sehr rechenintensiv. Daher ist die maximale Problemgröße beschränkt auf relativ wenige Zellen [15, 17]. Sollen größere Probleme mit diesem Verfahren gelöst werden, so muss zunächst eine Verkleinerung der Problemgröße vorgenommen werden,

wie es beispielsweise Onodera [89] vorschlägt. Vygen untersucht die Platzierung von Makrozellen mit dem Branch-and-Bound-Verfahren in [132].

Das Branch-and-Bound-Verfahren beruht auf dem Prinzip der Verzweigung (Branch) und der Begrenzung (Bound). Die Suche nach der optimalen Lösung wird anhand eines Entscheidungsbaumes durchgeführt. Der Entscheidungsbaum repräsentiert einen Suchablauf, wobei an jeder Verzweigung für eine Entscheidungsvariable ein bestimmter Wert definiert wird (Branch-Vorgang). Das bedeutet, dass an jedem Knoten des Entscheidungsbaumes eine bestimmte Anzahl der Entscheidungsvariablen eindeutig definiert ist, während die anderen noch unbestimmt sind. An den Blättern des Entscheidungsbaumes sind alle Entscheidungsvariablen eindeutig spezifiziert.

Für den Bound-Vorgang ist es notwendig, dass jedem Knoten eine untere Schranke der Kostenfunktion, in die primär die Gesamtverdrahtungslänge eingeht, zugeordnet wird. Alle Knoten, die sich in dem darunter liegenden Teilbaum befinden, weisen Werte der Kostenfunktion auf, die größer sind als die untere Schranke. Wenn die untere Schranke des Knotens den aktuell kleinsten Wert der Kostenfunktion für eine Platzierung überschreitet, wird der Teilbaum, der sich unter dem Knoten befindet, nicht mehr betrachtet (Bound-Vorgang). Aufgrund des Weglassens von Teilbäumen ist die Effizienz dieser Suche besser als die vollständige Suche. Ist die untere Schranke kleiner als der aktuelle minimale Wert für eine Platzierung, wird der Teilbaum unter dem Knoten weiter untersucht.

Das Vorgehen wird an einem einfachen Beispiel erläutert. Die vier Standardzellen A, B, C und D sollen auf der Layoutfläche angeordnet werden. Die möglichen Plätze sind mit den Ziffern 1, 2, 3 und 4 bezeichnet (siehe Abbildung 2.2). Der dazugehörige Entscheidungsbaum ist in Abbildung 2.3 dargestellt. Die Kanten des Entscheidungsbaumes werden mit den entsprechenden Entscheidungen beschriftet. Eine schon existierende Platzierung weist 17 als den Wert der Kostenfunktion auf.



Abbildung 2.2: Platzierungsproblem für das Branch-and-Bound-Verfahren

Zunächst wird die Entscheidung für die Anordnung der Zelle A getroffen. Es existieren vier Möglichkeiten für die Anordnung, die jeweils durch die Bezeichnung der Kanten mit der Layoutposition kenntlich gemacht werden. Dieses ist der erste Branch-Vorgang. In der zweiten Stufe wird die Entscheidung bezüglich der Zelle B getroffen. Zu den jeweiligen Knoten werden die unteren Schranken notiert. Betrachtet man den Fall, dass die Zelle A der Layoutposition 2, die Zelle B der

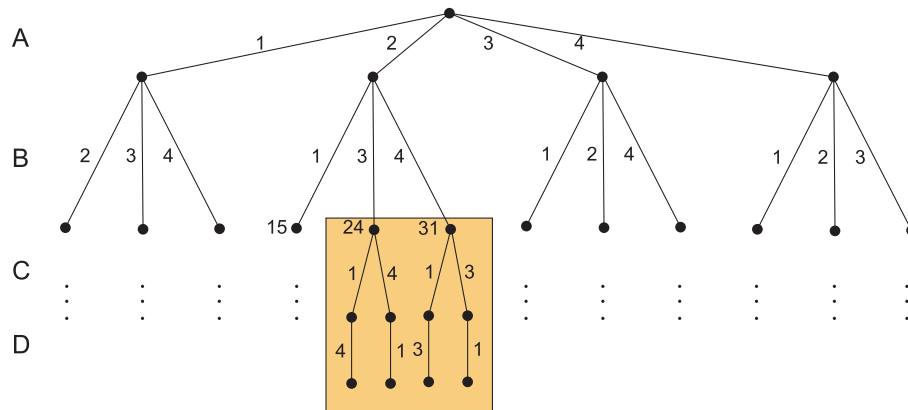


Abbildung 2.3: Entscheidungsbaum für das Platzierungsproblem

Layoutposition 3 bzw. 4 zugeordnet wird, so erkennt man, dass die untere Schranke die aktuell existierende Platzierung mit einem Wert von 17 schon übersteigt. Aus diesem Grund wird die Untersuchung der markierten Teilbäume unterlassen (Bound).

Im ungünstigsten Fall kann das Branch-and-Bound-Verfahren eine vollständige Suche nach sich ziehen, womit eine vollständige Enumeration aller möglichen Platzierungen einhergeht.

2.1.2 Clusterverfahren

Das Clusterverfahren verfolgt einen intuitiven Platzierungsansatz und ist ein Bottom-Up-Ansatz bzw. eine Heuristik. Aus der Menge der zu platzierenden Zellen wählt der Nutzer die erste Zelle aus und platziert diese auf der Layoutfläche. Es gibt verschiedene Möglichkeiten für die Auswahl der zweiten und aller folgenden Zellen, die auf der Layoutfläche angeordnet werden sollen. Als zweite Zelle kann beispielsweise aus der Menge der noch nicht platzierten Zellen diejenige ausgewählt werden, die über die meisten Verbindungen zu der schon platzierten Zelle verfügt. Dieser Vorgang wird so lange wiederholt, bis in der zu platzierenden Menge keine Zelle mehr vorhanden ist. Eine andere Möglichkeit ist es, verschiedene Faktoren wie beispielsweise die Fläche oder die Gesamtzahl der Verbindungen an den Zellen in die Bestimmung der Platzierungsreihenfolge einzubeziehen [12].

Heute spielen Clusterverfahren für die Platzierung kaum eine Rolle, da die Ergebnisqualität anderer Tools nicht erreicht wird.

Das Grundprinzip der Clusterverfahren, das Zusammenfassen von stark miteinander verbundenen Zellen zu einem Cluster, wird auch als Hilfsmittel für andere Platzierungsverfahren verwendet. Beispielsweise wird das Clustern für die in Abschnitt 2.1.3 vorgestellte Multilevel-Partitionierung verwendet. Darüber hinaus wird es für die Platzierung mit dem iterativ verbessernden Simulated-

Annealing-Ansatz (siehe Abschnitt 2.2.2) [79] oder für die Verkleinerung der Problemgröße bei einem Branch-and-Bound-Ansatz [89] verwendet.

2.1.3 Partitionsbasierte Verfahren

Partitionsbasierte Platzierungsverfahren gehören zu der Gruppe der konstruktiven Verfahren. Der bekannteste Vertreter ist das Min-Cut-Verfahren, das einen Top-Down-Ansatz verfolgt. Bei einem Top-Down-Ansatz wird das Problem iterativ so weit verkleinert, dass es problemlos zu lösen ist. Es folgt damit dem gängigen „Divide-and-Conquer“-Prinzip.

Unter dem Begriff der Partitionierung versteht man die Aufteilung einer Repräsentation eines Designs - meistens erfolgt die Repräsentation anhand eines Graphen - in zwei oder mehrere Partitionsteile. Die Aufteilung des Designs in zwei Partitionsteile wird Bipartitionierung, die Aufteilung in mehrere Partitionsteile Multiway-Partitionierung genannt.

Beim traditionellen Min-Cut-Verfahren, das im Jahre 1977 von Breuer vorgestellt worden ist, wird eine rekursive Bipartitionierung durchgeführt [9]. Dabei wird darauf geachtet, dass beide Partitionsteile näherungsweise gleich groß sind. Vorrangiges Ziel bei der Partitionierung ist die Minimierung der Anzahl der Verbindungen, die zwischen den Partitionsteilen verlaufen und durch die Partitionierung geschnitten werden. Aufgrund der Minimierung der Zahl dieser Schnittkanten wird das Problem als Min-Cut-Problem bezeichnet, das NP-vollständig ist [10, 109]. Nach jeder Bipartitionierung wird den Partitionsteilen ein Teil der Layoutfläche zugewiesen, der mit jedem Schritt der Bipartitionierung kleiner wird. Am Ende besteht jeder Partitionsteil aus nur einem Element, womit die Platzierung festgelegt ist. Der erste Schritt der Min-Cut-Platzierung ist in Abbildung 2.4 dargestellt, die die Bipartitionierung des Designs mit minimaler Anzahl von Schnittkanten zeigt.

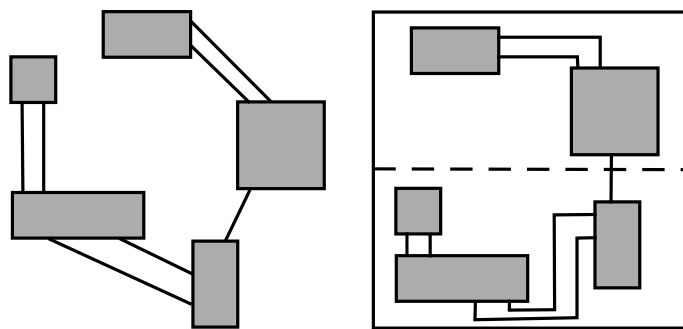


Abbildung 2.4: Prinzip der Min-Cut-Platzierung

Der sequenzielle Ablauf der Min-Cut-Platzierung ist in Abbildung 2.5 zusammengefasst.

```

Solange (Partitionsteil aus mehr als einer Zelle besteht)
    Aufteilung der Layoutfläche in zwei Teile;
    Partitionierung unter Beachtung der Schnittkanten;
    Rekursive Anwendung auf Partitionsteile;
Ende

```

Abbildung 2.5: Ablauf der Min-Cut-Platzierung

Für die Aufteilung der Layoutfläche in zwei Teile hat Breuer verschiedene Möglichkeiten aufgezeigt [9]. Die am häufigsten verwendete Methode ist die Aufteilung der Layoutfläche mit abwechselnden Schnittrichtungen, also abwechselnd horizontal und vertikal. Eine mögliche Schnittsequenz ist in Abbildung 2.6 dargestellt.

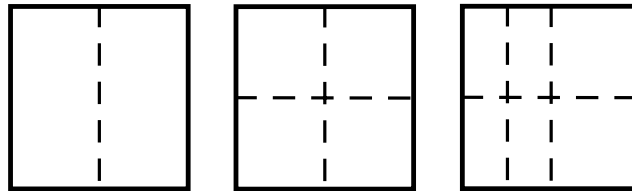


Abbildung 2.6: Schnittsequenz für das Min-Cut-Verfahren

Die Schnittsequenz ist für die Ergebnisqualität von großer Bedeutung. Yildiz untersucht Schnittsequenzen für die partitionsbasierte Platzierung und stellt fest, dass die Schnittsequenz mit abwechselnden Schnittrichtungen für die meisten Fälle das beste Ergebnis liefert [136].

Nach der Aufteilung der Layoutfläche ist die Erzeugung der Partitionsteile von essenzieller Bedeutung. Der Kernighan-Lin-Algorithmus ist ein reiner Graphenpartitionierungsalgorithmus, der im Jahre 1970 vorgestellt wurde [60]. Dieser wird als Grundlage für den Partitionierungsteil der Min-Cut-Platzierung verwendet und ist ein iterativ verbessernder Algorithmus.

An einem Design, das durch den ungewichteten Graphen $G = (V, E)$ repräsentiert wird, wird der Algorithmus erläutert. In der Darstellung $G = (V, E)$ sind die Knoten mit V und die Kanten mit E bezeichnet. Generell stellen Knoten die zu platzierenden Elemente und die Kanten die Verbindungen zwischen den Elementen dar.

Im ersten Schritt wird eine beliebige Aufteilung in zwei Partitionsteile mit den Knotenmengen V_1 und $V_2 = V \setminus V_1$ vorgenommen. Anschließend wird aus der Menge V_1 ein beliebiges Element v_{1a} und aus der Menge V_2 ein beliebiges Element v_{2a} herausgesucht. Diese beiden Elemente werden vorläufig vertauscht, und die Anzahl der Schnitte wird berechnet. Ist die Anzahl der Schnitte kleiner als vor der Vertauschung, dann ist der Gewinn positiv, ansonsten negativ. Die

vorläufige Vertauschung und der dazugehörige vorläufige Teilgewinn werden in einer Liste gespeichert. Die Elemente v_{1a} und v_{2a} werden markiert und stehen nachfolgenden Vertauschungsaktionen nicht mehr zur Verfügung. Die vorläufigen Vertauschungen und die Berechnungen der notwendigen Schnitte werden so lange ausgeführt bis alle Elemente der Mengen V_1 und V_2 ausgewählt worden sind. Mit den Teilgewinnen wird das Maximum des Gesamtgewinns bestimmt, und die dafür notwendigen Vertauschungen werden tatsächlich durchgeführt. Dabei besteht nicht die Notwendigkeit, dass alle Teilgewinne positiv sein müssen. Liegt das Maximum des Gesamtgewinns unter null, so sind keine Verbesserungen aufgrund der Vertauschungen möglich. Der Algorithmus wird abgebrochen.

Der klassische Ansatz von Kernighan-Lin wurde von Fiduccia und Mattheyses weiter entwickelt [39]. Fiduccia und Mattheyses stellen eine neue Datenstruktur vor, die eine schnelle Veränderung der Partitionsteile ermöglicht. Zusätzlich zu der neuen Datenstruktur wählen sie einzelne Zellen aus und ordnen diese dem anderen Partitionsteil zu. Das starre System der paarweisen Vertauschung wird dadurch abgelöst. Als dritte Erweiterung weisen Fiduccia und Mattheyses den Knoten Gewichte zu. Die Gewichte dienen dazu, balancierte Partitionsteile zu erlangen. Weitere Verfeinerungen des Verfahrens werden beispielsweise von Krishnamurty [71] durchgeführt. Weiter gehende Untersuchungen zu ausbalancierten Partitionsteilen werden von Caldwell in [14] vorgestellt.

Nachteilig für das traditionelle Min-Cut-Verfahren ist die Tatsache, dass die Verbindungsinformation zwischen miteinander verbundenen Zellen verloren geht, wenn die Zellen verschiedenen Partitionsteilen zugewiesen werden. Aus diesem Grunde kann bei „unglücklichen“ Platzierungen die Verdrahtungslänge extrem ansteigen. Dunlop und Kernighan schlagen für diesen Fall ein sogenanntes Terminal Propagation vor [33]. Um die Verdrahtungsinformation beizubehalten, werden Dummy-Elemente eingeführt, die bei den anschließenden weiteren Partitionierungsschritten berücksichtigt werden.

Neben der Bipartitionierung hat sich die Multiway-Partitionierung etabliert. Vor allem die Aufteilung in vier Teile - Quadrisection genannt - findet sich in der Literatur, beispielsweise in [123]. Durch rekursive Anwendung der Bipartitionierung kann eine Multiway-Partitionierung durchgeführt werden, es gibt aber auch Ansätze, die eine direkte Multiway-Partitionierung vorsehen [132].

Nachteilig für die Ergebnisqualität ist bei allen klassischen Partitionierungsansätzen das Greedy-Vorgehen, bei dem die vorherigen Entscheidungen nicht zurückgenommen werden. Cong untersucht die Multiway-Partitionierung und begegnet diesem Nachteil mit Vertauschungen von Elementen aus verschiedenen Partitionsteilen [24].

In letzter Zeit hat sich die Multilevel-Partitionierung (hierarchische Partitionierung) durchgesetzt. Bei der Multilevel-Partitionierung wird der zu partitionierende Graph vergrößert, gleichzeitig sinkt damit die Zahl der Knoten [3, 4]. Dieser Schritt wird weitergeführt bis der Graph eine für die Bipartitionierung günstige Größe hat. Mit dem vergrößerten Graphen wird eine Bipartitionierung durch-

geführt. Daran schließen sich Verfeinerungsschritte - sog. Refinement-Schritte - an, mit denen die ursprüngliche Graphenform wieder hergestellt wird. Bei den Verfeinerungsschritten wird die Partitionierung mit einem Algorithmus, beispielsweise mit dem Kernighan-Lin- oder Fiduccia-Mattheyses-Algorithmus, angepasst. Karypis et al. untersuchen diesen Ansatz intensiv in [56, 57, 58]. Die Vertauschungsaktionen im Kernighan-Lin- oder Fiduccia-Mattheyses-Algorithmus haben bei vergrößerten Graphen einen erheblichen Einfluss auf die spätere Ergebnisqualität, da mit einem Zug sehr viele Vertauschungen auf einmal durchgeführt werden.

Karypis et al. stellen in [56, 58] hMetis vor, das derzeit als das beste Partitionierungstool angesehen wird. Untersuchungen an Benchmarkschaltungen bestätigen diese Aussage [2].

Aufgrund weit reichender Fortschritte auf dem Gebiet der Partitionierungsalgorithmen sind Min-Cut-Platzierer sehr schnell, effektiv und liefern Platzierungsergebnisse mit sehr guter Qualität.

CAPO ist ein veröffentlichtes Platzierungstool auf der Basis des Min-Cut-Verfahrens [16]. Die Ergebnisqualität von CAPO ist sehr gut und weist größtenteils verdrahtbare Platzierungsergebnisse auf [109].

Fast zeitgleich mit CAPO wurde DRAGON2000 von Wang et al. vorgestellt [134]. DRAGON2000 führt eine Partitionierung in vier Partitionsteile durch (Quadrisection). In [134] erfolgt eine globale Vertauschung von Elementen nach jedem Partitionierungsschritt. Untersuchungen zeigen, dass die Vertauschungen zu besseren Ergebnissen führen als mit vertauschungsfreiem Terminal Propagation.

Feng Shui ist ein weiteres Platzierungstool auf der Basis der Min-Cut-Verfahren und wurde von Yildiz vorgestellt [135, 136]. Bei Feng Shui ist eine Multilevel-Partitionierung implementiert, die besonders bei sehr großen Schaltungen bessere Ergebnisse liefert.

Partitionsbasierte Platzierungsverfahren entsprechen dem Stand der Technik und liefern in kurzer Zeit sehr gute Platzierungsergebnisse. Im Hinblick auf Timing-Restriktionen, das heißt Anforderungen aufgrund weiter voranschreitender Strukturverkleinerungen und steigender Taktraten, sind verschiedene Vorschläge veröffentlicht worden, die bei aktuellen Platzierungsproblemen keinerlei Einschränkungen unterliegen. Beispielsweise schlägt Ou für die Platzierung mit Timing-Restriktionen eine dynamische Kontrolle der Schnitte vor [92]. Hierbei wird die Anzahl der Schnitte bei timing-kritischen Pfaden betrachtet.

2.1.4 Kräftegesteuerte Verfahren

Kräftegesteuerte Verfahren gehören zu den konstruktiven Platzierungsverfahren. Einzelheiten des Standardverfahrens können in [35, 64, 65] nachgelesen werden.

Das kräftegesteuerte Verfahren modelliert ein Masse-Feder-System, wobei die Zellen die Masseteile und die Verbindungen zwischen diesen die Federn darstellen. Das System ist in Abbildung 2.7 dargestellt. Auf die Zellen wirken aufgrund des

Hookeschen Gesetzes anziehende Kräfte. Die Beträge der anziehenden Kräfte hängen von der Anzahl der Verbindungen und den Abständen zwischen den mit dieser Zelle verbundenen Zellen ab.

Physikalische Systeme sind im Allgemeinen bestrebt, einen möglichst energiearmen Zustand einzunehmen. Bei einem Masse-Feder-System ist die im System gespeicherte potentielle Energie proportional zu den Abstandsquadraten der Maseteile. Das Minimum der Energie wird mathematisch durch die Nullstellen der örtlichen Ableitung bestimmt. Da die Ableitung der Energie bei diesem System eine Federkraft darstellt, wird das Energieminimum also durch ein Kräftegleichgewicht erreicht.

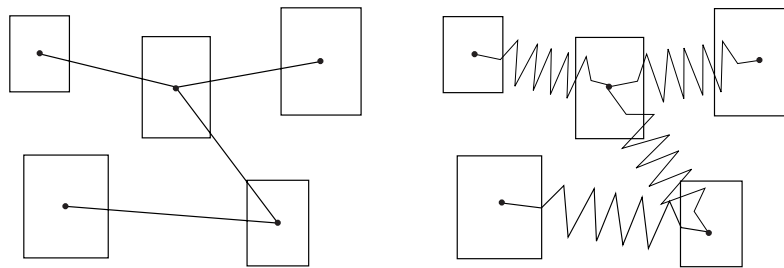


Abbildung 2.7: Masse-Feder-System bei der kräftegesteuerten Platzierung

Das Ziel der Platzierung ist die Minimierung der Gesamtverdrahtungslänge mit Hilfe dieses Masse-Feder-Systems. Die potentielle Energie des Masse-Feder-Systems entspricht dabei der quadratischen Gesamtverdrahtungslänge. Da die potentielle Energie des Systems minimiert wird, wird die quadratische Gesamtverdrahtungslänge minimiert. Es handelt sich also um ein Problem der **quadratischen Optimierung**. Soll beispielsweise der quadratische Abstand zwischen zwei Zellen i und j mit den Koordinaten (x_i, y_i) und (x_j, y_j) berechnet werden (siehe Abbildung 2.8), so ergeben sich die Kosten der Verbindung zu

$$c_{ij} = (x_i - x_j)^2 + (y_i - y_j)^2 . \quad (2.1)$$

Eine unterschiedliche Anzahl von Verbindungen zwischen den Zellen und verschiedene Anwendungsfälle machen es notwendig, eine Möglichkeit vorzusehen, Netze unterschiedlich zu gewichten. Durch die Einführung eines konstanten Faktors w_k geht Gleichung (2.1) in

$$c_{ij} = w_k ((x_i - x_j)^2 + (y_i - y_j)^2) \quad (2.2)$$

über. Der konstante Faktor - als Netzgewicht bezeichnet - wird von dem Nutzer vorgegeben und bewirkt somit, dass Netze mit höherem Gewicht zu einer stärkeren Anziehung zwischen den Zellen, die an diese Netze angeschlossen sind,

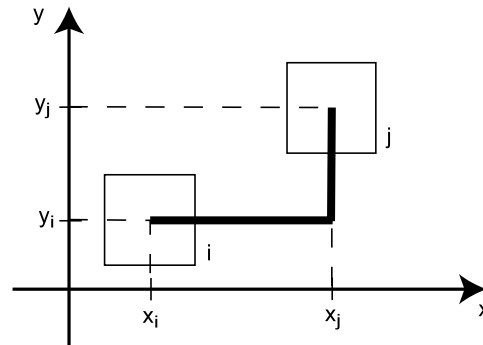


Abbildung 2.8: Zwei Zellen auf der Layoutfläche

führen. Generell können verschiedene Koordinatenrichtungen unterschiedlich gewichtet werden. Mehrpunktnetze werden allgemein in mehrere Zweipunktnetze aufgeteilt.

Sigl untersucht in [119] die Unterschiede und Auswirkungen der linearen Zielfunktion im Vergleich zur quadratischen Zielfunktion, die hier verwendet wird. Sigls Untersuchungen zeigen, dass die Standardabweichung der Verdrahtungslängen einzelner Netze bei Benutzung der quadratischen Zielfunktion kleiner ist als bei Benutzung der linearen Zielfunktion.

Für die folgenden Betrachtungen sei eine Netzliste mit n beweglichen Zellen $N = \{N_1, N_2, \dots, N_n\}$ und m festen Zellen $M = \{M_1, M_2, \dots, M_m\}$ vorgegeben. Die Verbindungen zwischen den Zellen können aus der Netzliste extrahiert werden.

Bei Algorithmen für die quadratische Optimierung wird die Matrixdarstellung bevorzugt. Die Kostenfunktion für die kräftegesteuerte Platzierung lässt sich ebenfalls in Matrixform notieren:

$$f_c(\underline{p}) = \frac{1}{2} \cdot \underline{p}^T \cdot \underline{C} \cdot \underline{p} + \underline{d}^T \cdot \underline{p} + \text{const.} \quad (2.3)$$

In der Gleichung (2.3) stellt \underline{p} die Lösungsmatrix der Größe $2(n+m) \times 1$ dar, wobei die ersten $(n+m)$ Elemente der Matrix die x -Koordinaten und die darauf folgenden $(n+m)$ Elemente die y -Koordinaten der beweglichen Zellen angeben. Für die Zelle N_1 beispielsweise ist die x -Koordinate in der Matrix \underline{p} in der Zeile 1, die y -Koordinate in der Zeile $(n+m)+1$ zu finden. Die Matrix \underline{C} hat die Größe $2(n+m) \times 2(n+m)$ und beschreibt alle Verbindungen zwischen den beweglichen Zellen. Sind Verbindungen zwischen einer beweglichen und einer festen Zelle zu betrachten, so ergeben sich ein linearer Anteil in $\underline{d}^T \cdot \underline{p}$ und ein konstanter Term, der in dem konstanten Teil der Gleichung (2.3) berücksichtigt wird. Die Matrix \underline{d} weist ebenfalls die Größe $2(n+m) \times 1$ auf.

Die Bestimmung der Matrizen \underline{C} und \underline{d} geschieht wie nachfolgend beschrieben. Aufgrund der linearen Operation in Gleichung (2.2) können die Beiträge für die

x - und y -Richtung unabhängig voneinander in die Matrizen eingefügt werden. Hier wird hier der x -Anteil betrachtet. Die Kosten betragen für den x -Anteil

$$c_{ij} = w_k \cdot x_i^2 - 2 \cdot w_k \cdot x_i \cdot x_j + w_k \cdot x_j^2. \quad (2.4)$$

Sind beide Zellen i und j beweglich, wird das Gewicht w_k an den Positionen C_{ii} und C_{jj} der Matrix \underline{C} hinzuaddiert. Der zweite Term führt jeweils zu einem Beitrag $-w_k$ an den Positionen C_{ij} und C_{ji} . Ist beispielsweise die Zelle i eine feste Zelle und die Zelle j eine bewegliche Zelle, so liefert der dritte Term einen Beitrag zur Diagonalen C_{jj} , der zweite Term einen Beitrag $-2 \cdot w_k \cdot x_i$ zur Matrix \underline{d} an der Position j und der erste Term einen Beitrag zum konstanten Anteil in Gleichung (2.3). Die y -abhängigen Anteile werden entsprechend in die Matrizen eingefügt.

Das Minimum der Kostenfunktion (2.3) wird durch Lösen der Matrixgleichung

$$\underline{C} \cdot \underline{p} + \underline{d} = \underline{0} \quad (2.5)$$

ermittelt. Gleichung (2.5) stellt die Ableitung der Gleichung (2.3) dar und zeigt, dass sich die Lösung des Platzierungsproblems auf die Lösung eines linearen Gleichungssystems reduziert. Die anziehenden Kräfte des Federmodells finden sich in Gleichung (2.5) in dem ersten Term. Aus dieser Gleichung ist ersichtlich, dass feste Zellen für die Funktion des Algorithmus von existenzieller Bedeutung sind. Sind keine festen Zellen vorhanden, dann ist die Matrix \underline{d} mit Nullen gefüllt. Die Lösung der Gleichung ist dann die triviale Lösung, bei der alle Zellen im Ursprung des Koordinatensystems liegen.

Für die Lösung der Gleichung (2.5) wird in der Praxis stets ein numerisches Lösungsverfahren implementiert. Dabei ist zu beachten, dass die Lösung der Gleichung eine Platzierung ist, bei der ein Kräftegleichgewicht herrscht und die quadratische Gesamtverdrahtungslänge minimiert wird. Jedoch stellt diese Lösung keine gültige Lösung des Platzierungsproblems dar. Diese sog. Initialplatzierung ist ein Ergebnis mit Überlappungen zwischen den Zellen und einer ungleichmäßigen Zellverteilung auf der Layoutfläche. Um eine Gleichverteilung zu gewährleisten, führt Eisenmann abstoßende Kräfte ein [35]. Die abstoßenden Kräfte werden in der Gleichung (2.5) mit einem zusätzlichen Term, der Matrix \underline{e} der Größe $2(n+m) \times 1$, berücksichtigt. Das entstehende Gleichungssystem

$$\underline{C} \cdot \underline{p} + \underline{d} + \underline{e} = \underline{0} \quad (2.6)$$

ist nichtlinear, da die Matrix \underline{e} von dem Platzierungsvektor \underline{p} abhängt. Gleichung (2.6) wird mit numerischen Lösungsverfahren gelöst. Dabei sind mehrere Iterationen des Lösungsverfahrens notwendig, um den Zustand des Kräftegleichgewichts zu erreichen.

Mit der Einführung der abstoßenden Kräfte sollen die Überlappungen verringert und damit eine gleichmäßige Zellverteilung auf der Layoutfläche erreicht werden. Die abstoßenden Kräfte haben die in [35] angegebenen wichtigen Eigenschaften, die nachfolgend aufgelistet werden.

1. Die abstoßenden Kräfte hängen nur von den Koordinaten der Zellen ab. Demnach weisen Zellen am selben Ort auch dieselben abstoßenden Kräfte auf.
2. Gebiete mit höherer Zelldichte sind die Quellen für die abstoßenden Kräfte, Gebiete mit niedrigerer Zelldichte die Senken. Anschaulich bedeutet das, dass Zellen aus Gebieten höherer Dichte in Gebiete niedrigerer Dichte bewegt werden.
3. Im Unendlichen ist die Kraft null.

Die Berechnungsvorschrift für die abstoßende Kraft, die auf eine beliebige Zelle i wirkt, ist mit

$$\vec{e}_{i,k} = \vec{e}_{i,k-1} + \vec{f}_{i,k}(x_i, y_i) \quad (2.7)$$

gegeben, wobei für $\vec{f}_{i,k}(x_i, y_i)$

$$\vec{f}_{i,k}(x_i, y_i) = \frac{c_1}{2\pi} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} D(x', y') \cdot \frac{\vec{r} - \vec{r}'}{|\vec{r} - \vec{r}'|^2} dx' dy' \quad (2.8)$$

gilt. Die Berechnung des Vektors $\vec{f}_{i,k}(x_i, y_i)$ im k -ten Iterationsschritt des numerischen Lösungsverfahrens entspricht der Berechnungsvorschrift des elektrischen Feldes bei einer vorgegebenen Ladungsdichte in der Elektrostatik. Der Vektor \vec{r} ist der Ortsvektor der Zelle i . Die zusätzlich eingefügte Konstante c_1 dient zur Skalierung der abstoßenden Kraft.

In Gleichung (2.8) stellt $D(x', y')$ die Dichtefunktion dar. Sie ist ein Maß für die Belegung der Layoutfläche an der Position (x', y') . Ist die Dichtefunktion positiv, so liegen dort mehr Zellen als für eine gleichmäßige Verteilung über der gesamten Layoutfläche wünschenswert wäre. Ist sie negativ, können Zellen problemlos an diese Stellen verschoben werden. Die Dichtefunktion kann mathematisch als

$$D(x, y) = -s \cdot A(x, y) + \sum_{l=1}^n a_l(x, y) \quad (2.9)$$

geschrieben werden. Sie errechnet sich aus der Anzahl der Zellen, die sich an dem Punkt (x, y) befinden, vermindert um die Utilization. Unter dem Begriff Utilization versteht man das Verhältnis zwischen der Summe der Flächen aller Standardzellen und der zur Verfügung stehenden Layoutfläche. Das Integral der Dichtefunktion über die gesamte Layoutfläche ist null.

Die Utilization s wird nach

$$s = \frac{1}{W \cdot H} \cdot \sum_{l=1}^n w_l \cdot h_l \quad (2.10)$$

berechnet. Dabei stellt W die Breite der zur Verfügung stehenden Layoutfläche und H die Höhe der Layoutfläche dar. Die Terme w_l und h_l stehen für die Breite und die Höhe der Zelle l . Summiert wird über alle Zellen.

Die Funktion $A(x, y)$ zeigt an, ob sich der betrachtete Punkt innerhalb oder außerhalb der Layoutfläche befindet. Mathematisch lässt sich die Funktion $A(x, y)$ folgendermaßen beschreiben:

$$A(x, y) = \begin{cases} 1 & : x, y \text{ auf der Layoutfläche} \\ 0 & : \text{sonst} \end{cases} . \quad (2.11)$$

Die Dichtefunktion für eine gegebene Platzierung ist in Abbildung 2.9 zu sehen. Die gegebene Platzierung ist recht gut verteilt und weist nur an wenigen Stellen Überlappungen von Zellen auf. Die gute Verteilung wird in Abbildung 2.9 anhand der fast konstanten Dichtefunktion verdeutlicht.

Nach der Berechnung der abstoßenden Kräfte auf eine beliebige Zelle i müssen diese Kräfte in der Matrix \underline{e} aktualisiert werden. Der Vektor $\vec{e}_{i,k}$

$$\vec{e}_{i,k} = \begin{pmatrix} e_{ix,k} \\ e_{iy,k} \end{pmatrix} \quad (2.12)$$

hat zwei Komponenten, $e_{ix,k}$ in x -Richtung und $e_{iy,k}$ in y -Richtung. Die Aktualisierungsvorschrift der Matrix \underline{e} lautet dann:

$$\underline{e}(i, 1) = e_{ix,k} , \quad (2.13)$$

$$\underline{e}(i + (n + m), 1) = e_{iy,k} . \quad (2.14)$$

Die x -Komponente der abstoßenden Kraft wird in der Matrix \underline{e} in Zeile i und Spalte 1 geschrieben, während die y -Komponente in Zeile $i + (n + m)$ und Spalte 1 geschrieben wird.

Die prinzipielle Vorgehensweise für die kräftegesteuerte Platzierung kann in drei Schritte gegliedert werden (siehe Abbildung 2.10). Nach dem Aufbau der Matrizen \underline{C} und \underline{d} wird durch die Lösung der Gleichung (2.5) eine Initialplatzierung berechnet. Diese weist zwar das Minimum der quadratischen Gesamtverdrahtungslänge auf, es existieren aber auch viele Überlappungen, die nachfolgend beseitigt werden müssen. Hierzu ist die Berechnung der abstoßenden Kräfte gemäß der Gleichungen (2.7) und (2.8) notwendig. Nach der Aktualisierung der Matrix \underline{e} wird durch Lösen der Matrixgleichung (2.6) die neue Platzierung ermittelt. Neben dem Kräftegleichgewicht können auch verschiedene andere Abbruchkriterien für den numerischen Teil implementiert werden. Da die abstoßenden Kräfte eine vollständig überlappungsfreie Platzierung nicht gewährleisten können, ist in einem letzten Schritt eine Legalisierung durchzuführen.

Die kräftegesteuerte Globalplatzierung weist eine experimentell ermittelte Laufzeitkomplexität von $\mathcal{O}(n^{1,5})$ auf, wobei n die Anzahl der zu platzierenden Zellen darstellt [34]. Mit dieser Laufzeitkomplexität gehört die kräftegesteuerte Platzierung zu den leistungsfähigsten Platzierungsverfahren und wird auch in Zukunft

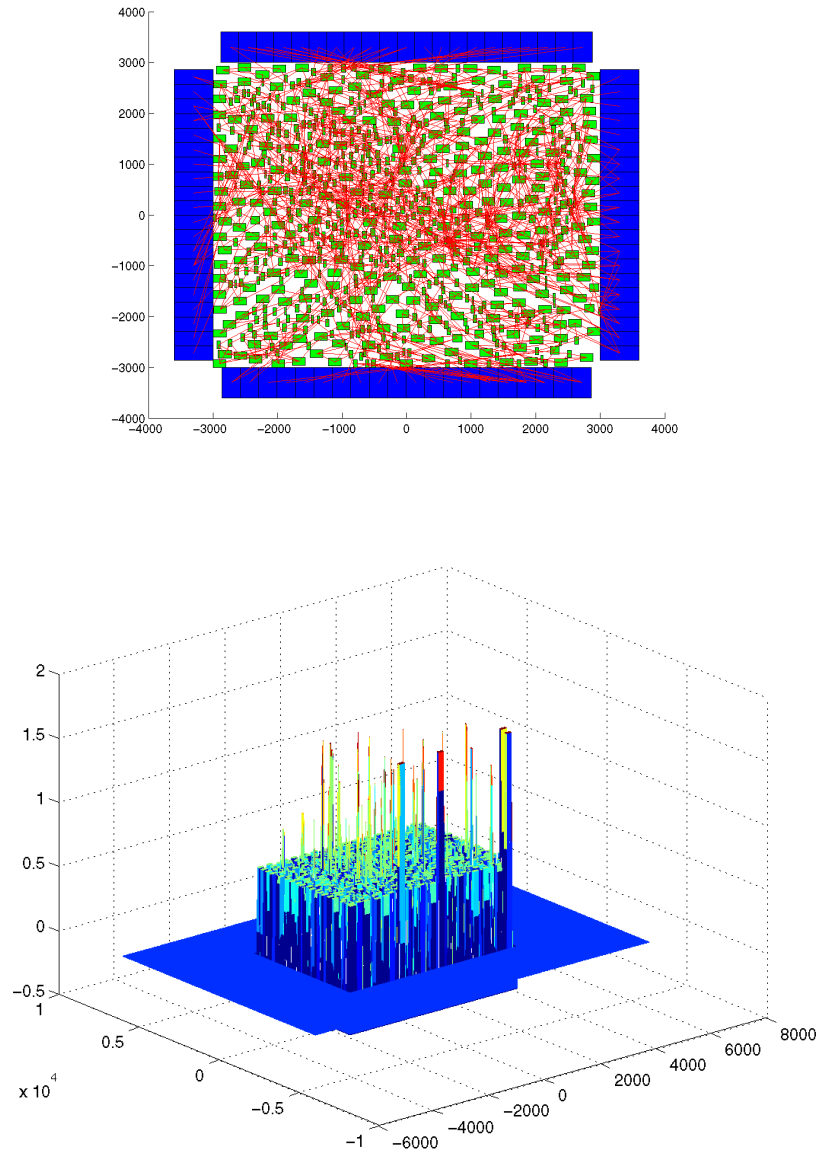


Abbildung 2.9: Dichtefunktion $D(x, y)$ für eine gegebene Platzierung

```
Aufbau der Matrizen C und d;  
Bestimmung der Initialplatzierung;  
Solange (Kräftegleichgewicht nicht erreicht)  
    Aktualisierung der abstoßenden Kräfte;  
    Ermittlung der neuen Platzierung;  
Ende
```

Abbildung 2.10: Ablauf der kräftegesteuerten Platzierung

für die Platzierung von sehr großen Designs angewendet werden. Die Legalisierung am Ende des Platzierungsschrittes ist notwendig, kann die Ergebnisqualität aber teilweise mindern.

Genauso wie bei der partitionsbasierten Platzierung (siehe Abschnitt 2.1.3) gibt es auch bei den kräftegesteuerten Verfahren Ansätze für Timing-Anforderungen. Hierbei sind die Arbeiten von Mo [84, 85], Chou [21] und Malonnek [80] zu nennen.

2.1.5 Weitere Globalplatzierungsverfahren

In diesem Kapitel werden weitere Platzierungsverfahren vorgestellt, die sich nicht in die dargestellten vier Klassen der konstruktiven Platzierungsverfahren einordnen lassen.

Mongrel ist ein Platzierungstool, das von Hur vorgestellt wurde [47]. Die Platzierung wird dabei wieder in zwei Schritte eingeteilt, in die Global- und die Detailplatzierung. Für die Platzierung wird die Layoutfläche in achsenparallele Rechtecke aufgeteilt, die definierte Flächen aufweisen und damit eine definierte Menge von Zellen aufnehmen können.

In [46] wird gezeigt, dass das eindimensionale Platzierungsproblem als **Netzwerkflussproblem** modelliert werden kann. Für den Begriff Netzwerkflussproblem wird häufig der Begriff Transportproblem synonym verwendet. Hur erweitert den eindimensionalen Ansatz und wendet diesen auf das zweidimensionale Platzierungsproblem an. In [47] definiert er die Globalplatzierung als eine Platzierung, die die Kapazität der Rechtecke und die der Zeilen nicht überschreitet. Die Detailplatzierung ist dann erfolgt, wenn die Zellen keinerlei Überlappungen aufweisen und die Zeilenkapazität nicht überschritten ist. Auf die Detailplatzierung wird in Abschnitt 2.3 näher eingegangen, während hier nur die Globalplatzierung betrachtet wird.

Eine Initialglobalplatzierung wird durch die Zuweisung der Zellen zu den einzelnen Rechtecken erreicht. Dieser Ansatz wird als **Middle-Down** bezeichnet. Die Initialglobalplatzierung wird anschließend iterativ verbessert. Der Algorithmus für die iterative Verbesserung benutzt keine einfachen Zellverschiebungen, sondern ist tiefgreifender, da die Vertauschungen eine Menge von Zellen betreffen. Dadurch wird die globale Sicht auf das Problem beibehalten. Hierzu wird

eine zufällige Auswahl von Standardzellen als beweglich deklariert. Die optimalen Positionen für diese beweglichen Zellen können mit Lösungsmethoden für Transportprobleme gefunden werden. Lösungsansätze und Algorithmen hierfür können allgemein in [43, 76] und speziell für Mongrel in [46] nachgelesen werden. Die Kapazität der Rechtecke, denen die Zellen bei der Lösung zugeordnet werden, wird dabei nicht beachtet. Das Resultat hängt stets davon ab, in welcher Reihenfolge die Zellen abgearbeitet werden.

Da bei Hur eine Globalplatzierung die Kapazitäten der Rechtecke einhalten muss, ist eine Modifikation der zuvor gefundenen Lösung notwendig. Dabei werden in dem betrachteten Modell Rechtecke mit einer Zellfläche größer als die Kapazität zu Quellen (= Source) und Rechtecke, die noch freie Kapazitäten haben, zu Senken (= Target) des Transportproblems. Eine Anordnung ist beispielhaft in Abbildung 2.11 dargestellt. Quelle und Senke sind mit entsprechenden Abkürzungen gekennzeichnet. Zu jeder Zelle ist der Gewinn für eine horizontale bzw. vertikale Bewegung in Richtung der Senke angegeben. Ein negativer Gewinn bedeutet, dass die Kosten bei einer Bewegung einer Zelle in diese Richtung ansteigen.

Aus der Abbildung 2.11 wird die Abbildung 2.12 bestimmt, indem zu jeder Kante des Graphen die maximalen Gewinnwerte notiert werden. Es wird der Weg mit maximalem Gesamtgewinn gesucht. Bei der Verschiebung einer Zelle aus der Quelle S besteht nicht die Notwendigkeit, dass diese Zelle auch der Senke T zugeordnet wird. Je nachdem, welche Zelle einen höheren Gewinn verspricht, kann auch eine andere Zelle weiter bewegt werden. Der optimale Weg ist für das angegebene Beispiel in Abbildung 2.12 dargestellt. Es wird also zunächst die in der Quelle angeordnete unterste Zelle (siehe Abbildung 2.11) vertikal nach unten bewegt. Dabei erhöhen sich die Kosten. Anschließend wird die dort schon vorhandene Zelle horizontal nach rechts mit einem Gewinn von vier weiterbewegt. Eine weitere Bewegung der schon dort vorhandenen Zelle verbessert die Kostenfunktion um vier. Der letzte Schritt beinhaltet eine vertikale Verschiebung der Zelle zur Senke. Die hier beschriebene Vorgehensweise wird als **Node-Rippling** bezeichnet und verhindert größere Veränderungen an der ermittelten Platzierung.

In einem letzten Schritt wird eine lokale Suche nach einer bezüglich des Optimierungskriteriums besseren Platzierung durchgeführt. Dabei werden stets zwei benachbarte Rechtecke betrachtet. Mit dem Fiduccia-Mattheysis-Algorithmus wird nach einer Partitionierung gesucht, die ein besseres Platzierungsergebnis liefert. Ist eine Lösung gefunden, wird diese als die aktuelle betrachtet. Die lokale Suche wird so lange fortgeführt bis keine Verbesserungen mehr erreicht werden. In einem letzten Schritt wird die Detailplatzierung erzeugt (siehe Abschnitt 2.3).

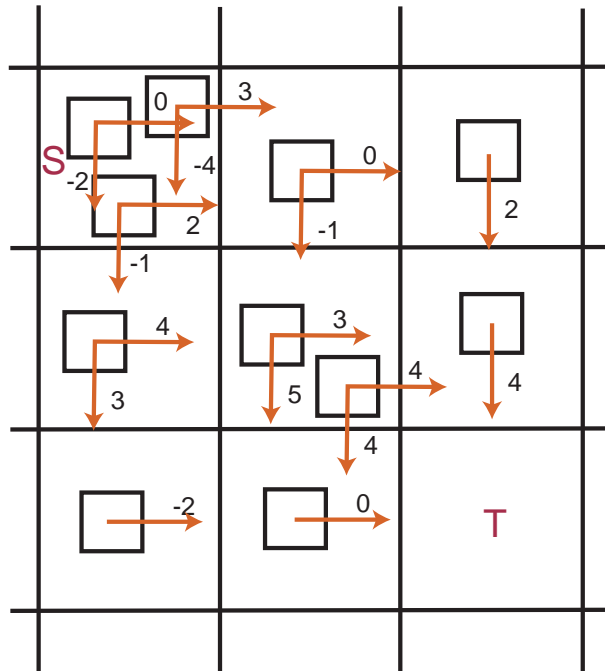


Abbildung 2.11: Platzierung als Transportproblem

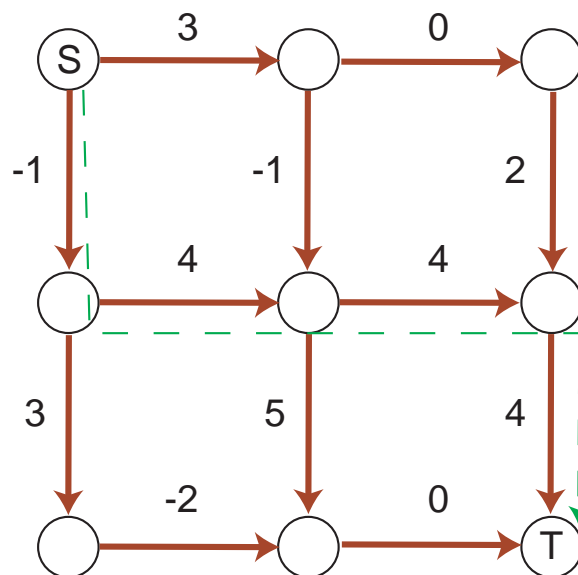


Abbildung 2.12: Lösung des Transportproblems

2.2 Globalplatzierung mit iterativ verbessernden Verfahren

Das Grundprinzip dieser Verfahren besteht darin, eine Initialplatzierung so lange hinsichtlich einer zugrundegelegten Kostenfunktion iterativ zu verbessern, bis ein Abbruchkriterium erfüllt ist oder keine Verbesserungen mehr möglich sind. Charakteristisch für die Globalplatzierung mit iterativ verbessernden Verfahren ist die Notwendigkeit einer Initialplatzierung. Die Initialplatzierung kann beliebig erzeugt worden sein. Je besser die Initialplatzierung ist, desto schneller kann ein akzeptables Ergebnis gewonnen werden.

Neben dem am meisten verwendeten Simulated-Annealing-Ansatz existiert der Ansatz mit genetischen Algorithmen. Beiden Ansätzen ist gemein, dass sie zu der Gruppe der zufallsgesteuerten, iterativ verbessernden Algorithmen gehören. Neben diesen gibt es auch deterministische, iterativ verbessernde Algorithmen, die jedoch in der Praxis nicht eingesetzt werden. Der Grund hierfür liegt darin, dass die deterministischen Verfahren im Vergleich zu zufallsgesteuerten Verfahren eher dazu neigen, in lokalen Minima zu verbleiben. Beispielsweise ist die paarweise Vertauschung ein deterministisches, iterativ verbesserndes Verfahren, bei dem die Vertauschungen nur dann durchgeführt werden, wenn sie zu einer Verbesserung der Kosten beitragen.

Im Folgenden werden die beiden gängigen Ansätze, der Ansatz mit genetischen Algorithmen (Abschnitt 2.2.1) und der Simulated-Annealing-Ansatz (Abschnitt 2.2.2), näher erläutert.

2.2.1 Genetische Algorithmen

Genetische Algorithmen sind der Evolution in der Natur nachempfunden. In der Natur passen sich die Individuen der Umgebung an, in der sie leben. Diejenigen Individuen, die am besten an die Umgebung angepasst sind, haben eine höhere Überlebenswahrscheinlichkeit, was dazu führt, dass sich ihre Anzahl erhöht. Auf der anderen Seite sinkt die Anzahl derer, die nicht so gut an ihre Umgebung angepasst sind. Dieses Prinzip wird als „Survival-of-the-Fittest“ bezeichnet, d.h. die am besten Angepassten überleben.

Genetische Algorithmen werden auch für die Platzierung integrierter Schaltungen verwendet [22, 23, 37, 101, 111, 117, 137]. Bevor die genetischen Algorithmen näher beschrieben werden können, müssen einige Begriffe erläutert werden.

Genetische Algorithmen arbeiten auf einer **Population**. Eine Menge von **Individuen** wird als Population bezeichnet, wobei gültige Lösungen des Platzierungsproblems Individuen genannt werden. Die Individuen werden meist durch eine Kette von Symbolen abgespeichert, wobei die Symbole **Gene** und eine Kette von Symbolen **Chromosomen** darstellen. Da dieses Verfahren iterativ verbessernd ist, wird der Begriff der **Generation** für jeden Iterationsschritt verwendet.

Jedes Individuum einer Generation wird anhand einer Funktion evaluiert, und jedem Individuum wird ein Maß für die Güte der Platzierung, die **Fitness**, zugewiesen.

Aus einer aktuellen Generation wird eine Nachfolgeneration mit Hilfe der genetischen Operatoren **Crossover**, **Mutation** und **Selektion** erzeugt.

Das Crossover ist eine Vererbungsoperation. Aus der Population werden zwei Individuen ausgesucht, die als Eltern der zu erzeugenden Nachfahren bezeichnet werden. Die Auswahl der Eltern erfolgt zufällig unter Berücksichtigung der Fitness. Individuen höherer Fitness werden mit einer höheren Wahrscheinlichkeit ausgewählt als Individuen mit niedrigerer Fitness. Die Erzeugung der Nachfahren kann beispielsweise durch einen zufälligen Schnitt in der Symbolkette und durch das Zusammenfügen des linken Teils des einen und des rechten Teils des anderen Elternteils erfolgen. Dabei kann nicht ausgeschlossen werden, dass die Nachfahren eine ungültige Platzierung darstellen. Es existieren verschiedene Ansätze, dieses Problem zu lösen, beispielsweise in [117]. Dort werden drei verschiedene Crossover-Varianten vorgestellt und auf ihre Effizienz hin untersucht. Als Crossover-Rate wird das Verhältnis der durch Crossover erzeugten Nachfahren zur Populationsgröße bezeichnet.

Bei der Mutation werden Nachfahren durch eine zufällige Veränderung des Individuums aus der Ursprungspopulation erzeugt. Die Veränderung der Gene geschieht unter Berücksichtigung der Mutationsrate, unter der man das Verhältnis der Genvertauschungen zur Gesamtanzahl der Gene versteht. Bei der Mutation können vollständig neue Gene generiert werden. Während der Crossover-Operator die Vererbung in den Vordergrund stellt, ist bei der Mutation die Erzeugung von neuen Genen charakteristisch.

Nachdem die Nachfahren mit den Operatoren Crossover und Mutation ermittelt worden sind, müssen aus der Population und der Menge der Nachfahren Individuen ausgewählt und in die nächste Generation übernommen werden (Selektion). Dabei gibt es verschiedene Strategien. Bei allen bleibt die Anzahl der Individuen einer Population gleich. Beim ersten Ansatz werden nur die besten Individuen in die nächste Generation übernommen, beim zweiten Ansatz werden aus der Vereinigungsmenge der Population und der Menge der Nachfahren Individuen zufällig ausgewählt. Während beim ersten Ansatz die Fitness der Population stetig ansteigt, kann es bei dem zufallsgesteuerten Verfahren zu einer Verschlechterung der Fitness der Population kommen. Ein Kompromiss beider Ansätze ist vielversprechend, da zum einen die globale Sicht aufgrund der Zufallskomponente erhalten bleibt und zum anderen gute Lösungen nicht verworfen werden.

Kling schlägt in [61] einen weiteren evolutionsbasierten Ansatz vor und nennt diesen Simulated Evolution. Der Platzierer, der mit diesem Ansatz entwickelt worden ist, wird Evolution-based Standard cell Placement (ESP) genannt.

Beim ESP wird der große Speicheraufwand der genetischen Algorithmen, der durch die Anzahl der Individuen in einer Population maßgeblich beeinflusst wird,

umgangen, indem nur eine einzige Lösung gespeichert wird. Aus dieser einen Lösung wird die nachfolgende Lösung generiert. Dabei werden die Operatoren Mutation, Evaluation, Entscheidung und Neuordnung verwendet. Bei der Mutation werden an der aktuellen Platzierung zufällige Veränderungen vorgenommen. Anschließend wird jede einzelne Zelle der Platzierung evaluiert und jeder Zelle wird ein Wert zugeordnet, der angibt, ob die Zelle an einer günstigen Stelle angeordnet ist oder nicht. Anschließend wird entschieden, welche Zellen von der Layoutfläche entfernt werden. Diese Zellen bilden die Menge der neu anzuordnenden Zellen. Im letzten Schritt, der Neuordnung, werden Zellen dieser Menge sequenziell auf der Layoutfläche platziert. Genaue Untersuchungen zu den notwendigen Operatoren, Ergebnisse für bestimmte Schaltungen und ein Vergleich mit anderen iterativ verbessernden Platzierungsansätzen finden sich in [61, 66, 67, 68, 118].

2.2.2 Simulated Annealing

Bei der Abkühlung eines Kristalls ordnen sich die Moleküle in einem energiearmen Zustand an. Dabei spielt die Abkühlkurve eine sehr wichtige Rolle. Je langsamer der Abkühlvorgang stattfindet, desto regulärer wird die Kristallstruktur. Gleichzeitig werden bei einer langsamen Abkühlkurve eventuell vorhandene Spannungen aus der Kristallstruktur beseitigt. Simulated Annealing wird für die Lösung allgemeiner Optimierungsprobleme verwendet.

Simulated Annealing ist ein effektiver Optimierungsalgorithmus, der das globale Minimum findet, sofern er genügend Zeit zur Verfügung hat. Die Haupteigenschaft ist die Tatsache, dass der Suchraum bei der Suche nach der optimalen Lösung nicht eingeschränkt wird. Simulated Annealing kann lokale Minima überwinden, weil Lösungen, die höhere Kosten aufweisen, mit bestimmten Wahrscheinlichkeiten akzeptiert werden. Die Akzeptanzwahrscheinlichkeit wird über einen Parameter, die Temperatur, gesteuert.

Als zufallsgesteuertes, iterativ verbesserndes Platzierungsverfahren wurde Simulated Annealing erstmals von Sechen im Jahre 1985 vorgestellt [115]. Dieser Ansatz wurde in den folgenden Jahren von Sechen [112, 113, 114], Sun [124, 125], Sarrafzadeh [107, 108], Varanelli [131], Swartz [126] und Tsai [129] weiter entwickelt.

Abbildung 2.13 zeigt den generellen Ablauf des Simulated Annealing als iterativ verbesserndes Platzierungsverfahren. Die Initialplatzierung dient als Eingabe für das Verfahren. Die Starttemperatur wird vom Nutzer gewählt. Solange ein vorher festgelegtes Abbruchkriterium nicht erfüllt und ein stationärer Zustand nicht erreicht sind, wird eine neue vorläufige Platzierung erzeugt. Anhand eines Entscheidungskriteriums wird über die Akzeptanz der vorläufigen Platzierung entschieden. Falls die vorläufige Platzierung akzeptiert wird, wird diese als aktuelle Platzierung übernommen, ansonsten verworfen. Anschließend wird wiederum eine neue Platzierung erzeugt und die Schleife abgearbeitet. Wenn der stationäre

```
P := Initialplatzierung;
T := Starttemperatur;
Solange (Abbruchkriterium nicht erfüllt)
    Solange (Stationärer Zustand nicht erreicht)
        P_vorläufig := ErzeugeNeuePlatzierung;
        Wenn (Vorläufige Platzierung akzeptiert)
            P := P_vorläufig;
        Ende
    Ende
T_neu := SenkeTemperatur;
T := T_neu;
Ende
```

Abbildung 2.13: Genereller Ablauf des Simulated Annealing

Zustand erreicht wird, wird anhand einer Abkühlkurve die Temperatur abgesenkt und als aktuelle Temperatur übernommen. Bei dieser Temperatur beginnt die Schleife wieder und wird ausgeführt bis erneut ein stationärer Zustand erreicht worden ist.

Die Notwendigkeit einer Startplatzierung ist für iterativ verbessernde Platzierungsverfahren charakteristisch. Eine gute Initialplatzierung ist vorteilhaft, da dann mit Simulated Annealing gute Ergebnisse schneller erreicht werden können.

Die Starttemperatur spielt für die Veränderungen an der Initialplatzierung eine wichtige Rolle. Dabei führen niedrige Starttemperaturen dazu, dass nur sehr wenige Veränderungen an der Initialplatzierung durchgeführt werden. Simulated-Annealing-Verfahren mit niedriger Starttemperatur werden als Low-Temperature Simulated-Annealing-Verfahren bezeichnet.

Für das äußere Abbruchkriterium sind verschiedene Möglichkeiten denkbar. Beispielsweise kann als äußeres Abbruchkriterium die Unterschreitung einer festgelegten Schwelle der Kostenfunktion angenommen werden. Eine andere Möglichkeit ist die Festlegung der Rechenzeit.

Das innere Abbruchkriterium ist mit dem stationären Zustand verknüpft. Dieser Zustand gilt als erreicht, wenn über eine bestimmte Anzahl von Iterationen keine Veränderungen an der Kostenfunktion festgestellt werden. In manchen Ansätzen wird die Anzahl der durchgeführten Vertauschungen bei einer Temperatur festgelegt. Ist die festgelegte Anzahl von Vertauschungen durchgeführt, gilt der stationäre Zustand als erreicht.

In der inneren Schleife werden neue Platzierungskonfigurationen erzeugt. Dieses kann auf beliebige Art und Weise geschehen. Beispielsweise verwendet Sechen in der Standardimplementierung des Simulated Annealing eine Kombination aus der paarweisen Vertauschung von Standardzellen und Zügen von einzelnen Standardzellen an leere Layoutpositionen [115, 116]. Experimentelle Ergebnisse zeigen, dass das Verhältnis zwischen der Anzahl der Verschiebungen einzelner Zellen zur

Anzahl der paarweisen Vertauschung von zwei Zellen erheblichen Einfluss auf die Ergebnisqualität hat [116]. Die Auswahl der Zellen, die für die Verschiebung oder Vertauschung verwendet werden, erfolgt in der Regel zufällig. Dieses stellt die erste Zufallskomponente bei Simulated-Annealing-Ansätzen dar. Bei der Auswahl der Zellen für die entsprechenden Züge können Zuglängen ebenfalls berücksichtigt werden. Je niedriger die Temperatur ist, desto kürzer muss dann der Abstand der beiden an der Zellvertauschung beteiligten Zellen sein. Soll keine paarweise Vertauschung, sondern nur eine Verschiebung einer einzigen Zelle vorgenommen werden, so darf der Abstand des neuen Platzierungsortes zum ursprünglichen Ort je nach Temperatur eine entsprechende Schwelle nicht überschreiten [110, 116].

Bei dem Vergleich zwischen der aktuellen und der neu erzeugten Platzierung ist der Unterschied der Kostenfunktionswerte von großer Bedeutung. Die Kostenfunktion stellt die Bewertungsfunktion der Platzierung dar. Das hauptsächliche Optimierungsziel ist die Gesamtverdrahtungslänge. Da bei Vertauschungen oder Verschiebungen von Zellen Überlappungen und Anordnungen, bei denen sich Teilbereiche einiger Zellen außerhalb der Layoutfläche befinden, nicht ausgeschlossen werden können, besteht die Möglichkeit, diese beiden Faktoren in die Kostenfunktion einzubeziehen. Dieses geschieht über zusätzliche Terme in der Kostenfunktion. Ist der Wert der Kostenfunktion nach der Vertauschung kleiner geworden, so wird die neu erzeugte Platzierung akzeptiert und anschließend der nächste Schritt der Iteration vollzogen. Steigen die Kosten aber, so wird anhand der aktuell betrachteten Temperatur der Abkühlkurve und einem Zufallswert entschieden, ob die Platzierung akzeptiert oder verworfen wird. Dieses stellt die zweite Zufallskomponente des Ansatzes dar.

Die Abkühlkurve ist eine der wichtigsten Faktoren für die Ergebnisqualität. Beispielfhaft ist die Abkühlkurve eines Platzierungstools (TimberWolf 3.2) in Abbildung 2.14 dargestellt [116].

Die Abkühlkurve lässt sich mathematisch durch

$$T_{neu} = \alpha(T_{alt}) \cdot T_{alt} \quad (2.15)$$

beschreiben, wobei der Faktor α von der Temperatur abhängt und der Ungleichung $0 < \alpha < 1$ genügt.

Für die Akzeptanz einer Vertauschung oder Verschiebung ist eine Akzeptanzfunktion notwendig. Die Akzeptanzfunktion $f_{Akzeptanz}$ der Standardimplementierung lautet:

$$f_{Akzeptanz}(\Delta c, T) = \min \left\{ 1; e^{-\frac{\Delta c}{T}} \right\} . \quad (2.16)$$

In Gleichung (2.16) stellt

$$\Delta c = c_{neu} - c_{akt} , \quad (2.17)$$

den Kostenunterschied dar, wobei c_{neu} den Wert der Kostenfunktion nach der Vertauschung und c_{akt} den Wert der Kostenfunktion vor der Vertauschung dar-

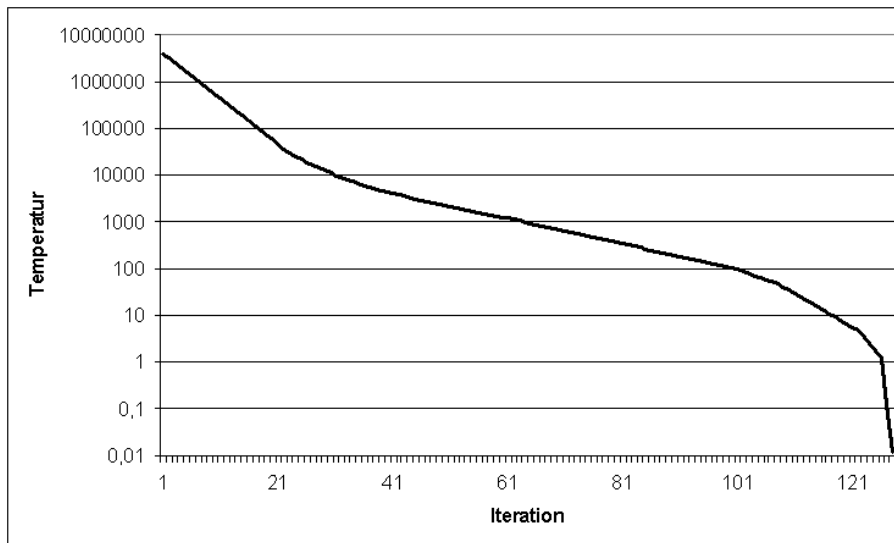


Abbildung 2.14: Abkühlkurve für das Simulated Annealing

stellen. Ist Δc positiv, so bedeutet das einen Kostenanstieg, ist Δc negativ, so haben sich die Kosten verringert.

Neben der Akzeptanzfunktion ist eine Zufallsfunktion notwendig, die zufällig eine Zufallszahl r aus dem Intervall $0 < r < 1$ liefert. Ein Vergleich zwischen der Zufallszahl und dem Ergebnis der Akzeptanzfunktion liefert die Entscheidung, ob die neue Platzierung akzeptiert oder verworfen wird. Ist die Zufallszahl kleiner als der Funktionswert der Akzeptanzfunktion, wird die neue Platzierung akzeptiert. Ist die Zufallszahl jedoch größer als die Akzeptanzfunktion, so wird die neue Platzierung verworfen. Verbessert sich die Platzierung aufgrund der Vertauschung (Δc ist negativ), wird die Platzierung stets akzeptiert.

Schwieriger wird die Betrachtung des Falles mit ansteigenden Kosten (Δc ist positiv). Der Funktionswert der Akzeptanzfunktion ist sehr stark von der aktuellen Temperatur abhängig. Bei sehr hohen Temperaturen spielt der Kostenunterschied Δc in der Exponentialfunktion kaum eine Rolle, da aufgrund der Temperatur T im Nenner die Exponentialfunktion einen Wert liefert, der sehr nahe an 1 liegt. Die Akzeptanzfunktion liefert den Wert der Exponentialfunktion zurück. Bei einem Vergleich mit der Zufallszahl wird die neue Platzierung mit sehr hoher Wahrscheinlichkeit akzeptiert. Bei sehr hohen Temperaturen wird also die neue Platzierung nahezu unabhängig von Δc akzeptiert. Wenn die Temperatur jedoch sehr klein wird, wird das Ergebnis der Exponentialfunktion ebenfalls sehr klein, so dass die Wahrscheinlichkeit einer Akzeptanz sehr gering ist. Im Allgemeinen sinkt die Wahrscheinlichkeit der Akzeptanz von schlechteren Platzierungen mit fallender Temperatur. Dieses Phänomen ist in Abbildung 2.15 erkennbar. Je tiefer die Temperatur sinkt, desto schneller fällt die Exponentialkurve ab, so dass

die Wahrscheinlichkeit der Akzeptanz ebenfalls schnell kleiner wird.

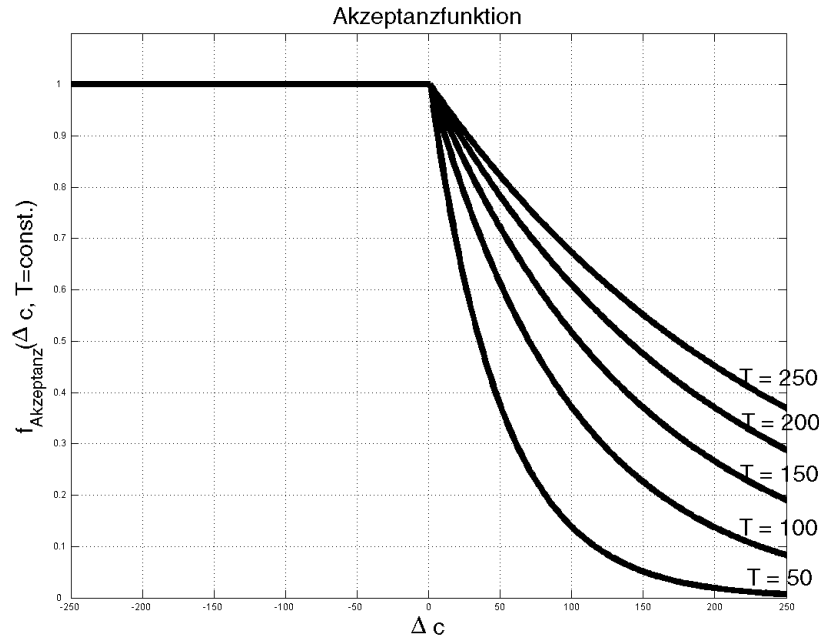


Abbildung 2.15: Akzeptanzfunktion beim Simulated Annealing

Neben der Standardimplementierung gibt es verschiedene Erweiterungen, um neuen Anforderungen zu entsprechen. Swartz schlägt einen Ansatz zur Berücksichtigung von Timing-Restriktionen vor [126]. Dabei modifiziert er die Kostenfunktion um einen Zusatzterm, der die Timingverletzungen berücksichtigt. Die Laufzeit der Standardimplementierung wird durch Sun verbessert [124, 125], während Mallela in [79] ein zweistufiges Simulated Annealing vorschlägt. Im ersten Schritt werden die Zellen zu Clustern zusammengefasst und platziert. Im zweiten Schritt werden sequenziell die Cluster betrachtet und die Zellen innerhalb dieser Cluster platziert.

Simulated Annealing ist ein mächtiges Optimierungsverfahren, das über sehr viele Erweiterungsmöglichkeiten verfügt, da Nebenbedingungen über Zusatzterme in die Kostenfunktion eingebunden werden können. Das Verfahren liefert aber nur dann sehr gute Ergebnisse, wenn die notwendigen Parameter optimal gewählt worden sind. Sechen schlägt in [113] Parameter vor, mit denen das Verfahren gut funktioniert.

Shahookar vergleicht in [117] genetische Algorithmen mit Simulated-Annealing-Ansätzen und stellt fest, dass sowohl die Ergebnisqualität als auch die Laufzeiten vergleichbar sind. Der einzige Vorteil der genetischen Algorithmen liegt darin, dass nicht so viele Platzierungskonfigurationen ermittelt werden müssen

wie beim Simulated Annealing.

2.3 Detailplatzierung

Die Detailplatzierung ist der abschließende Schritt des Syntheseschrittes Platzierung, die aus der Globalplatzierung mit einer möglichst geringen Änderung hervorgeht. Das Ergebnis der Detailplatzierung ist eine überlappungsfreie Anordnung der Zellen. Bei einem Standardzellansatz werden die Zellen zusätzlich in Reihen angeordnet.

Für die Detailplatzierung wird meistens Simulated Annealing eingesetzt. Problematisch bei diesem Ansatz ist der hohe Rechenzeitbedarf, der die Rechenzeit der globalen Platzierung um ein Vielfaches überschreitet.

In diesem Abschnitt werden drei verschiedene Ansätze vorgestellt, die Alternativen zum Simulated Annealing darstellen und recht gute Ergebnisse liefern. Neben der Heuristik, die im Platzierungstool DRAGON2000 eingesetzt wird, kommen Lösungsmethoden für Transportprobleme zum Einsatz (Mongrel und DOMINO).

DRAGON2000 gehört zu der Gruppe der partitionsbasierten Platzierungsverfahren. Bei der Legalisierung der Globalplatzierung wird ein zweistufiges Greedy-Vorgehen vorgeschlagen. Im ersten Schritt werden alle Standardzellen so weit auseinandergezogen, bis keine Überlappungen mehr vorhanden sind. Dadurch ist eine legale Platzierung erreicht. Da aber noch Verbesserungspotenzial vorhanden ist, erfolgt in der zweiten Stufe der Legalisierung die Suche nach einer besseren Platzierung mit einem Zellvertauschungsalgorithmus. Der Algorithmus wählt zufällig eine Zelle aus. Anhand eines Parameters (Verhältnis der vertikalen Vertauschungen zu allen Vertauschungen) wird entschieden, ob eine horizontale oder eine vertikale Suche durchgeführt wird. Soll beispielsweise eine vertikale Suche durchgeführt werden, wird entweder die Zelle über- oder unterhalb der aktuell ausgewählten Zelle betrachtet. Dabei muss beachtet werden, dass eine Vertauschung der beiden Zellen eine Anpassung der Zellpositionen innerhalb der entsprechenden Zeile notwendig machen kann, um eventuell auftretende Überlappungen zu beseitigen. Wird eine horizontale Suche durchgeführt, können eine bestimmte Anzahl (bestimmt durch einen wählbaren Parameter) von Zellen links oder rechts der aktuellen Zelle für die Vertauschung herangezogen werden. Nach der Auswahl der Zellen wird die Gesamtverdrahtungslänge nach der Vertauschung berechnet. Ist diese kleiner, wird die Vertauschung vollzogen, ansonsten wieder verworfen. Wang bestimmt in [134] die Anzahl der betrachteten Zellen bei einer horizontalen Vertauschung empirisch zu 4 und das Verhältnis von vertikalen Vertauschungen zur Anzahl aller Vertauschungen zu 20%.

Die Erstellung der Globalplatzierung mit **Mongrel** wurde in Abschnitt 2.1.5 beschrieben. Dabei weisen die Rechtecke nur so viele Standardzellen auf, dass die Kapazität der Rechtecke nicht überschritten wird. Bei der Erzeugung der

Detailplatzierung wird eine überlappungsfreie und der Zeilenbreite angepasste Platzierung erzeugt. Bei der Legalisierung werden die Zellen ohne Zwischenräume platziert, die Reihenfolge bei der Erzeugung der initialen Detailplatzierung bleibt erhalten. Hierzu werden die Zellen in Standardzellreihen angeordnet. Anschließend erfolgt die Optimierung der Detailplatzierung zeilenweise.

```
Solange (Zeilen noch nicht abgearbeitet)
  Solange (Zeilenende nicht erreicht)
    Wähle Zellen innerhalb des Fensters;
    Suche optimale Anordnung der Zellen;
    Verschiebe Fensterposition nach rechts;
  Ende
  Gehe zur nächsten Zeile;
Ende
```

Abbildung 2.16: Mongrel: Genereller Ablauf der Zeilenoptimierung

Der generelle Ablauf der Zeilenoptimierung ist in Abbildung 2.16 dargestellt. Sequenziell werden alle Zeilen abgearbeitet. Solange das Zeilenende nicht erreicht ist, werden Zellen ausgewählt, die sich innerhalb des Fensters einer vorgegebenen Fenstergröße befinden. Die optimale Anordnung der Zellen wird bestimmt. Hierzu wird die Menge der Zellen in zwei Mengen aufgeteilt (Partitionierung), wobei die relative Reihenfolge innerhalb der Mengen beibehalten wird. Alle Anordnungsmöglichkeiten der Zellen, die sich in den Mengen befinden, werden ausprobiert. Die Anordnung mit den geringsten Kosten wird ausgewählt. Die Vorgehensweise ist in Abbildung 2.17 dargestellt.

Anschließend wird das Fenster um eine Zelle nach rechts verschoben und die Iteration beginnt von Neuem. Wenn das Zeilenende erreicht ist, wird die nächste Zeile betrachtet. Die zeilenweise Optimierung ist abgeschlossen, wenn alle Zeilen abgearbeitet sind.

Der zeilenweisen Optimierung schließt sich das Dynamic Clustering an. Untersuchungen haben aufgezeigt, dass der Unterschied zwischen guten und mittelmäßigen Platzierungen hauptsächlich darin begründet ist, dass sich einige Gruppen von Zellen im Vergleich zur guten Platzierung entweder links oder rechts der optimalen Position befinden [46]. Im abschließenden Schritt werden aus diesem Grunde Gruppen von Zellen (variabler Größe von 3 bis 10 Zellen) ausgewählt, die neu angeordnet werden. Die Auswahl der Gruppen erfolgt anhand der abgeschätzten Verdrahtungsdichte. Je niedriger die Verdrahtungsdichte ist, desto höher ist die Wahrscheinlichkeit, dass dieser Gruppe von Zellen eine bessere Position innerhalb der Zeile zugewiesen werden kann. Aufgrund der globaleren Sicht besteht die Möglichkeit, lokale Minima zu verlassen.

DOMINO ist ein an der Technischen Universität München entwickelter Legalisierer, der ebenfalls auf der Modellierung des Platzierungsproblems als Trans-

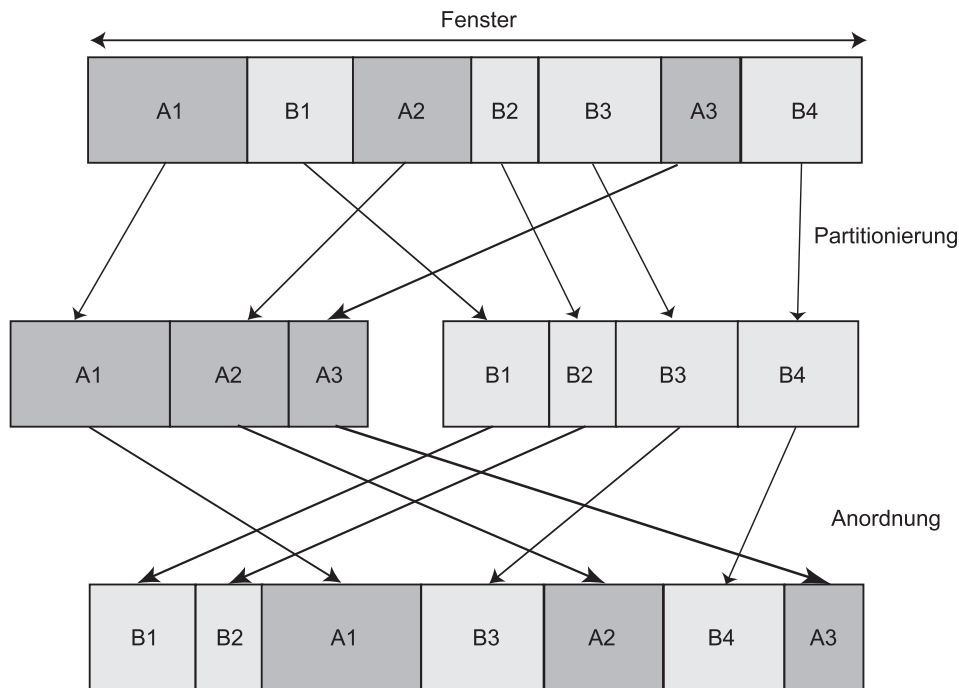


Abbildung 2.17: Mongrel: Legalisierungsschritt nach [47]

portproblem beruht [30, 31, 32]. Der größte Vorteil der Modellierung als Transportproblem ist die Tatsache, dass während der Platzierungsphase eine große Anzahl von Zellen gleichzeitig betrachtet werden kann. Aus diesem Grunde sind die Nachteile, die sich aufgrund eines Greedy-Vorgehens ergeben können, hier nicht gegeben.

Die Startplatzierung kann eine beliebig erzeugte Platzierung sein. Generell lässt sich aber feststellen, dass die Qualität der Startplatzierung direkt in die Qualität der legalisierten Platzierung eingeht. Ferner wird der Rechenzeitbedarf durch die Qualität der Startplatzierung beeinflusst. Der generelle Ablauf des Legalisierers ist in Abbildung 2.18 dargestellt.

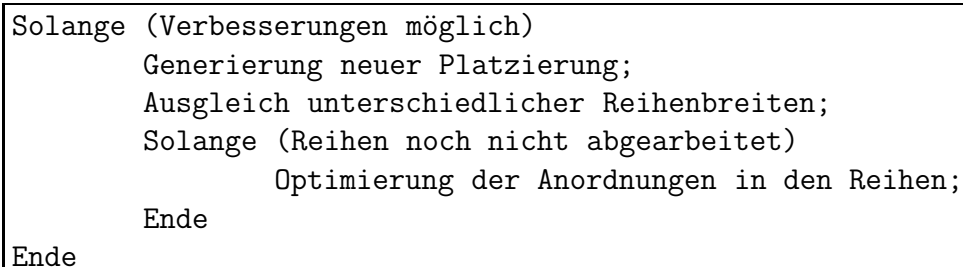


Abbildung 2.18: DOMINO: Genereller Ablauf

Die Erzeugung der neuen, gültigen Platzierungen ist ein iterativer Prozess, wobei die Platzierungen die Eigenschaft haben, dass die Zellen überlappungsfrei und ohne Zwischenräume angeordnet werden. Es werden nur bessere Platzierungen akzeptiert. Die sich aufgrund der Anordnungen ergebenden unterschiedlichen Reihenbreiten werden ausgeglichen und anschließend eine Optimierung der Zellen innerhalb der Reihen durchgeführt.

Neue Platzierungen werden durch die Lösung von mehreren lokalen Subproblemen ermittelt. Hierfür wird die Layoutfläche in verschiedene, sich teilweise überlappende Regionen eingeteilt. Abbildung 2.19 zeigt beispielhaft zwei Regionen aus einem Ausschnitt der Gesamtlayoutfläche.

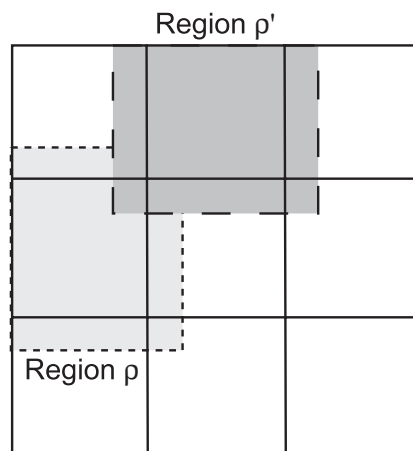


Abbildung 2.19: DOMINO: Regionen bei der Legalisierung

Jeder Region werden die Zellen zugeordnet, die sich innerhalb der Region befinden. Aufgrund der Überlappungen der Regionen ist eine teilweise Vermischung der Zellen von Iteration zu Iteration gegeben, die durch unterschiedliche Reihenfolgen bei der Abarbeitung der Regionen weiter gefördert wird. Die prinzipielle Vorgehensweise orientiert sich am „Divide-and-Conquer“-Prinzip. Die Regionen werden sequenziell von unten nach oben abgearbeitet, so dass die Platzierung wie ein wachsender Kristall entsteht. Innerhalb der Region werden alle Zellen parallel betrachtet. Der Ablauf ist in Abbildung 2.20 dargestellt. Ausgehend von der aktuellen Platzierung (Abbildung 2.20 a) werden Zellen der Region ρ ausgewählt (Abbildung 2.20 b) und ohne Zwischenraum auf die verbesserte Platzierung übertragen (Abbildung 2.20 c).

Die Anordnung der aktuell betrachteten Zellen auf der Layoutfläche ist rechenzeitintensiv. Hierzu wird die Platzierung als Transportproblem modelliert und anschließend mit entsprechenden Algorithmen gelöst. Die Lösung des Transportproblems liefert die optimalen Positionen für die Zellen.

Da Standardzellen unterschiedliche Flächen aufweisen, müssen sie bei der Modellierung des Platzierungsproblems als Transportproblem zunächst in gleich

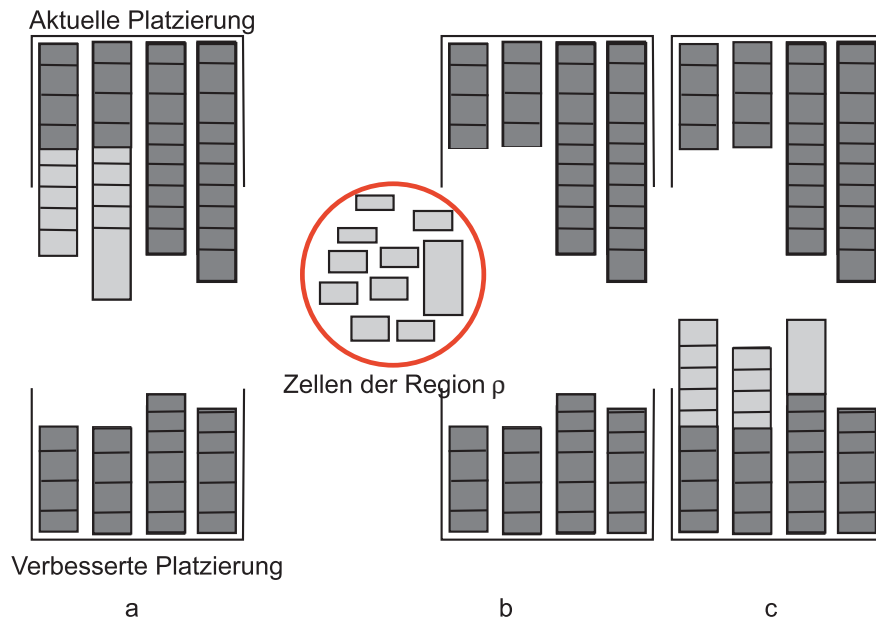


Abbildung 2.20: DOMINO: Aufbau der Platzierung

große Teilzellen aufgeteilt werden, da die Platzierungsorte nur eine einheitliche Größe haben. Generell kann jede Teilzelle an jedem möglichen Platzierungsort angeordnet werden. Für jeden einzelnen Platzierungsort müssen die Kosten bei einer Platzierung der entsprechenden Teilzellen bestimmt werden, um die notwendigen Daten des Transportproblems bereitzustellen zu können. Da vor allem die Gesamtverdrahtungslänge als Optimierungsziel angesehen wird, geht sie primär in die Kostenberechnung ein. Gängige Verfahren zur Verdrahtungslängenabschätzung benötigen genaue Zellpositionen. Diese können aber aufgrund der parallelen Betrachtung aller Zellen einer Region nicht bereitgestellt werden. Doll schlägt zwei neue Netzmodelle vor, die für die Verdrahtungslängenabschätzung nicht alle genauen Zellpositionen benötigen und weist die Verwendbarkeit durch einen Vergleich zur am häufigsten verwendeten Methode der halben Bounding-Box nach. Anhand dieser Netzmodelle können die Kosten, die bei der Modellierung des Transportproblems notwendig sind, bestimmt werden. Weiterführende Einzelheiten sind in [30] angeführt. Sind die Kosten für jede mögliche Zellposition bestimmt, kann das Transportmodell mit einem Graphen dargestellt werden.

Beispielhaft ist in Abbildung 2.21 ein Graph dargestellt. An den Kanten sind jeweils zwei Kenngrößen notiert. Die erste Zahl gibt die Kapazität, die zweite Zahl die Kosten an. Für ein Transportproblem sind Quelle (= S) und Senke (= T) zu kennzeichnen. Von der Quelle ausgehend stehen an den Kanten die Anzahl der Teilzellen als Kapazitäten und als Kosten stets die Null. Zum Beispiel wird die Zelle a in zwei Teilzellen aufgeteilt, während die Zelle c in drei Teilzellen auf-

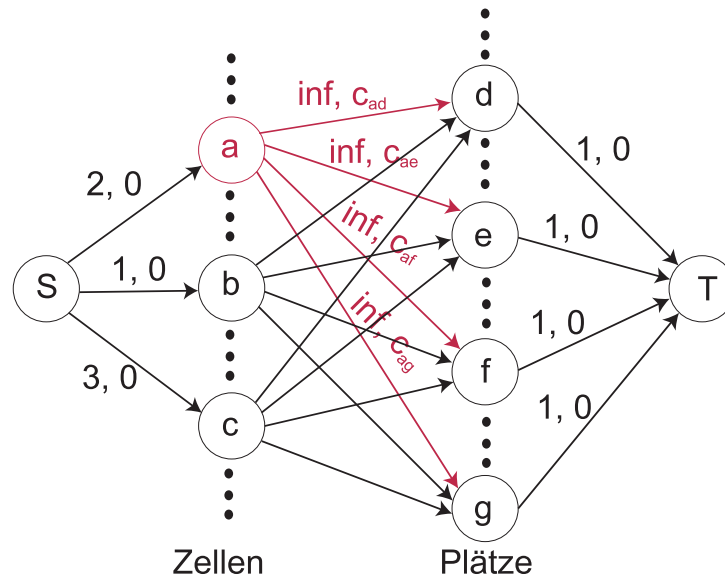


Abbildung 2.21: Modellierung als Transportproblem

geteilt wird. Nach der Aufteilung der Zellen in Teilzellen müssen diese auf der Layoutfläche angeordnet werden. Die Kosten für die Anordnung der einzelnen Teilzellen auf die möglichen Plätze sind mit c_{ij} gekennzeichnet, wobei der Index i die Teilzelle repräsentiert. Der Index j zeigt an, dass Teilzelle i an die Layoutposition j gesetzt wird. Der Wert inf an den jeweiligen Kanten bedeutet, dass die Kapazität dieser Kanten unendlich ist.

Das Transportproblem wird mit einem Min-Cost-Flow-Algorithmus gelöst. Einzelheiten zu Lösungsmöglichkeiten von Transportproblemen finden sich beispielsweise in [76]. Doll implementiert in DOMINO die Flow-Augmentation-Methode [31].

Die Lösung des Transportproblems liefert die optimalen Positionen für die Teilzellen unter der Einschränkung, dass die Verdrahtungslänge abgeschätzt ist und die Reihenfolge der Regionenabarbeitung die Ergebnisqualität beeinflusst. Untersuchungen haben aufgezeigt, dass die meisten Teilzellen einer Standardzelle in unmittelbarer Nähe zueinander angeordnet werden. Diese müssen in einem weiteren Schritt zu einer Standardzelle zusammengefügt werden. Dabei wird die Standardzelle in der Reihe angeordnet, in der sich die meisten ihrer Teilzellen befinden.

Das Ergebnis des Transportproblems kann unter Umständen zu Unterschieden in den Zeilenbreiten führen. Diese müssen in einem anschließenden Schritt angepasst werden, wodurch die Gesamtverdrahtungslänge gegebenenfalls ansteigen kann. Bei der Anpassung werden Zellen aus benachbarten Zeilen ausgetauscht, um die Breitenunterschiede auszugleichen.

Nach der Anpassung der Zeilenbreiten wird innerhalb der Zeilen eine Optimierung durchgeführt. Hierzu wird eine monotone Suche verwendet, bei der unter Betrachtung der Gesamtverdrahtungslänge Vertauschungen von zwei Zellen akzeptiert oder wieder verworfen werden.

Kapitel 3

3D-Integration

3.1 3D-Integrationstechnologien

Für die 3D-Integration bestehen zwei grundsätzlich verschiedene Realisierungsmöglichkeiten. Auf der einen Seite sind die vertikal gestapelten Multi-Chip-Module (MCM-V) zu nennen, auf der anderen Seite vollintegrierte 3D-Technologien.

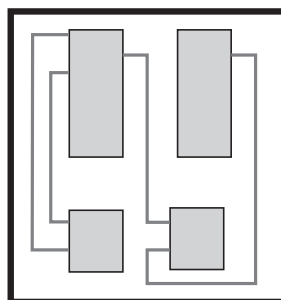


Abbildung 3.1: Schematische Darstellung eines Multi-Chip-Moduls (MCM)

Bei konventionellen Multi-Chip-Modulen (MCM) werden fertig prozessierte und ungehäuste Chips nebeneinander auf einer Fläche angeordnet. Die Chips können nur über die externen Pins elektrisch miteinander verbunden werden. Weitere Verbindungen zwischen den Chips existieren nicht. Eine beispielhafte Anordnung aus vier Chips, die auf einer ebenen Fläche angeordnet sind, ist in Abbildung 3.1 dargestellt. Nachgewiesenermaßen ist dieser Ansatz sehr kostengünstig, hat aber den Nachteil, dass die Verbindungsleitungen zwischen den Chips sehr lang werden können.

Durch die vertikale Stapelung der Chips kann dieser Nachteil teilweise überwunden werden. Vertikal gestapelte Multi-Chip-Module werden als MCM-V bezeichnet [26]. Eine schematische Anordnung von einem MCM-V mit drei Chipebenen ist in Abbildung 3.2 dargestellt. Da die Anzahl der Verbindungen zwischen

den Chips bei MCMs auf die Anzahl der externen Pins beschränkt ist, können sie für Systeme, die eine hohe Zahl von Verbindungen untereinander benötigen, nicht eingesetzt werden. Der Stand der Technik bei den MCMs kann ausführlich in [1] nachgelesen werden.

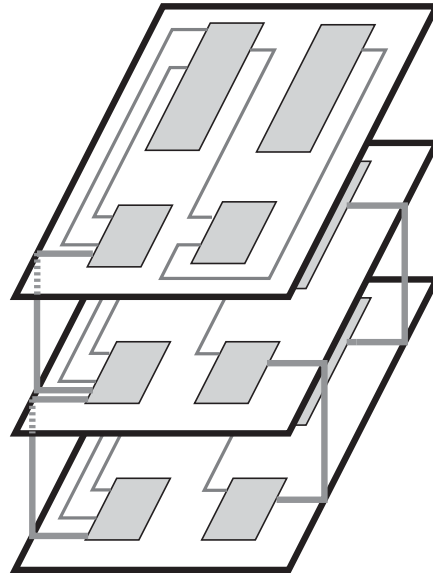


Abbildung 3.2: Schematische Darstellung eines vertikalen MCMs (MCM-V)

Vollintegrierte 3D-Technologien sind im Vergleich zu MCMs vielseitig verwendbar. Sie weisen beliebige Anordnungsmöglichkeiten für die vertikalen Durchkontaktierungen auf. Es bestehen daher keine Beschränkungen hinsichtlich der Position oder der Anzahl der vertikalen Durchkontaktierungen, wodurch eine sehr hohe Dichte erreicht werden kann. Für Anwendungen, die eine parallele Verarbeitung mit sehr starkem Informationsaustausch benötigen, ist dieser Ansatz sehr vorteilhaft.

Aufgrund der größeren Flexibilität und der damit verbundenen größeren Anwendungsfelder stellen die vollintegrierten Technologien den Stand der Technik bei der 3D-Integration dar. Zusammenfassende Beschreibungen der Technologien können in [6, 120] nachgelesen werden. Nachfolgend werden die vier wichtigsten vorgestellt.

Beam Recrystallization ist eine Technologie für die Herstellung von Dünnschichttransistoren (thin film transistors, TFT). Dabei wird die zweite aktive Siliziumschicht durch die Ablagerung von Polysilizium auf einem schon fertig prozessierten, passivierten Wafer hergestellt. Für die Fertigung von Dünnschichttransistoren sind hohe Temperaturen notwendig, da das Polysilizium in den flüssigen Zustand überführt werden muss. Hohe Temperaturen bei der Herstellung führen zu erheblichen Qualitätseinbußen bei darunter liegenden aktiven Schichten. Aus

diesem Grunde werden Herstellungsmöglichkeiten bei tieferen Temperaturen erforscht. Ferner weisen die mit Polysilizium hergestellten Transistoren schlechte Elektronenbeweglichkeiten und sehr hohe Threshold-Spannungen auf [6, 105]. Die Eigenschaften der Dünnschichttransistoren werden verbessert, wenn die Rekristallisation des Polysiliziumfilms mit Hilfe eines Laser- oder Elektronenstrahls angeregt wird. Problematisch bei der Herstellung von Dünnschichttransistoren sind darüber hinaus Verunreinigungen, die durch unbeabsichtigte Dotierung verursacht werden.

Das **Silicon Epitaxial Growth** ist ein weiterer Hochtemperaturprozess. Das Prinzip dieses Verfahrens beruht darauf, dass eine Öffnung in den passivierten Wafer geätzt wird, durch die eine neue Schicht epitaktisch aufgebracht wird. Durch die hohen Temperaturen werden jedoch bei der Erzeugung der neuen aktiven Schichten die darunter liegenden Schichten derart beschädigt, dass eine Funktionsfähigkeit nicht mehr gewährleistet werden kann [6, 105]. Daher ist das Silicon Epitaxial Growth für die Anwendung bei mehreren aktiven Schichten technologisch nicht anwendbar.

Da sich hohe Temperaturen nachteilig auf die Qualität auswirken, wird bei der **Solid Phase Crystallization (SPC)** die Ablagerung und Kristallisierung von amorphem Silizium auf schon vorhandenen aktiven Schichten bei niedrigen Temperaturen ermöglicht. Der amorphe Siliziumfilm wird kristallisiert, und es bildet sich eine Polysiliziumschicht. Verschiedene Möglichkeiten für die Verbesserung der Eigenschaften des neu aufgetragenen Films sind in der Literatur erwähnt [6]. Die SPC-Technologie weist eine große Flexibilität bei der Erzeugung mehrerer aktiver Schichten auf und ist CMOS-kompatibel. Neue Forschungsergebnisse zeigen, dass mit dieser Niedertemperaturtechnologie auch hochperformante Systeme aufgebaut werden können [6, 104, 105]. Die elektrischen Eigenschaften reichen jedoch derzeit nicht an Schaltungen aus einem einzeln gewachsenen Siliziumkristall heran. Darüber hinaus besteht bei der 3D-Integration keine Möglichkeit, verschiedene Technologien für die verschiedenen aktiven Schichten zu verwenden. Dieser Nachteil ist bei der nächsten vorgestellten Technologie nicht vorhanden.

Das **Processed-Wafer-Bonding** ist eine 3D-Technologie, die ausgereift ist. Zwei oder mehrere vollständig prozessierte und getestete Wafer werden bei diesem Verfahren übereinander angeordnet und über vertikale Durchkontaktierungen elektrisch miteinander verbunden. Die Vorgehensweise, Wafer miteinander zu verbinden, wird als Wafer-to-Wafer-Bonding bezeichnet. Wesentlich flexibler, in der Durchführung aber aufwändiger, ist das Chip-to-Wafer-Bonding. Dabei werden auf einen prozessierten Wafer fertig prozessierte Chips aufgebracht. Diese Vorgehensweise ist wesentlich vorteilhafter im Hinblick auf die Ausbeute, da nur funktionsfähige Chips aufgebracht werden. Ferner besteht nicht die Vorgabe, dass die Chips höherer Schichten dieselben Abmessungen wie die der unteren Schichten aufweisen müssen.

Vorteilhaft für das Processed-Wafer-Bonding ist außerdem die Tatsache, dass die aktiven Schichten in unterschiedlichen Technologien realisiert sein können,

die über die vertikalen Durchkontaktierungen miteinander kombiniert werden. Nachteilig ist, dass die endliche optische Justiergenauigkeit für die Positionierung der Wafer übereinander bzw. der Chips auf dem Wafer berücksichtigt werden muss. Aus diesem Grunde ist mit einem erhöhten Flächenbedarf für die vertikalen Durchkontaktierungen zu rechnen.

Für das Processed-Wafer-Bonding gibt es viele Veröffentlichungen, die die Besonderheiten der einzelnen Verfahren erläutern [5, 6, 8, 13, 18, 38, 44, 69, 72, 77, 96, 97, 98, 99, 104, 105, 106, 120]. Die Verfahren unterscheiden sich in vier nachfolgend aufgeführten Punkten:

1. Kleber für das Bonding,
2. Methode der Scheibendünnung,
3. Genauigkeit bei der Waferausrichtung,
4. Herstellungsverfahren der vertikalen Durchkontaktierungen.

Reif et al. stellen in [38] zwei verschiedene Arten des Processed-Wafer-Bondings vor. Die vertikalen Durchkontaktierungen werden dort als Inter-Wafer-Vias bezeichnet. Bei der ersten Möglichkeit wird auf die untere Schicht ein Polymer-Kleber aufgebracht. Die zweite Lage wird gedünnt und auf die untere Schicht aufgebracht. Anschließend werden die Öffnungen für die vertikalen Durchkontaktierungen geätzt, so dass die vertikalen Durchkontaktierungen in einem Metallisierungsschritt realisiert werden können. Die Realisierung der Durchkontaktierungen erfolgt bei dieser Vorgehensweise nach dem Bonden. Abbildung 3.3 zeigt den prinzipiellen Aufbau.

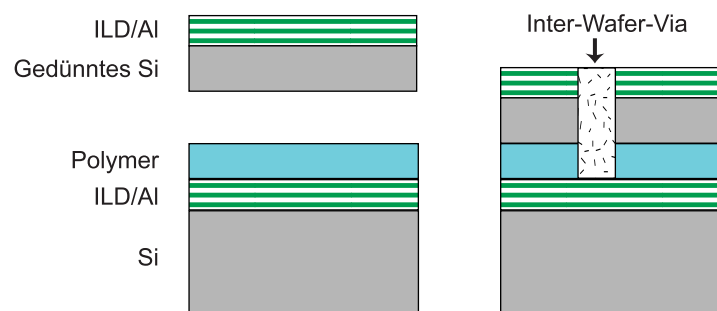


Abbildung 3.3: Wafer-Bonding mit Polymer-Kleber [38]

Die zweite Möglichkeit besteht darin, dass die vertikalen Durchkontaktierungen schon vor dem Bonden vorhanden sind. Dabei werden sowohl auf der Oberseite des unteren Wafers als auch auf der Unterseite des zweiten Wafers eine Metallschicht (Kupfer) aufgebracht. Die beiden Wafer werden durch Thermo-kompression miteinander verbunden, so dass die vertikalen Verbindungen durch

die Kontaktflächen realisiert werden. Schematisch ist der Vorgang des Copper-Wafer-Bondings in Abbildung 3.4 dargestellt.

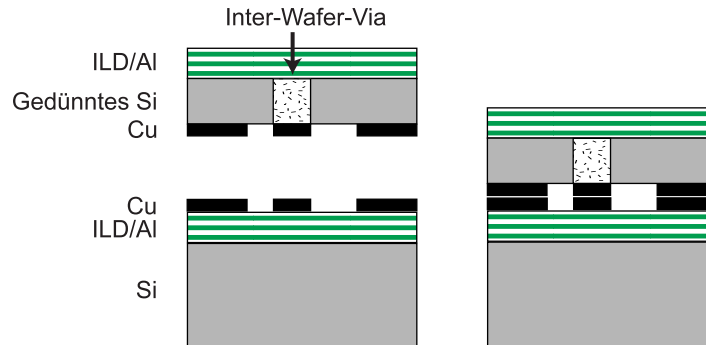


Abbildung 3.4: Copper-Wafer-Bonding [38]

Im Rahmen dieser Arbeit wird die InterChip-Via (ICV)-Technologie der Fraunhofer Gesellschaft (Institut für Zuverlässigkeit und Mikrointegration, IZM) für die Festlegung der technologischen Randbedingungen herangezogen, da wichtige Daten für diese Technologie frei verfügbar sind. Die grundlegenden Informationen für diese Technologie können verschiedenen Veröffentlichungen entnommen werden [8, 44, 62, 69, 72, 96, 97, 98], Zusammenfassungen liefern Ramm et al. in [97, 98]. Die ICV-Technologie ist ein Vertreter der Processed-Wafer-Bonding-Technologie. Während das IZM zunächst das Wafer-to-Wafer-Bonding untersuchte, sind in letzter Zeit vermehrt Untersuchungen zum Chip-to-Wafer-Bonding durchgeführt worden, da es aufgrund der Flexibilität zukunftssträchtiger ist. Eine schematische Darstellung der ICV-Technologie für zwei aktive Schichten findet sich in Abbildung 3.5. Bei dieser Technologie gibt es keinerlei Beschränkungen bei der Anzahl der Chiplayer.

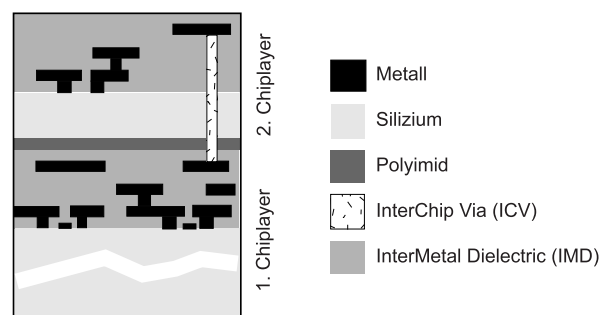


Abbildung 3.5: Schematische Darstellung der ICV-Technologie

Der Herstellungsprozess der 3D-Chips ist äußerst komplex. Hier wird das Grundprinzip für das Wafer-to-Wafer-Bonding mit zwei Layern erläutert [8].

Bevor die beiden Wafer miteinander verbunden werden, müssen Vorbereitungen für das Zusammenbringen beider Wafer getroffen werden. Bei dem zweiten, oben anzubringenden Wafer müssen für die ICVs Löcher geätzt werden. Mit einem Nassätzverfahren wird das Loch durch alle Metalllagen hindurch und rund $12\ \mu\text{m}$ in das Silizium hinein geätzt. Anschließend wird der Wafer mit einem Handling-Wafer versehen. Der Handling-Wafer dient zur besseren Handhabbarkeit des Wafers nach dem sich anschließenden Dünnungsprozess. Erste Veröffentlichungen zu den Grundlagen des Dünnungsprozesses stammen aus dem Jahre 1995 [44]. Der Dünnungsvorgang wird so weit fortgesetzt, bis die Löcher für die ICVs offengelegt sind. Der zweite Wafer hat dann eine Dicke von rund $10\ \mu\text{m}$. Die Oberseite des ersten Wafers wird planarisiert und mit Polyimid, dem für das Bonding verwendeten Kleber, versehen. Die beiden Wafer werden optisch justiert und bei $400\ \text{°C}$ gebondet. Da der Handling-Wafer nicht mehr benötigt wird, wird dieser entfernt. Auf dem unteren Wafer werden Öffnungen für die Verbindung der vertikalen Durchkontaktierungen mit der obersten Metalllage bereitgestellt. Nach der lateralen elektrischen Isolierung der ICV-Löcher werden diese mit Wolfram metallisiert. Damit ist die vertikale Verbindung zwischen den beiden Wafern gewährleistet. Bei der ICV-Technologie werden generell die oberste Metalllage des ersten Wafers und die oberste Metalllage des zweiten Wafers für die vertikalen Verbindungen verwendet.

Die ICVs weisen laterale Ausdehnungen von rund $2\ \mu\text{m} \cdot 2\ \mu\text{m}$ auf. Die elektrischen Eigenschaften sind mit gemessenen Widerständen von ca. $2\ \Omega$ vielversprechend [97]. In [96] untersuchen Ramm et al. die Verwendbarkeit von Kupfer für die vertikalen Durchkontaktierungen. Derzeit bringt der Einsatz von Kupfer keine Verbesserungen hinsichtlich der elektrischen Eigenschaften, da aufgrund der schwierigeren Handhabbarkeit des Kupfers Prozessverunreinigungen verursacht werden können. Die hervorzuhebende Eigenschaft der ICV-Technologie ist, dass diese CMOS-kompatibel und daher in gängigen Fertigungsanlagen einsetzbar ist.

Kühn et al. untersuchen die Koppelkapazitäten der Leitungen in 3D-ICs [72]. Dort zeigen sie, dass die Flächenreduzierung und die Reduzierung der Verdrahtungslängen bei der 3D-Integration trotz des Anstiegs der Koppelkapazitäten zu kleineren Signalverzögerungszeiten für globale Leitungen führen. Untersuchungen zu ICV-Kapazitäten existieren bisher nicht.

Wie in der ITRS erwähnt wird, gehören thermische Effekte zu den ungelösten Problemen der 3D-Integration [54]. Aufgrund der vertikalen Stapelung von Wafern bzw. Chips können Gebiete mit erhöhter Temperatur und schlechter Wärmeableitungsmöglichkeit auftreten, die die Funktionsfähigkeit der 3D-Chips beeinträchtigen oder gar zum Ausfall des gesamten Chips führen können. Während Chao in [19] die thermischen Effekte für MCMs untersucht, haben Kleiner et al. im Jahre 1995 die ersten Untersuchungen zu den thermischen Eigenschaften von vollintegrierten 3D-Chips durchgeführt [62]. Die Grundlage hierfür ist die ICV-Technologie. Dabei ist ein erheblicher Temperaturanstieg bei gedünnten Wafern zu beobachten. Daher ist die Dicke des zweiten Wafers und aller folgenden ein

ausschlaggebender Faktor für die thermischen Grenzen der 3D-Integration. Weitere Untersuchungen zu den thermischen Effekten sind in [6, 20, 49, 95] zu finden. Ein wichtiger Parameter bei der Untersuchung der thermischen Eigenschaften ist die Wärmeleitfähigkeit des verwendeten Klebers. Je leitfähiger der Kleber ist, desto niedriger ist die Temperatur des zweiten Chiplayers und der folgenden. Ferner schlägt Rahman in [95] die Verwendung von vertikalen Durchkontaktierungen (thermische Vias) für die Wärmeableitung vor. In [49] untersucht Im die beiden unterschiedlichen Ansätze für das Processed-Wafer-Bonding hinsichtlich ihrer thermischen Eigenschaften, zum einen die ICV-Technologie mit Polyimid als Kleber zwischen den Chiplayern und zum anderen die Thermokompressionsmethode mit Kupfer als Verbindung zwischen den Layern. Die thermische Analyse ergibt, dass sich die Thermokompressionsmethode minimal besser verhält als die ICV-Technologie.

Dass die 3D-Integration nicht nur in akademischen Forschungseinrichtungen bearbeitet wird, zeigt die Tatsache, dass Infineon Technologies im August 2002 einen 3D-Chip hergestellt hat [50]. Hierzu gehört auch die Veröffentlichung von Hübner aus dem Jahre 2002 [45]. Darüber hinaus gibt es weitere Veröffentlichungen, die die 3D-Integration für entsprechende Anwendungsfälle heranziehen. Kleiner et al. wenden die 3D-Integration für ein RISC-System an [63], während Lee diesen Ansatz für Speicher verwendet [73]. Mangold verwendet die MCM-Technologie für Hochfrequenzanwendungen [81].

3.2 3D-Entwurfswerkzeuge

Für die 3D-Integration existieren derzeit keine kommerziell verfügbaren EDA-Entwurfswerkzeuge. Zwar kann bei den Verdrahtungswerkzeugen prinzipiell von einem dreidimensionalen Ansatz gesprochen werden, weil mehrere Metalllagen für die Verdrahtung zur Verfügung stehen. Für andere EDA-Werkzeuge wie Floorplanner und Platzierer gibt es jedoch keine ausgereiften Erweiterungen in die dritte Dimension. Dies ist derzeit ein zwar kleines aber recht aktives Forschungsgebiet. Erste Ansätze für das Floorplanning finden sich in [28, 29, 102, 103], für die Platzierung in [25, 26, 28, 29, 42, 59, 88, 127] und für die Verdrahtung in [25, 29, 36, 128]. Die Veröffentlichungen beziehen sich sowohl auf einzelne Tools als auch auf Tools, die zu einem Flow zusammengefasst sind. Aus diesem Grunde können einige Veröffentlichungen mehrfach zitiert sein.

3.2.1 Floorplanner

Salewski benutzt für ihren 3D-Floorplanner genetische Algorithmen [103]. Als Datenstruktur werden Slicing-Strukturen verwendet, eine theoretische Abhandlung für die Anwendbarkeit dieser Strukturen bei der 3D-Integration findet sich in [102]. Die genetischen Operationen werden speziell für den 3D-Fall angepasst.

Einzelheiten zu den verwendeten genetischen Operationen Mutation und Rekombination können in [103] nachgelesen werden. Die Ergebnisse für die untersuchten Benchmarks des Microelectronics Center of North Carolina (MCNC) sind vielversprechend und übertreffen in der Reduktion der Gesamtverdrahtungslänge und des Flächenbedarfs in [28] veröffentlichte Ergebnisse. Salewski untersucht ferner die optimale Anzahl der Layer für die Minimierung der Gesamtverdrahtungslänge.

Im Gegensatz zu Salewski verwendet Deng eine Non-Slicing-Struktur für seinen Floorplanner [28]. Ausgehend von einem zufällig erzeugten Floorplan werden nachfolgende Floorplans zufallsgesteuert ermittelt. Hierfür stehen drei mögliche Optionen zur Verfügung: Verschiebung einer Zelle, Drehung einer Zelle und die Vertauschung von zwei Zellen. Bei der Vertauschung von zwei Zellen können auch Zellen aus zwei verschiedenen Layern für die Vertauschung herangezogen werden. Die Effizienz des Algorithmus wird anhand der beiden großen MCNC-Floorplanning-Benchmarks ami33 und ami49 demonstriert. Die Gesamtverdrahtungslänge kann bis zu 30% reduziert werden, während die Fläche nur um rund 3% reduziert wird. Die Ergebnisse sind ebenfalls gut, reichen aber nicht an die von Salewski heran. Anzumerken ist, dass Deng nur 3D-Chips mit zwei aktiven Schichten untersucht, während bei Salewski keinerlei Beschränkungen hinsichtlich der Anzahl aktiver Schichten bestehen. Sie veröffentlicht Ergebnisse mit bis zu fünf aktiven Schichten.

3.2.2 Platzierer

Neben dem 3D-Floorplanning wird die 3D-Platzierung in der Literatur ebenfalls behandelt. Ohmura schlägt beispielsweise einen iterativ verbessernden 3D-Platzierungsalgorithmus vor [88]. Ausgehend von einer 3D-Initialplatzierung werden paarweise Vertauschungen durchgeführt, wenn die Vertauschung einen Gewinn bezüglich der betrachteten Kostenfunktion nach sich zieht. Dabei werden Verbindungen in vertikaler Richtung gesondert gewichtet, um die höheren Widerstände in vertikaler Richtung berücksichtigen zu können. Für die betrachteten Beispiele (18 - 124 Standardzellen) sind Verdrahtungslängenreduktionen von bis zu 17.4% zu beobachten.

Tanprasert veröffentlicht einen analytischen Ansatz für die 3D-Platzierung [127]. Die Zielfunktion beinhaltet die quadratische Gesamtverdrahtungslänge. Untersuchungen für Platzierungsanordnungen mit etwa 20 Zellen werden geschildert. Für aktuelle Schaltungen mit sehr viel mehr Standardzellen ist weder der Ansatz von Ohmura noch der von Tanprasert ausgereift. Sie werden daher nicht weiter betrachtet.

Deng et al. stellen neben dem Floorplanner auch einen Platzierer vor [28]. Der Platzierer baut auf dem Min-Cut-Platzierer CAPO auf, der von Caldwell et al. veröffentlicht [16] und in Abschnitt 2.1.3 beschrieben wurde. Deng untersucht nur Chip-Stapel, die zwei Layer aufweisen und auf der Processed-Wafer-Bonding-Technologie beruhen. Die Vorgehensweise bei dem 3D-Platzierer bein-

hält zunächst eine Bipartitionierung (vertikale Partitionierung). Bei der Bipartitionierung wird eine Flächenabweichung zwischen den beiden Layern von bis zu 10% akzeptiert. Die ursprüngliche Netzliste wird nach der Bipartitionierung in zwei Unternetzlisten aufgeteilt, die jeweils einem der beiden zur Verfügung stehenden Layer zugewiesen werden. Anschließend wird ebenenweise eine 2D-Platzierung mit den zugewiesenen Partitionsteilen vorgenommen. Die Layoutfläche ist fest vorgegeben, es wird also der Fixed-Die-Ansatz verfolgt. Für die Verbesserung der Ergebnisqualität bei der Min-Cut-Platzierung wird die Terminal-Propagation für die 3D-Anwendung angepasst und implementiert. Dabei müssen auch Zellen aus der anderen aktiven Schicht berücksichtigt werden. Neben der Reduzierung der Gesamtverdrahtungslänge untersucht Deng auch die Längenreduzierung des längsten in der Schaltung vorkommenden Netzes. Die Ergebnisse für die MCNC-Benchmarks sind sehr gut, die Reduzierung der Gesamtverdrahtungslänge für die Realisierung mit zwei Layern beträgt bis zu 23%. Der Durchschnitt für alle MCNC-Benchmarks weist eine Reduzierung von rund 16% auf. Die durchschnittliche Reduzierung der Länge des längsten vorkommenden Netzes beträgt 29%. Bei diesen Ergebnissen ist anzumerken, dass keinerlei technologische Informationen über die vertikalen Verbindungen eingeflossen sind. Weder die elektrischen, noch die geometrischen Abmessungen spielen bei der Berechnung der Gesamtverdrahtungslänge eine Rolle.

In [29] wird die vertikale Partitionierung, also die Zuweisung der Partitionsteile auf die Layer, nicht im ersten Schritt durchgeführt, sondern erst in einem der folgenden Partitionierungsschritte. Ferner werden die geometrischen Abmessungen der vertikalen Durchkontaktierungen berücksichtigt. Für die einzelnen Bereiche der Layer wird die technologisch begrenzte, maximale Anzahl von vertikalen Durchkontaktierungen festgelegt, das heißt, jedem Bereich wird eine Kapazität für vertikale Durchkontaktierungen zugewiesen. Die vertikale Partitionierung beginnt mit einer Toleranz von 1% für die Flächenabweichungen der beiden Partitionsteile. Die wichtigste Maßgabe ist die Einhaltung der vorgegebenen Flächenabweichung. Falls bei dieser Toleranz die Anzahl der notwendigen vertikalen Durchkontaktierungen in einem Bereich die vorhandene Kapazität überschreitet, wird die Partitionierung verworfen und mit einer größeren Toleranz wiederholt. Diese Vorgehensweise wird so lange fortgesetzt, bis die Kapazität nicht mehr überschritten wird. In einer Erweiterung des ursprünglichen Platzierers ist die Platzierung von gemischten Schaltungen, die aus Makro- und Standardzellen bestehen, möglich.

Das et al. stellen ebenfalls einen 3D-Platzierer auf der Basis des Min-Cut-Algorithmus vor [25, 26]. Die Abmessungen der Layoutfläche sind fest vorgegeben (Fixed-Die-Ansatz). Die rekursive Bipartitionierung bildet hier die Grundlage für den 3D-Platzierer. Die Partition wird in Partitionsteile geteilt, die ungefähr die gleiche Fläche aufweisen. Eine Toleranz von 2% - 10% wird zugelassen. Partitionierungsuntersuchungen zeigen zwei Vorgehensweisen auf, die die Optimierung unterschiedlicher Optimierungsziele gewährleisten. Die erste Vorgehensweise op-

timiert die Anzahl der vertikalen Verbindungen, während die zweite die Gesamtverdrahtungslänge minimiert.

Abbildung 3.6 zeigt den Partitionierungsablauf für die Minimierung der Anzahl vertikaler Verbindungen. Da das Min-Cut-Verfahren die Verbindungen zwischen den Partitionsteilen minimiert, ist bei der sofortigen Partitionierung auf die zur Verfügung stehenden Layer die kleinste Anzahl vertikaler Verbindungen zu erwarten. Diese Vorgehensweise kann zu längeren Gesamtverdrahtungslängen führen, ist aber besonders dann anzuwenden, wenn die vertikalen Verbindungen einen hohen Beitrag zur Kostenfunktion leisten. Die hohen Kosten können durch elektrische Eigenschaften (Widerstand und/oder Kapazität) oder durch geometrische Abmessungen (erhöhter Flächenbedarf) begründet sein.

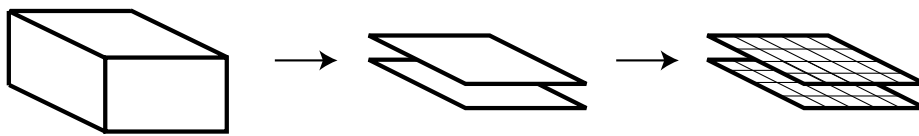


Abbildung 3.6: Partitionierungsablauf für die Minimierung der Anzahl vertikaler Verbindungen [25]

Für die Minimierung der Gesamtverdrahtungslänge wird ein Partitionierungsablauf nach Abbildung 3.7 vorgeschlagen. Dabei wird die Partitionierung rekursiv durchgeführt, im letzten Schritt erfolgt die Partitionierung auf die Layer der Schaltung. Bei der Partitionierung wird auf die Schnitttrichtung besonderer Wert gelegt, da diese die Ergebnisqualität maßgeblich beeinflusst. Das wählt die Schnitttrichtung stets senkrecht zur längsten Ausdehnung.

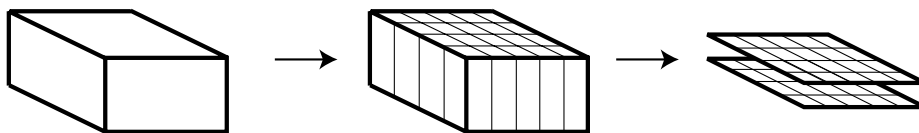


Abbildung 3.7: Partitionierungsablauf für die Minimierung der Gesamtverdrahtungslänge [25]

Eine Kombination beider Optimierungsziele ist denkbar. Die Partitionierung erfolgt weder zu Beginn, noch am Ende, sondern erst dann, wenn die Partitions-teile eine bestimmte Größe unterschritten haben.

Das et al. untersuchen Chip-Stapel mit bis zu fünf Layern. Die Reduktion der Gesamtverdrahtungslänge variiert für die untersuchten ISPD-Benchmarkschal-tungen [2] von 28% bis 51%. Sie nimmt erwartungsgemäß mit steigender Anzahl von Layern zu. Ferner untersucht Das die Reduzierung der Länge des längsten Netzes. Hier wird eine Reduktion von 31% bis 56% erreicht. Bei der Optimierung

der Anzahl vertikaler Verbindungen wird eine Verdrahtungslängenreduktion von nur noch 7% bis 17% erzielt.

Goplen berücksichtigt thermische Effekte bei der 3D-Platzierung in [42].

3.2.3 Verdrahter

Die Verdrahtung ist bei der 2D-Realisierung der Schaltungen aufgrund mehrerer Metalllagen an sich dreidimensional. Erste Arbeiten zu Verdrahtern für 3D-Chips sind im Jahre 1991 von Enbody et al. veröffentlicht worden [36].

Tanprasert schlägt in seiner Veröffentlichung einen 3D-Switchbox-Globalverdrahter vor [128]. Nach der Platzierung wird der restliche zur Verfügung stehende Freiraum in 3D-Switchboxes aufgeteilt. Anschließend wird die Adjazenzinformation generiert, um schließlich mit Hilfe der Steiner-Baum-Abschätzung die Globalverdrahtung durchzuführen.

Das et al. führen in [25] die 3D-Verdrahtung auf die Positionierung der vertikalen Verbindungen zurück. Da die vertikalen Verbindungen bestimmte Flächen benötigen, kann ihre Positionierung zu Veränderungen in der schon erzeugten Platzierung führen. Nachdem die vertikalen Verbindungen positioniert sind, kann die abschließende Verdrahtung mit einem Standard-2D-Verdrahter durchgeführt werden.

3.2.4 Design-Flows

Neben einzelnen Entwurfswerkzeugen existieren vollständige Design-Flows für den Entwurf von dreidimensionalen Schaltungen. Die Veröffentlichungen von Das et al. [25, 26] und Deng et al. [28, 29] können hier angeführt werden.

Das et al. verfügen über einen Platzierer, der auf der Basis des Min-Cut-Algorithmus arbeitet, und über einen Verdrahter. Die Möglichkeiten eines 3D-Designs werden zwar ausgenutzt, jedoch fehlt ein 3D-Floorplanner. Die Verwendung eines Floorplanners wird in Zukunft unumgänglich sein, da abzusehen ist, dass die Schaltungen in Zukunft sehr viel komplexer und größer sein werden. Darüber hinaus berücksichtigt Das die vertikalen Verbindungen erst während des Verdrahtungsschrittes. Dieser Ansatz hat den Nachteil, dass die Platzierung aufgrund der nicht vernachlässigbaren lateralen geometrischen Abmessungen der vertikalen Verbindungen modifiziert werden muss. Im ungünstigsten Fall kann die Verdrahtung aufgrund mangelnder Fläche für die vertikalen Verbindungen nicht durchgeführt werden.

Deng et al. verfügen in ihrem Design-Flow über einen Floorplanner, einen Platzierer und einen Verdrahter. Nachteilig für den Ansatz von Deng ist die mangelnde Interaktion zwischen dem Floorplanner und dem Platzierer. Beispielsweise erlaubt das Floorplanning keine ebenenübergreifenden Module, das heißt, dass die Module jeweils nur vollständig einem der zur Verfügung stehenden Layer zugewiesen werden. Liegen Module nur in einem Layer, dann ist die Verwendung eines 3D-

Platzierers überflüssig. Die Platzierung kann mit einem Standard-2D-Platzierer durchgeführt werden. Andererseits bedingt die Verwendung eines 3D-Platzierers, der die Zuweisung auf die einzelnen Layer unabhängig vom Ergebnis des Floorplanners durchführt, dass die Verwendung eines Floorplanners überflüssig ist. Es sind zwar alle für den physikalischen Entwurf notwendigen Entwurfswerkzeuge vorhanden, sie sind aber nicht in einen einheitlichen Design-Flow integriert.

Kapitel 4

Kräftegesteuerte 3D-Platzierung

Die Grundlagen der konventionellen, kräftegesteuerten Platzierung sind in Abschnitt 2.1.4 vorgestellt worden. In diesem Abschnitt werden die Erweiterung in die dritte Dimension und die damit verbundenen Auswirkungen erläutert.

Betrachtet man zwei 3D-Standardzellen, Zelle i und Zelle j , mit den Mittelpunktskoordinaten (x_i, y_i, z_i) bzw. (x_j, y_j, z_j) , ist der mit einem konstanten Faktor w_k gewichtete quadratische Abstand c_{ij} zwischen den beiden Zellen nach

$$c_{ij} = w_k \cdot ((x_i - x_j)^2 + (y_i - y_j)^2 + (z_i - z_j)^2) \quad (4.1)$$

zu berechnen.

Der Unterschied zwischen dem 2D- und dem 3D-Fall besteht in dem zusätzlichen Term, der durch die z -Koordinaten verursacht wird. Generell besteht die Möglichkeit, die z -Richtung durch einen weiteren Faktor w_z anders zu gewichten als die x - und y -Richtungen. Der quadratische Abstand ist dann mit

$$c_{ij} = w_k \cdot ((x_i - x_j)^2 + (y_i - y_j)^2 + w_z \cdot (z_i - z_j)^2) \quad (4.2)$$

gegeben, wobei der Faktor w_z den Unterschied zwischen der lateralen und der vertikalen Verbindungen berücksichtigt.

Die Kostenfunktion kann für den 3D-Fall ebenfalls in Matrixnotation angegeben werden:

$$f_c(\underline{p}) = \frac{1}{2} \cdot \underline{p}^T \cdot \underline{C} \cdot \underline{p} + \underline{d}^T \cdot \underline{p} + \text{const.}$$

In dieser Notation besteht kein Unterschied zwischen den Kostenfunktionen im zwei- bzw. dreidimensionalen Fall.

Bei einer Netzliste mit n beweglichen Zellen $N = \{N_1, N_2, \dots, N_n\}$ und m festen Zellen $M = \{M_1, M_2, \dots, M_m\}$ unterscheiden sich die Größen der Matrizen im zwei- bzw. dreidimensionalen Fall. Während bei der zweidimensionalen Implementierung die Matrix \underline{C} eine Größe von $2(n+m) \times 2(n+m)$ Elementen aufweist, ist sie im dreidimensionalen Ansatz $3(n+m) \times 3(n+m)$ groß. Dementsprechend sind die Matrizen \underline{p} und \underline{d} von der Dimension $3(n+m) \times 1$. Genauso

wie im 2D-Fall repräsentieren die ersten $(n + m)$ Elemente der Lösungsmatrix \underline{p} die x -Koordinaten der Zellen, die nächsten $(n + m)$ Elemente die y -Koordinaten und die letzten $(n + m)$ Elemente die z -Koordinaten.

Der Aufbau der Matrizen \underline{C} und \underline{d} ist in Abschnitt 2.1.4 erläutert worden. Bei dem dreidimensionalen Ansatz sind zusätzlich die z -Komponenten zu berücksichtigen. Da die Beiträge zur Matrix \underline{C} unabhängig voneinander sind, können die x - und y -Anteile aus dem 2D-Ansatz übernommen werden. Die durch die z -Koordinaten verursachten Einträge sind in der Matrix \underline{C} in den Zeilen und Spalten $2(n + m) + 1$ bis $3(n + m)$ vorzunehmen. Damit kann die Matrix

$$\underline{C} = \begin{bmatrix} \underline{C}_x & \underline{0} & \underline{0} \\ \underline{0} & \underline{C}_y & \underline{0} \\ \underline{0} & \underline{0} & \underline{C}_z \end{bmatrix} \quad (4.3)$$

als eine schwach besetzte Matrix mit drei voneinander unabhängigen Teilmatrizen geschrieben werden, wobei jede der Teilmatrizen $(n + m) \times (n + m)$ Einträge aufweist.

Durch Lösung der Matrixgleichung (2.5) kann das Optimum der Kostenfunktion bestimmt werden. Nach der Einführung der abstoßenden Kräfte im dreidimensionalen Fall wird die Platzierung durch Lösung der Gleichung (2.6) bestimmt.

Die Berechnung der abstoßenden Kräfte im 3D-Fall unterscheidet sich in der Berechnungsvorschrift. Die abstoßende Kraft $\vec{e}_{i,k}$ auf eine beliebige Standardzelle i im k -ten Iterationsschritt des numerischen Lösungsverfahrens wird mit

$$\vec{e}_{i,k} = \vec{e}_{i,k-1} + \vec{f}_{i,k}(x_i, y_i, z_i) \quad (4.4)$$

berechnet, wobei für $\vec{f}_{i,k}(x_i, y_i, z_i)$

$$\vec{f}_{i,k}(x_i, y_i, z_i) = \frac{c_2}{4\pi} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} D(x', y', z') \cdot \frac{\vec{r} - \vec{r}'}{|\vec{r} - \vec{r}'|^3} dx' dy' dz' \quad (4.5)$$

gilt. Die Berechnungsvorschrift entspricht der Berechnungsvorschrift des elektrischen Feldes bei einer vorgegebenen Raumladungsdichte in der Elektrostatik. Eine Herleitung der Gleichung ist in Abschnitt 4.2 angegeben. Auf die Bestimmung der abstoßenden Kräfte wird dort ausführlich eingegangen. Der Vektor \vec{r} ist der Ortsvektor der Zelle i , während die Konstante c_2 zur Skalierung der abstoßenden Kraft dient. Der zweite Faktor im Integranden wird häufig als Greensche Funktion bezeichnet.

Im Unterschied zum zweidimensionalen Fall ist hier eine Dreifachintegration durchzuführen. Dabei ist zu beachten, dass der Nenner der Greenschen Funktion den Grad drei aufweist. Die Dichtefunktion

$$D(x, y, z) = -s \cdot A(x, y, z) + \sum_{l=1}^n a_l(x, y, z) \quad (4.6)$$

ist ebenfalls dreidimensional mit der Utilization

$$s = \frac{1}{W \cdot H \cdot D} \cdot \sum_{l=1}^n w_l \cdot h_l \cdot d_l, \quad (4.7)$$

wobei W , H und D die Ausdehnungen des Layoutvolumens darstellen. Die Funktion $A(x, y, z)$

$$A(x, y, z) = \begin{cases} 1 & : x, y, z \text{ im Layoutvolumen} \\ 0 & : \text{sonst} \end{cases} \quad (4.8)$$

zeigt an, ob sich der aktuell betrachtete Punkt (x, y, z) innerhalb oder außerhalb des Layoutvolumens befindet.

Sind die abstoßenden Kräfte für die einzelnen Standardzellen berechnet, kann die Matrix \underline{e} aktualisiert werden. Für eine beliebige Standardzelle i mit den abstoßenden Kräften $\vec{e}_{i,k}$ nach dem k -ten Iterationsschritt lautet der Vektor komponentenweise

$$\vec{e}_{i,k} = \begin{pmatrix} e_{ix,k} \\ e_{iy,k} \\ e_{iz,k} \end{pmatrix}. \quad (4.9)$$

Die Komponenten müssen in der Matrix \underline{e}

$$\underline{e}(i, 1) = e_{ix,k}, \quad (4.10)$$

$$\underline{e}(i + (n + m), 1) = e_{iy,k}, \quad (4.11)$$

$$\underline{e}(i + 2 \cdot (n + m), 1) = e_{iz,k} \quad (4.12)$$

aktualisiert werden.

Die weitere Vorgehensweise ist identisch mit der Vorgehensweise im zweidimensionalen Fall. Nach der Berechnung der Initialplatzierung (Lösung der Gleichung (2.5)) werden die abstoßenden Kräfte mit Hilfe der Gleichungen (4.4) und (4.5) aktualisiert. Mit den aktuellen abstoßenden Kräften wird die Matrix \underline{e} aktualisiert. Die Lösung der Matrixgleichung (2.6) führt zu einer neuen Platzierung.

4.1 Modifikation der Dichtefunktion

Für den 2D-Fall ist die Bestimmung der kontinuierlichen Dichtefunktion in Abbildung 4.1 dargestellt.

Der betrachtete Bereich befindet sich innerhalb der Layoutfläche. In Abbildung 4.1 sind exemplarisch die Zellen i und j dargestellt. Für die Ebene $y = 0$ wird die Dichtefunktion $D(x, y = 0)$ bestimmt und unterhalb der Anordnung veranschaulicht. Die Dichtefunktion kann in drei spezifische Bereiche unterteilt werden. Neben Bereichen ohne Standardzellen ($D(x, y = 0) = -s$) gibt es Bereiche mit nur einer Standardzelle ($D(x, y = 0) = 1 - s$) und einen Bereich, in dem sich die beiden Standardzellen überlappen ($D(x, y = 0) = 2 - s$).

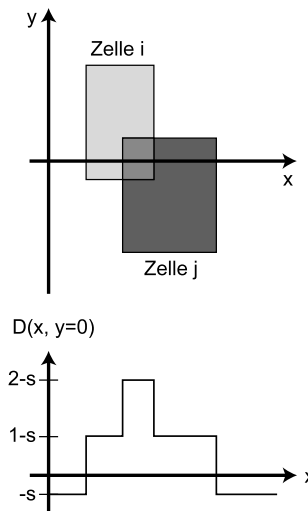


Abbildung 4.1: Kontinuierliche 2D-Dichtefunktion

Kontinuierliche Dichtefunktionen sind für Berechnungen mit einem Rechner nicht geeignet. Aus diesem Grunde wird die Dichtefunktion diskretisiert. Die Bestimmung der diskretisierten Dichtefunktion kann unterschätzend oder überschätzend erfolgen. Die unterschätzende Dichtefunktion ist in Abbildung 4.2 dargestellt.

Im unterschätzenden Fall liefert die Summe in Gleichung (4.6) nur dann einen Beitrag, wenn die Standardzelle die Rasterfläche vollständig bedeckt. Ansonsten liefert sie keinen Beitrag. Auf der gesamten Layoutfläche wird die Utilization s abgezogen. Für die interne Speicherung der Dichtefunktion bietet sich die Matrixform an. Für jede Rasterfläche ist ein Eintrag in der Dichtematrix vorzunehmen.

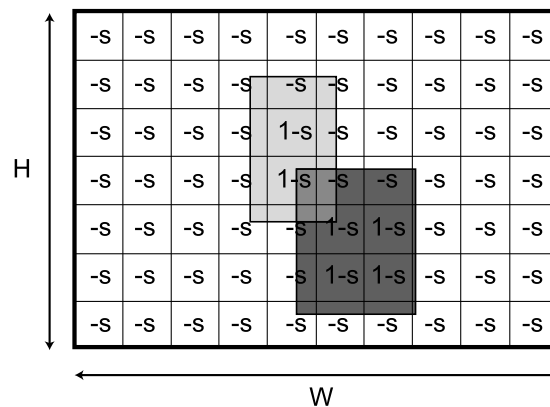


Abbildung 4.2: Unterschätzende 2D-Dichtefunktion

Bei der überschätzenden Variante der Dichtefunktion wird der Funktionswert jedes Rasterelements inkrementiert, wenn die Standardzelle die Rasterfläche vollständig oder nur teilweise bedeckt.

Für die Berechnung der abstoßenden Kräfte wird die Dichtefunktion zwingend benötigt. Je genauer sie ist, desto genauer sind die berechneten abstoßenden Kräfte. Eine feine Rasterung wäre aus Genauigkeitsüberlegungen wünschenswert, führt jedoch im 3D-Fall zu prohibitiven Rechenzeiten. Stattdessen wird hier eine Methode zur Bestimmung der Dichtefunktion eingeführt, mit der es gelingt, die Rechenzeit ohne Minderung der Ergebnisqualität zu reduzieren. Dieser Ansatz verfolgt den Gedanken des digitalen Filterentwurfs. Dort werden abrupte Übergänge möglichst vermieden, da diese im Bildbereich hochfrequente Anteile verursachen. Weil bei der Berechnung der abstoßenden Kräfte eine Fouriertransformation der Dichtefunktion in den Bildbereich notwendig ist, ist dieser Ansatz hier anwendbar. Bei der modifizierten Dichtefunktion wird der prozentuale Anteil der Standardzelle an der Rasterfläche bestimmt und an der entsprechenden Stelle der Matrix hinzuaddiert.

Die Vorgehensweise zur Bestimmung der modifizierten Dichtefunktion wird für den 2D-Fall in Abschnitt 4.1.1 erläutert. Die Erweiterung auf die dreidimensionale Dichtefunktion erfolgt durch eine iterative Anwendung der 2D-Dichtefunktion unter Beachtung einiger Besonderheiten und wird in Abschnitt 4.1.2 beschrieben.

4.1.1 Modifizierte 2D-Dichtefunktion

In Abbildung 4.3 ist ein Ausschnitt aus der Layoutfläche dargestellt. Dabei ist die Zelle i mit den Mittelpunktskoordinaten (x_i, y_i) , der Breite w_i und der Höhe h_i dargestellt. Die Rasterflächen weisen eine Breite von g_x in x -Richtung und eine Höhe von g_y in y -Richtung auf. Die dargestellten Rasterflächen sind von der Standardzelle vollständig oder nur teilweise bedeckt. Im ersten Schritt werden alle Rasterflächen mit einer 1 gefüllt, die vollständig von der Standardzelle bedeckt werden (Abbildung 4.4).

Der äußerste rechte und linke Rand (x_r und x_l) der Standardzelle werden zu

$$x_r = x_i + \frac{w_i}{2}, \quad (4.13)$$

$$x_l = x_i - \frac{w_i}{2} \quad (4.14)$$

bestimmt. Mit diesen Daten kann die anteilige Bedeckung der Rasterflächen d_r und d_l an den Rändern der Standardzelle mit

$$d_r = \left\lfloor \frac{x_r}{g_x} \right\rfloor - \frac{x_r}{g_x}, \quad (4.15)$$

$$d_l = 1 - \left\lfloor \frac{x_l}{g_x} \right\rfloor - \frac{x_l}{g_x} \quad (4.16)$$

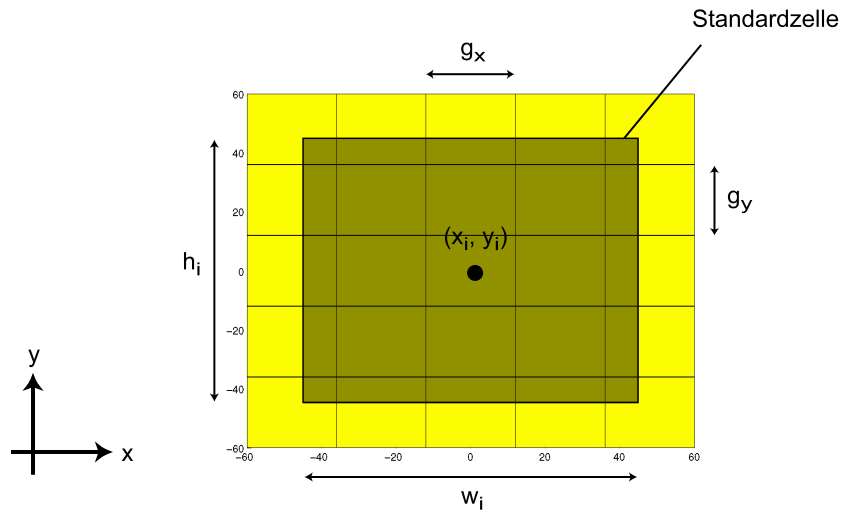


Abbildung 4.3: Bestimmung der modifizierten 2D-Dichtefunktion (Anordnung)

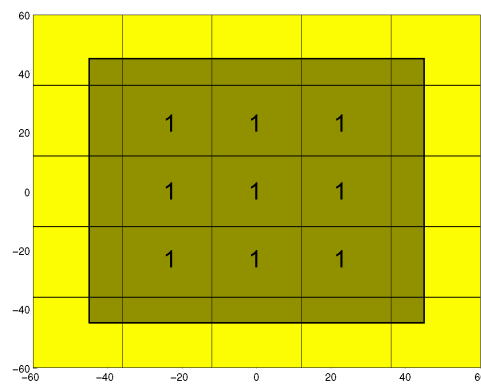


Abbildung 4.4: Schritt 1 bei der Bestimmung der modifizierten 2D-Dichtefunktion

berechnet werden. Die Vorschrift $[x]$ bedeutet, dass die Nachkommastellen der Zahl x entfernt werden.

Für die y -Richtung werden die gleichen Berechnungen durchgeführt. Die Ränder in y -Richtung berechnen sich zu

$$y_o = y_i + \frac{h_i}{2} \quad \text{und} \quad y_u = y_i - \frac{h_i}{2}, \quad (4.17)$$

während sich die Bedeckungsanteile zu

$$d_o = \left\lfloor \left\lfloor \frac{y_o}{g_y} \right\rfloor - \frac{y_o}{g_y} \right\rfloor \quad \text{und} \quad d_u = 1 - \left\lfloor \left\lfloor \frac{y_u}{g_y} \right\rfloor - \frac{y_u}{g_y} \right\rfloor \quad (4.18)$$

ergeben.

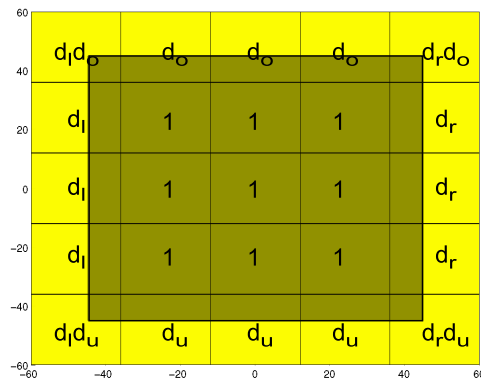


Abbildung 4.5: Modifizierte 2D-Dichtefunktion für einen Ausschnitt der Layoutfläche

Im letzten Schritt werden die Beiträge der Ecken berechnet. Diese setzen sich aus der Multiplikation der Einzelbeiträge zusammen. Alle Beiträge der Standardzelle zur Dichtefunktion sind in Abbildung 4.5 dargestellt.

Die 2D-Dichtefunktion wird in einer Matrix gespeichert. Jedes Matrixelement repräsentiert eine Rasterfläche, so dass der in Abbildung 4.5 dargestellte Ausschnitt der Layoutfläche als eine 5×5 -Teilmatrix

$$d_{ti} = \begin{pmatrix} d_l \cdot d_o & d_o & d_o & d_o & d_r \cdot d_o \\ d_l & 1 & 1 & 1 & d_r \\ d_l & 1 & 1 & 1 & d_r \\ d_l & 1 & 1 & 1 & d_r \\ d_l \cdot d_u & d_u & d_u & d_u & d_r \cdot d_u \end{pmatrix} \quad (4.19)$$

angegeben werden kann.

Diese Matrix repräsentiert die Bedeckungsanteile durch die Standardzelle i , alle anderen Elemente der Dichtematrix D_i sind Null. Dabei ist D_i die vollständige Dichtematrix der Standardzelle i , die genauso viele Einträge wie Rasterelemente hat. Die Gesamtdichtematrix D wird durch die Summation aller Dichtematrizen der einzelnen Zellen bestimmt. In einem abschließenden Schritt wird die Utilization s von jedem Rasterelement abgezogen. Die Vorgehensweise ist in Abbildung 4.6 zusammengefasst.

```

Über alle Zellen
  Bestimme Dichtematrix der Zelle;
  Dichtematrix_Gesamt := Dichtematrix_Gesamt
                        + Dichtematrix der Zelle;
Ende
Dichtematrix_Gesamt := Dichtematrix_Gesamt - Utilization;

```

Abbildung 4.6: Berechnung der 2D-Dichtematrix

4.1.2 3D-Dichtefunktion

Bei der Bestimmung der 3D-Dichtefunktion muss man beachten, dass keine Rasterflächen, sondern Rastervolumen vorhanden sind. In Abbildung 4.7 ist links ein Ausschnitt aus dem Layoutvolumen mit der entsprechenden Rasterung visualisiert, wobei der dunkle Teil eine beliebige Standardzelle i repräsentiert. Auf der rechten Seite der Abbildung ist eine Aufsicht auf die Anordnung dargestellt, die der bisher betrachteten 2D-Anordnung entspricht.

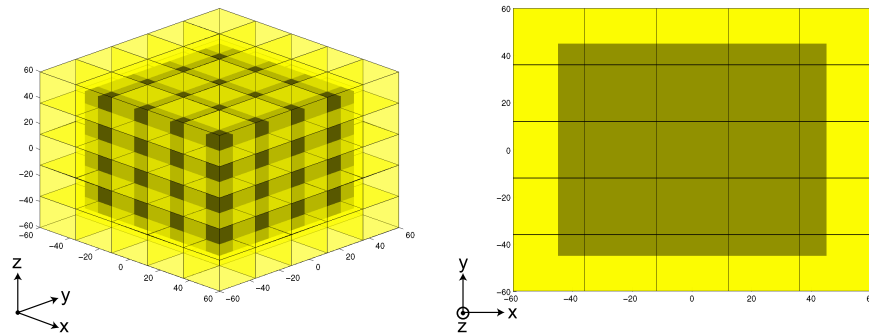


Abbildung 4.7: Anordnung für die 3D-Dichtefunktion

Generell ist bei der Bestimmung der 3D-Dichtefunktion ein ebenenweises Vorgehen möglich, d.h. für konstante z -Koordinaten werden in der (x, y) -Ebene jeweils die 2D-Dichtefunktionen bestimmt.

Die Ränder der 3D-Standardzelle entsprechen in x - und y -Richtung dem 2D-Fall. Nur die dritte Dimension muss mit

$$z_o = z_i + \frac{d_i}{2} \quad \text{und} \quad z_u = z_i - \frac{d_i}{2} \quad (4.20)$$

berücksichtigt werden, wobei d_i die Tiefe (z -Richtung) der Standardzelle darstellt.

Die Standardzellrandbereiche füllen die entsprechenden Rastervolumen nicht vollständig aus. Ihre Beiträge zur Dichtefunktion berechnen sich nach Koordinatenrichtungen separiert zu

$$d_{xr} = \left| \left\lfloor \frac{x_r}{g_x} \right\rfloor - \frac{x_r}{g_x} \right|, \quad d_{xl} = 1 - \left| \left\lfloor \frac{x_l}{g_x} \right\rfloor - \frac{x_l}{g_x} \right|, \quad (4.21)$$

$$d_{yo} = \left| \left\lfloor \frac{y_o}{g_y} \right\rfloor - \frac{y_o}{g_y} \right|, \quad d_{yu} = 1 - \left| \left\lfloor \frac{y_u}{g_y} \right\rfloor - \frac{y_u}{g_y} \right|, \quad (4.22)$$

$$d_{zo} = \left| \left\lfloor \frac{z_o}{g_z} \right\rfloor - \frac{z_o}{g_z} \right| \quad \text{und} \quad d_{zu} = 1 - \left| \left\lfloor \frac{z_u}{g_z} \right\rfloor - \frac{z_u}{g_z} \right|. \quad (4.23)$$

Der erste Index gibt die Koordinatenrichtung, der zweite Index den Ort auf der Koordinatenachse an.

Die ebenenweise Vorgehensweise bedingt eine Fallunterscheidung. Solange die Standardzelle die Ausdehnung des Rastervolumens in z -Richtung vollständig ausfüllt, ist die Vorgehensweise identisch mit der im zweidimensionalen Fall (Fall 1). Dieses ist in der vorgestellten Anordnung für die in Abbildung 4.8 markierten drei Ebenen der Fall.

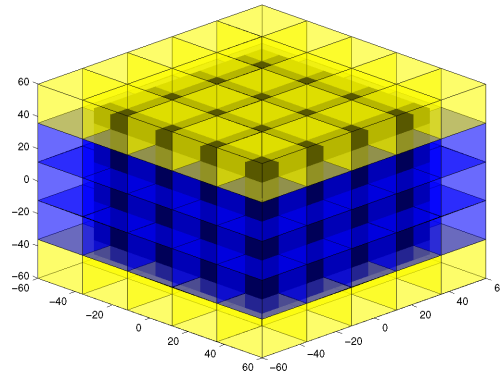


Abbildung 4.8: Bestimmung der 3D-Dichtefunktion (Fall 1)

Die Beiträge zur Dichtefunktion in den drei markierten Ebenen sind identisch.

Die Matrixdarstellung dieses Ausschnittes

$$d_{ti, \text{Fall 1}} = 1 \cdot \begin{pmatrix} d_{xl} \cdot d_{yo} & d_{yo} & d_{yo} & d_{yo} & d_{xr} \cdot d_{yo} \\ d_{xl} & 1 & 1 & 1 & d_{xr} \\ d_{xl} & 1 & 1 & 1 & d_{xr} \\ d_{xl} & 1 & 1 & 1 & d_{xr} \\ d_{xl} \cdot d_{yu} & d_{yu} & d_{yu} & d_{yu} & d_{xr} \cdot d_{yu} \end{pmatrix} \quad (4.24)$$

beinhaltet 5×5 Elemente. Alle anderen Matrixelemente in dieser Ebene sind mit Nullen versehen, da die Standardzelle i die dazugehörigen Rasterflächen nicht bedeckt. Der Vorfaktor 1 signalisiert, dass das Rastervolumen in z -Richtung vollständig bedeckt wird.

In der obersten und untersten, mit der Standardzelle teilweise ausgefüllten Ebene ist der Vorfaktor nicht mehr 1, da das Rastervolumen in z -Richtung nicht mehr vollständig bedeckt wird. In Abbildung 4.9 sind die beiden Fälle (Fall 2 und Fall 3) dargestellt.

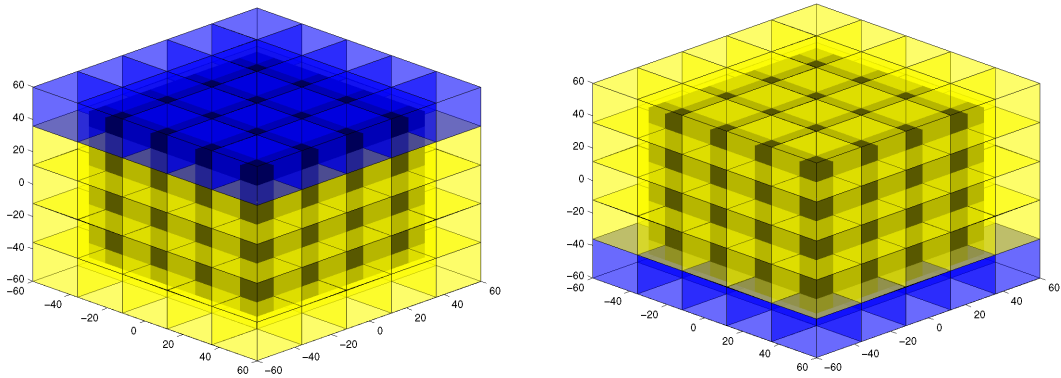


Abbildung 4.9: Bestimmung der 3D-Dichtefunktion (Fälle 2 und 3)

Für diese Fälle müssen die Beiträge d_{zo} bzw. d_{zu} als Vorfaktoren berücksichtigt werden. Diese skalieren den Beitrag der betrachteten Standardzelle mit den entsprechenden Werten.

Die 3D-Gesamtdichtematrix wird durch die Überlagerung der Beiträge aller Standardzellen und durch die Differenz mit der Utilization ermittelt.

4.2 Bestimmung der abstoßenden Kräfte

Die Vorgehensweise bei der kräftegesteuerten Platzierung für die Bestimmung der abstoßenden Kräfte erfolgt analog zur Kräfteberechnung in der Elektrostatik.

Dort gilt für die Kraft \vec{F}_{12} zwischen zwei beliebigen Ladungen Q_1 und Q_2 das Coulombsche Gesetz:

$$\vec{F}_{12} = \frac{Q_1 Q_2}{4\pi\epsilon_0} \cdot \frac{\vec{r}_2 - \vec{r}_1}{|\vec{r}_2 - \vec{r}_1|^3}. \quad (4.25)$$

Die Vektoren \vec{r}_1 bzw. \vec{r}_2 stellen die Ortsvektoren der beiden Ladungen Q_1 und Q_2 dar, ϵ_0 ist die Dielektrizitätskonstante. Die Kraft \vec{F}_{12} wirkt in Richtung der direkten Verbindungslinie der beiden Ladungen.

Aus dieser Kraftbeobachtung lässt sich das durch die Punktladung Q_1 erzeugte elektrische Feld \vec{E} an einem beliebigen Ort \vec{r} durch

$$\vec{E}(\vec{r}) = \frac{Q_1}{4\pi\epsilon_0} \cdot \frac{\vec{r} - \vec{r}_1}{|\vec{r} - \vec{r}_1|^3} \quad (4.26)$$

beschreiben.

Existieren N Punktladungen an den Orten \vec{r}_1 bis \vec{r}_N , addieren sich die Beiträge der einzelnen Punktladungen zum elektrischen Gesamtfeld

$$\vec{E}(\vec{r}) = \sum_{i=1}^N \frac{Q_i}{4\pi\epsilon_0} \cdot \frac{\vec{r} - \vec{r}_i}{|\vec{r} - \vec{r}_i|^3}. \quad (4.27)$$

Es gilt das Superpositionsprinzip.

Im Allgemeinen liegen die Ladungen nicht in diskreter Form vor, d.h. es sind kontinuierliche Ladungsverteilungen zu betrachten. Aus der Summation der einzelnen diskreten Punktladungen wird eine kontinuierliche Integration über die Raumladungsdichte $\rho(\vec{r})$. Diese muss hierfür als Funktion des Ortes, repräsentiert durch den Ortsvektor \vec{r} , gegeben sein. Dann kann das elektrische Feld nach

$$\vec{E}(\vec{r}) = \frac{1}{4\pi\epsilon_0} \iiint_V \rho(\vec{r}') \cdot \frac{\vec{r} - \vec{r}'}{|\vec{r} - \vec{r}'|^3} dV' \quad (4.28)$$

berechnet werden [75]. Die Lösung des Volumenintegrals liefert das elektrische Feld an einem beliebigen Ort \vec{r} .

Vergleicht man Gleichung (4.5) mit Gleichung (4.28), so wird deutlich, dass die Dichtefunktion der Ladungsverteilung und das elektrische Feld dem Vektorfeld der abstoßenden Kraft entsprechen.

Für die Berechnung der abstoßenden Kräfte ist eine kontinuierliche, analytische Integration nicht möglich, da die Dichtefunktion nicht in geschlossener Form angegeben werden kann. Daher wird das Layoutvolumen mit insgesamt $l \times l \times l$ Rastervolumenelementen diskretisiert. Aus der Dreifachintegration geht die Dreifachsumme

$$\vec{f}_{i,k}(x_i, y_i, z_i) = \frac{c_2}{4\pi} \sum_{l'_1=0}^l \sum_{l'_2=0}^l \sum_{l'_3=0}^l D(x', y', z') \frac{\vec{r} - \vec{r}'}{|\vec{r} - \vec{r}'|^3} \quad (4.29)$$

hervor, wobei \vec{r} den Ortsvektor der Zelle i angibt, und \vec{r}' auf den Mittelpunkt des betrachteten Rastervolumenelementes zeigt. Die Berechnung der abstoßenden Kräfte nach Gleichung (4.29) erfolgt mit der Rechenzeitkomplexität $\mathcal{O}(l^6)$, während die Berechnung der abstoßenden Kräfte im 2D-Fall aufgrund der Doppelsumme die Rechenzeitkomplexität $\mathcal{O}(l^4)$ aufweist.

Da die Gleichung (4.5) eine Faltung darstellt, können die abstoßenden Kräfte mit Hilfe der Fouriertransformation wesentlich effizienter bestimmt werden. Eine Faltung im Ursprungsbereich kann durch die Multiplikation der Fouriertransformierten der beiden Funktionen im Bildbereich mit anschließender Rücktransformation des Ergebnisses durchgeführt werden. Die Bestimmung der Lösung ist bei Verwendung einer Fast Fourier Transformation (FFT) in $\mathcal{O}(l \log_2 l)$ möglich [11]. Die Lösung der Gleichung im Bildbereich durch die Anwendung einer FFT bedingt einige Veränderungen bei der Bestimmung der Faltungsfunktionen, auf die später eingegangen wird.

$$\begin{array}{ccccc}
 D(x, y, z) & *** & G_x(x, y, z) & = & f_x(x, y, z) \\
 \downarrow \text{FFT} & & \downarrow \text{FFT} & & \uparrow \text{IFFT} \\
 \mathcal{F}\{D(x, y, z)\} & \cdot & \mathcal{F}\{G_x(x, y, z)\} & = & \mathcal{F}\{f_x(x, y, z)\}
 \end{array}$$

Abbildung 4.10: Berechnung des Vektorfeldes der abstoßenden Kraft

In Abbildung 4.10 ist die Vorgehensweise für die Bestimmung der abstoßenden Kräfte in x -Richtung dargestellt. Im Ursprungsbereich ist eine dreidimensionale Faltung - dargestellt mit dem mathematischen Operator $***$ - der Funktionen $D(x, y, z)$ und der Greenschen Funktion in x -Richtung $G_x(x, y, z)$ durchzuführen. Beide an der Faltung beteiligten Funktionen werden in den Bildbereich transformiert. Die Transformaten werden miteinander multipliziert, anschließend wird das Ergebnis in den Ursprungsbereich zurücktransformiert. Die Rücktransformation liefert die gesuchte Funktion. Die Greensche Funktion $G_x(x, y, z)$ ist durch die Gleichung

$$G_x(x, y, z) = \frac{x}{\left(\sqrt{x^2 + y^2 + z^2}\right)^3} \quad (4.30)$$

gegeben. Die Greenschen Funktionen in y - bzw. z -Richtung gelten entsprechend.

Da sich die Greenschen Funktionen während des gesamten Programmlaufs nicht ändern, werden sie im ersten Durchlauf berechnet und stehen in folgenden Iterationsschritten zur Verfügung. Im Gegensatz dazu muss die Dichtefunktion in jedem Iterationsschritt neu bestimmt und erneut in den Bildbereich transformiert werden.

Wird die Vorgehensweise nach Abbildung 4.10 angewandt, so erhält man nach der Rücktransformation das gesamte Feld der abstoßenden Kraft in x -Richtung $f_x(x, y, z)$ für jedes beliebige Rasterelement des Layoutvolumens. Die Berechnung der abstoßenden Kraftfelder in y - und z -Richtung erfolgt analog zu dieser Vorgehensweise.

Für die Bestimmung der abstoßenden Kraft $\vec{f}_{i,k}$ auf eine beliebige Zelle i werden die vollständigen Vektorfelder der abstoßenden Kräfte benötigt. Hier wird die Bestimmung der x -Komponente der abstoßenden Kraft auf eine beliebige Zelle i vorgestellt.

Entsprechend der Vorgehensweise bei der Ermittlung der Dichtefunktion werden zunächst die Einträge der von der Zelle i teilweise oder vollständig ausgefüllten Rastervolumen ermittelt. Für eine beliebige der vollständig ausgefüllten Ebenen wird der durch die Zelle i verursachte Bedeckungsanteil mit der Matrix $d_{ti, Fall\ 1}$, die in Gleichung (4.24) angegeben ist, beschrieben. Für die ebenenweise Bestimmung der Teilkräfte wird das Kraftfeld in x -Richtung $f_{tx, Fall\ 1}(x, y, z)$

$$f_{tx, Fall\ 1}(x, y, z = \text{const.}) = \begin{pmatrix} f_{x40} & f_{x41} & f_{x42} & f_{x43} & f_{x44} \\ f_{x30} & f_{x31} & f_{x32} & f_{x33} & f_{x34} \\ f_{x20} & f_{x21} & f_{x22} & f_{x23} & f_{x24} \\ f_{x10} & f_{x11} & f_{x12} & f_{x13} & f_{x14} \\ f_{x00} & f_{x01} & f_{x02} & f_{x03} & f_{x04} \end{pmatrix} \quad (4.31)$$

für denselben Ausschnitt der entsprechenden Ebene benötigt.

Der Beitrag dieser Ebene zur gesamten abstoßenden Kraft in x -Richtung, die auf die betrachtete Zelle i wirkt, wird durch die elementweise durchgeführte Multiplikation der Teilmatrizen $d_{ti, Fall\ 1}$ und $f_{tx, Fall\ 1}$ und eine anschließende Summation ermittelt. Die Multiplikation der vollständigen Matrizen ist überflüssig, da die vollständige Dichtematrix D_i der betrachteten Zelle außer den Einträgen in $d_{ti, Fall\ 1}$ nur Nullen enthält. Die notwendige elementweise Multiplikation und Summation muss für jede Ebene, die durch die Standardzelle i belegt wird, durchgeführt werden. Die gesamte abstoßende Kraft auf die Zelle i wird aus der Summe der Teilsummen bestimmt. Abbildung 4.11 fasst die Vorgehensweise für die Bestimmung der abstoßenden Kraft in x -Richtung zusammen. Die elementweise Multiplikation der Bedeckungsmatrix mit den Kraftfeldern in y - und z -Richtung liefert die Teilsummen in die entsprechenden Richtungen. Im letzten Schritt werden die einzelnen Kraftkomponenten zu einem Vektor zusammengefasst.

4.2.1 Auswirkungen der Fast Fourier Transformation

Die Fast Fourier Transformation (FFT) ist ein sehr häufig eingesetztes Hilfsmittel in der Elektrotechnik, beispielsweise bei der Berechnung von Ausgangssignalen bestimmter Systeme. Ein System mit der Impulsantwort $h(t)$, dem Eingangssignal $e(t)$ und dem Ausgangssignal $a(t)$ ist in Abbildung 4.12 dargestellt. Die

```

Über alle Zellen
  Bestimme Ausdehnungen der Zelle;
  Für jede belegte Ebene # z-Richtung = const.
    Berechne Bedeckungsmatrix der Zelle;
    Führe elementweise Multiplikation mit
      Kraftfeld_x durch;
    Teilsumme_x := Teilsumme_x + Ergebnisse
      der elementweisen Multiplikation;
  Ende
  Kraft_x auf Zelle := Teilsumme_x;
Ende

```

Abbildung 4.11: Berechnung der abstoßenden Kraft in x -Richtung

Impulsantwort $h(t)$ stellt das Ausgangssignal des Systems dar, wenn am Eingang ein Deltaimpuls $e(t) = \delta(t)$ eingespeist wird. Mit dieser Impulsantwort ist das System eindeutig spezifiziert.

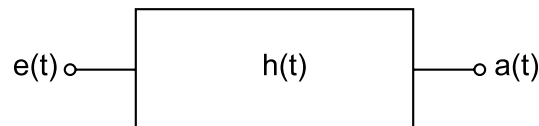


Abbildung 4.12: Durch seine Impulsantwort beschriebenes System

Mit der Impulsantwort ist es möglich, das Ausgangssignal zu jedem beliebigen Eingangssignal zu berechnen. Das Ausgangssignal

$$a(t) = e(t) * h(t) = \int_{-\infty}^{\infty} e(s) \cdot h(t-s) ds \quad (4.32)$$

berechnet sich aus der Faltung des Eingangssignals mit der Impulsantwort [130].

Da die Faltung zweier Funktionen im Zeitbereich schwierig zu berechnen ist, wird die Gleichung im Frequenzbereich gelöst. Dazu werden die Signale mittels der Fouriertransformation in den Frequenzbereich überführt und dort miteinander multipliziert. Abschließend wird das Ergebnis in den Zeitbereich zurücktransformiert.

Da bei der Platzierung die Layoutflächen nicht unendlich ausgedehnt sind, werden hier nur zeitbegrenzte Signale betrachtet.

Die FFT bzw. die inverse FFT (IFFT) können nur dann angewandt werden, wenn die betrachteten Signale in zeitdiskreter Form vorliegen. Hierfür müssen die zeitkontinuierlichen Signale abgetastet werden. Die Abtastung entspricht einer Multiplikation des Signals mit einer Deltaimpulsfolge.

In Tabelle 4.1 sind die Auswirkungen der FFT bzw. der IFFT zusammengestellt. Sowohl das Spektrum als auch die zurücktransformierte Funktion sind periodisch fortgesetzt. Mehrdimensionale Fouriertransformationen können auf die mehrfache Anwendung der eindimensionalen Fouriertransformation zurückgeführt werden. Für die mehrdimensionale FFT gibt es ebenfalls effektive Berechnungsmethoden [11].

Auswirkungen der FFT	
Ursache	Wirkung
Abtastung der Zeitfunktion $e(t)$ $e_\delta(t) = e(t) \cdot \Delta_0(t)$	$E(\omega) = \mathcal{F}(e(t))$ $E_\delta(\omega) = E(\omega) * \Delta_0(\omega)$ → Periodische Fortsetzung des Spektrums
Abtastung des Spektrums für Rücktransformation $G_\delta(\omega) = E_\delta(\omega) \cdot \Delta_1(\omega)$	$g(t) = e_\delta(t) * \Delta_1(t)$ → Periodische Fortsetzung des Zeitsignals

Tabelle 4.1: Auswirkungen der FFT

4.2.2 Kontinuierliche und diskrete Faltung im Vergleich

Bei der kontinuierlichen Faltung der Rechteckfunktion $r(x)$ mit sich selbst ergibt sich eine Dreieckfunktion der doppelten Breite (siehe Abbildung 4.13). Das Ergebnis der kontinuierlichen Faltung stellt bei einem Vergleich mit der diskreten Faltung die Referenz dar.

Die Definitionsgleichung der diskreten Faltung lautet:

$$y(n) = \sum_{i=0}^{N-1} x(i) \cdot h[(n-i)_N]. \quad (4.33)$$

Diese Form der Faltung wird als zirkuläre Faltung bezeichnet, wenn die an der Faltung beteiligten Funktionen periodisch fortgesetzte Funktionen sind.

Die Faltung zweier diskreter, periodischer Rechteckfunktionen $x(n)$ mit der Faltungslänge $N = 8$ soll im Folgenden untersucht werden. Die Rechteckfunktion

$$x(n) = \begin{cases} 1 & : 2 \leq n \leq 5 \\ 0 & : \text{sonst} \end{cases} \quad (4.34)$$

wiederholt sich periodisch, d.h. $x(n) = x(n+N)$. Der Verlauf der Rechteckfunktion ist für eine Periode in Abbildung 4.14 dargestellt.

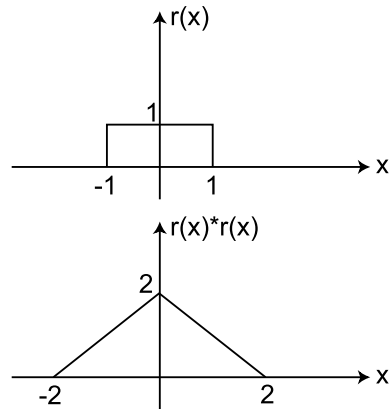


Abbildung 4.13: Kontinuierliche Faltung von Rechteckfunktionen

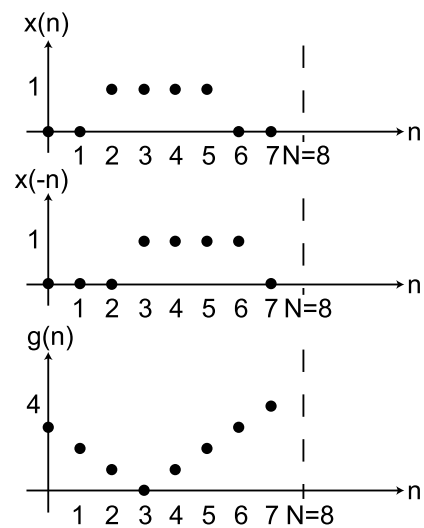


Abbildung 4.14: Diskrete Faltung von Rechteckfunktionen

Wird die Faltung durchgeführt, so erhält man die Ergebnisfunktion $g(n)$, die in Abbildung 4.14 unten dargestellt ist. Aliasing-Effekte sind bei den betrachteten periodischen, diskreten Funktionen vermieden worden, da die zirkulare Faltung mit einer Faltungslänge von $N = 8$ durchgeführt wurde. Wird die Faltungslänge kleiner gewählt, entstehen Aliasing-Effekte [11, 90]. Unter Aliasing-Effekten versteht man die Verfälschung des Ergebnisses durch Überlappungen von Ergebnissen verschiedener Perioden.

Aufgrund der periodischen Fortsetzung ist das Ergebnis der diskreten Faltung um die halbe Faltungslänge verschoben. Dieses Problem wird gelöst, wenn entweder das Ergebnis um die halbe Faltungslänge zurückverschoben oder eine der beiden an der Faltung beteiligten Funktionen von vornherein um die halbe Faltungslänge verschoben wird. In Abbildung 4.15 ist die Funktion $y(n)$ durch eine Verschiebung der Funktion $x(n)$ hervorgegangen. Die Faltung der beiden Funktionen $x(n)$ und $y(n)$ ergibt die Funktion $g(n)$, die dem Ergebnis der kontinuierlichen Faltung entspricht.

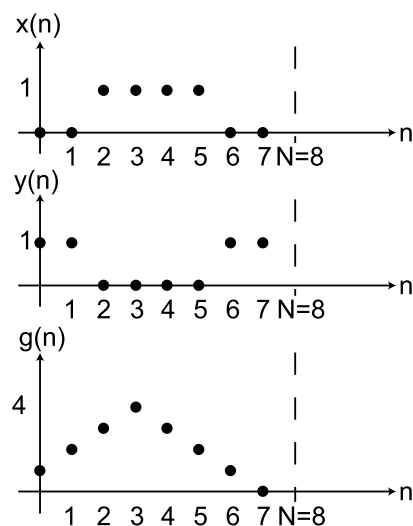


Abbildung 4.15: Diskrete Faltung mit verschobener Funktion

Die Auswirkungen der eindimensionalen, diskreten, zirkularen Faltung sind zum einen die Notwendigkeit der Verschiebung einer der beiden Funktionen und zum anderen die Anpassung der Faltungslänge.

Für die zweidimensionale Faltung wird die Verschiebung in den Abbildungen 4.16 und 4.17 veranschaulicht. In Abbildung 4.16 ist schematisch der Konturplot der unverschobenen Funktion, die auf der Fläche mit den Ausdehnungen W und H definiert ist, dargestellt. Wird den Vorgaben entsprechend die betrachtete Fläche in beide Richtungen vergrößert und die Verschiebung durchgeführt, so erhält man die Anordnung nach Abbildung 4.17 mit den lateralen Ausdehnungen

$2W$ und $2H$. Beim 3D-Fall sind die Größenanpassungen und Verschiebungen in allen drei Dimensionen durchzuführen.

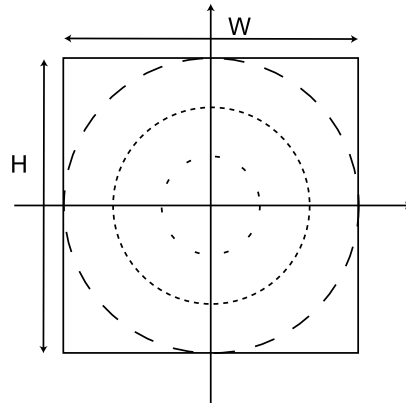


Abbildung 4.16: Schematische Darstellung der Verschiebung: Ursprüngliche Anordnung

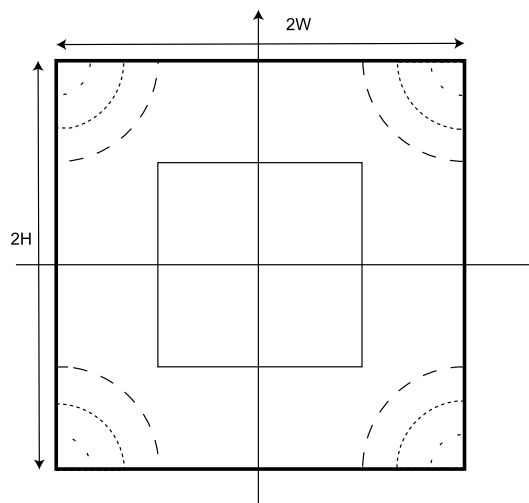


Abbildung 4.17: Schematische Darstellung der Verschiebung: Modifizierte Anordnung

4.3 Betrachtung der vertikalen Durchkontaktierungen

Vertikale Durchkontaktierungen sind bei der 3D-Platzierung erforderlich, um die Chipebenen elektrisch miteinander zu verbinden. Bei der ICV-Technologie, die

hier für technologische Randbedingungen herangezogen wird und in Abschnitt 3.1 näher erläutert wurde, werden vollständig prozessierte Wafer bzw. Chips auf den Bottom-Wafer aufgebracht. Dabei wird die Justierung optisch vorgenommen. Dieses ist jedoch nur mit endlicher Genauigkeit möglich, so dass für die ICVs eine erheblich größere Layoutfläche reserviert werden muss. ICV-Dichten von rund 100000 ICVs je cm^2 aus dem Jahre 1995 [62] sind bei Annahme einer geringfügigen Verbesserung der Fertigungstechnik in den letzten Jahren nicht mehr aktuell. Es wird hier angenommen, dass inzwischen 1 Million ICVs je cm^2 möglich sind. Unter Berücksichtigung der notwendigen Sicherheitsabstände wird für ein ICV eine Fläche von $10 \mu\text{m} \cdot 10 \mu\text{m}$ vorgesehen. Eine $0.25 \mu\text{m}$ -Standardzellbibliothek (ATMEL CBIC ATC 25, 4 Metalllagen-Prozess) weist eine durchschnittliche Größe der Standardzellen von $12 \mu\text{m} \cdot 8 \mu\text{m}$ auf. Diese Kenndaten sind vergleichbar mit den geometrischen Kenndaten der ICVs. Im Rahmen dieser Arbeit wird die Fläche der ICVs deshalb auf die durchschnittliche Größe einer Standardzelle festgelegt. Aufgrund der Technologie müssen die ICVs in vertikaler Richtung dieselbe Ausdehnung wie die Standardzellen haben, sie weisen also die Dicke der Layer als Ausdehnung in z -Richtung auf. Damit wird ausgeschlossen, dass an ICV-Positionen aktive Elemente platziert werden, die sonst bei der Realisierung der ICVs an derselben Position zerstört würden.

Die Standardzelltechnologien werden weiter entwickelt, so dass die durchschnittliche Größe der Standardzellen weiter sinken wird. Die gleiche Entwicklung ist bei den vertikalen Durchkontaktierungen zu erwarten. Daher ist anzunehmen, dass auch in Zukunft Standardzellen und vertikale Durchkontaktierungen nahezu gleiche Flächen aufweisen werden.

4.3.1 Einfügen und Löschen von vertikalen Durchkontaktierungen

In dem vorgestellten Platzierungsansatz können die ICVs genauso wie Standardzellen behandelt werden. Nach der Bestimmung der Initialplatzierung wird das numerische Lösungsverfahren fortgeführt. Nach einer vorher festgelegten Zahl von Iterationsschritten wird überprüft, ob ICVs notwendig sind oder nicht. Dabei werden die Standardzellen virtuell vorhandenen Layern zugeordnet. Die Zuordnung erfolgt anhand der Koordinaten des Standardzellmittelpunktes. Die Zellen werden dem Layer zugeordnet, dem die Zelle am nächsten ist. Anschließend wird für jede Verbindung im Design überprüft, ob die miteinander verbundenen Zellen auf demselben Layer liegen, oder ob sie unterschiedlichen Layern zugeordnet worden sind. Wenn sie in unterschiedlichen Layern liegen, wird ein ICV eingefügt.

Abbildung 4.18 veranschaulicht den Einfügevorgang. Die Kante l verbindet die beiden Zellen i und j . Aufgrund der unterschiedlichen Layerzuweisungen wird ein ICV zwischen diesen beiden Zellen notwendig. Es wird also eine neue Zelle in das bestehende Design eingefügt, die mit den Zellen i und j verbunden ist. Die

Koordinaten des ICVs sind die arithmetischen Mittelwerte der Koordinaten der beiden beteiligten Zellen i und j , d.h.

$$x_{ICV} = \frac{x_i + x_j}{2}, \quad y_{ICV} = \frac{y_i + y_j}{2} \quad \text{und} \quad z_{ICV} = \frac{z_i + z_j}{2}.$$

Der Einfügevorgang wird mehrfach wiederholt, wenn die Zellen i und j nicht benachbarten Layern zugewiesen worden sind. Durch das Einfügen von ICVs sind inkrementelle Anpassungen der Matrizen \underline{C} , \underline{d} , \underline{e} und \underline{p} vorzunehmen.

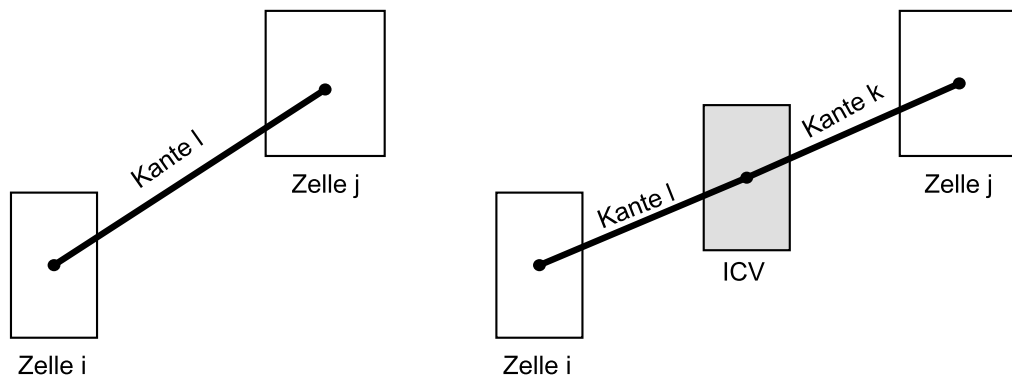


Abbildung 4.18: Vorgehensweise beim Einfügen eines ICV

Nach dem Einfügen der benötigten ICVs werden die nachfolgenden Iterationsschritte durchgeführt. Dabei werden die ICVs gemeinsam mit den Standardzellen betrachtet. Auf diese wirken sowohl anziehende Kräfte aufgrund ihrer Verbindungen zu den Standardzellen als auch abstoßende Kräfte, die durch eine ungleichmäßige Verteilung der Standardzellen verursacht werden. Nach einer vorher festgelegten Anzahl von Iterationsschritten wird überprüft, ob die vorhandenen ICVs weiterhin notwendig sind. Falls ICVs überflüssig sind, werden sie wieder aus der Netzliste entfernt und die Matrizen inkrementell angepasst.

4.3.2 Auswirkungen der vertikalen Durchkontaktierungen auf die Gesamtverdrahtungslänge

Die vertikalen Durchkontaktierungen (ICV) weisen Widerstände von rund 2Ω auf [97]. Die größeren Koppelkapazitäten der Leitungen bei 3D-ICs werden in [72] untersucht. Trotz steigender Kapazitäten ist die 3D-Integration hinsichtlich der Verzögerungszeiten vorteilhaft. Daten für ICV-Kapazitäten sind in der Literatur jedoch nicht angegeben.

Um eine realitätsnahe 3D-Verdrahtungslänge bestimmen zu können, werden nachfolgend theoretische Betrachtungen angeführt, die die Bestimmung einer oberen Schranke ermöglichen. Da der Widerstandswert der ICVs aus dem Jahre 2001

veröffentlicht ist, werden die charakteristischen Werte für Leitungen aus der ITRS des Jahres 2001 herangezogen [53]. Diese sind in der Tabelle 4.2 angegeben.

Charakteristische Werte verschiedener Leitungen			
	kurz (lokal)	mittellang	lang (global)
Pitch (nm)	350	450	670
Aspektverhältnis	1.6	1.6	2.0

Tabelle 4.2: Verdrahtungscharakteristika aus dem Jahre 2001 [53]

In der ITRS wird generell zwischen lokalen, mittellangen und globalen Leitungen unterschieden. Neben dem sogenannten Pitch - dem Mittelpunktsabstand zwischen Leitungen - ist das Aspektverhältnis - das Verhältnis der Höhe zur Breite - ausschlaggebend. Die Abkürzungen p und *Aspekt* werden für die beiden Werte verwendet. In Abbildung 4.19 sind die Querschnitte von zwei Leitungen, die im Abstand des Pitches angeordnet sind, dargestellt.

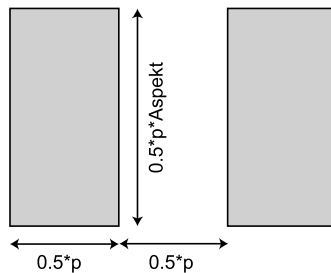


Abbildung 4.19: Leitungsquerschnitt

Der Widerstand einer langen Leitung wird nach

$$R = \rho \cdot \frac{l}{A} \quad (4.35)$$

berechnet, wobei der spezifische Widerstand des aktuell verwendeten Kupfers $\rho = 2.2 \mu\Omega \text{ cm}$ beträgt. In der Wissenschaft wird häufig der Widerstand pro Längeneinheit, der Widerstandsbelag

$$R' = \frac{R}{l} = \frac{\rho}{A} \quad (4.36)$$

angegeben. Für die verschiedenen Leitungsarten sind die Werte von R' in Tabelle 4.3 angeführt. Der Widerstandsbelag für globale Leitungen ist am kleinsten, der für lokale Leitungen am größten.

Für die Bestimmung der Gesamtverdrahtungslänge reicht der Widerstand eines ICV als Information nicht aus. Dieser Widerstand wird in eine entsprechende Länge

$$l_{eff} = \frac{R_{ICV}}{R'} \quad (4.37)$$

umgerechnet, damit eine Berücksichtigung der ICVs bei der Bestimmung der Gesamtverdrahtungslänge möglich ist.

Für die drei Leitungsarten sind die Werte in Tabelle 4.3 angeführt. Die effektive ICV-Länge reicht von rund $5 \mu\text{m}$ für lokale Leitungen bis zur oberen Schranke von ungefähr $20 \mu\text{m}$ für globale Leitungen. Diese Worst-Case-Länge wird bei der Bestimmung der Gesamtverdrahtungslänge stets als Länge der ICVs betrachtet. Damit stellen die in dieser Arbeit ermittelten 3D-Gesamtverdrahtungslängen stets obere Schranken dar.

	Widerstandsbelag $\left[\frac{\Omega}{\mu\text{m}}\right]$	Effektive ICV-Länge $[\mu\text{m}]$
kurz (lokal)	0.448	≈ 5
mittellang	0.272	≈ 7
lang (global)	0.098	≈ 20

Tabelle 4.3: Widerstandsbeläge und effektive ICV-Länge der verschiedenen Leitungsarten

4.4 Optimierungsziele bei der 3D-Platzierung

Bei der 3D-Platzierung wird wie bei der konventionellen 2D-Platzierung die Gesamtverdrahtungslänge als Bewertungskriterium für die Güte der Platzierung verwendet. Kürzere Gesamtverdrahtungslängen führen nicht nur zu kürzeren Verbindungsleitungen zwischen den Standardzellen und damit zu kürzeren Laufzeiten, sondern sie sind auch Anzeichen für die steigende Verdrahtbarkeit des Designs. Aufgrund der gesonderten Verdrahtung in vertikaler Richtung sind bei der 3D-Platzierung aber spezielle 3D-Randbedingungen zu betrachten, so dass verschiedene Optimierungsziele angestrebt werden können.

Der entwickelte 3D-Platzierer kann zwei verschiedene Optimierungsziele betrachten. Im ersten Fall wird die Reduzierung der Gesamtverdrahtungslänge als vorrangiges Ziel betrachtet, während im zweiten Fall die Minimierung der notwendigen vertikalen Durchkontaktierungen im Vordergrund steht.

Die Minimierung der Gesamtverdrahtungslänge ohne Rücksicht auf die Anzahl der notwendigen vertikalen Durchkontaktierungen wird vom 3D-Algorithmus automatisch gewährleistet, zusätzliche Maßnahmen sind daher nicht erforderlich. Die Längen der vertikalen Durchkontaktierungen gehen mit $20\ \mu\text{m}$ in die Gesamtverdrahtungslänge ein (siehe Abschnitt 4.3.2).

In diesem Fall werden die vertikalen Durchkontaktierungen kostenmäßig als günstig angesehen. Sie werden als so klein angesehen, dass sie keine erwähnenswerte Fläche beanspruchen. Es gibt daher keinerlei Beschränkungen bezüglich der Anzahl der Durchkontaktierungen. Fall 1 zeigt die erreichbaren Gesamtverdrahtungslängenreduzierungen und die Möglichkeiten der 3D-Integration.

Aktuelle Technologien sind jedoch nicht so weit entwickelt, dass die Flächen der vertikalen Durchkontaktierungen als vernachlässigbar klein angesehen werden könnten. In Abschnitt 4.3 wurde dargelegt, dass die Größe einer vertikalen Durchkontaktierung in der gewählten Technologie ungefähr in derselben Größenordnung wie die durchschnittliche Größe einer Standardzelle ist. Aus diesem Grunde ist die Annahme, ICVs würden keine Fläche beanspruchen, derzeit zu optimistisch. Bei der Herstellung integrierter Schaltungen wird Fläche mit den Kosten gleichgesetzt. Um die Kosten für 3D-Chips nicht zu stark ansteigen zu lassen, ist die Minimierung der notwendigen ICVs notwendig. Dieses Optimierungsziel wird in der Betriebsart 2 des 3D-Platzierers berücksichtigt. Es wird die Minimierung der Anzahl der vertikalen Durchkontaktierungen angestrebt. Gleichzeitig soll die Gesamtverdrahtungslänge im Vergleich zu Betriebsart 1 nicht zu stark ansteigen.

Wird die vertikale Richtung der Verbindungen zwischen den Zellen stärker gewichtet, so wird die Anzahl der ICVs während der Platzierung gleichzeitig beschränkt. Die stärkere Gewichtung ist zum einen über die Netzgewichte (Faktor w_z in Gleichung (4.2)) und zum anderen über die Dicke der Layer realisierbar. Dann werden die Standardzellen zunächst lateral und später auch vertikal verteilt. In dem hier vorgestellten 3D-Platzierer wird die zweite Möglichkeit umgesetzt, d.h. über die Layerdicke wird die Auslenkung in die vertikale Richtung gesteuert. Da eine Gleichverteilung im Layoutvolumen angestrebt wird, ist eine gewisse Anzahl von ICVs unumgänglich.

Der Vorteil bei dem hier verfolgten Ansatz ist, dass der notwendige Raum für die ICVs schon während des Platzierungsschrittes reserviert wird. Aus diesem Grunde ist während des nachfolgenden Verdrahtungsschrittes keine weitere Modifikation der Platzierung notwendig. Es wäre denkbar, die Platzierung ohne ICVs auszuführen und die ICVs in einem abschließenden Schritt einzufügen. Diese Vorgehensweise würde jedoch zu erheblich schlechteren Platzierungsergebnissen führen.

Ein weiterer, sehr wichtiger Vorteil dieses Ansatzes besteht darin, dass die abschließende Verdrahtung mit einem 2D-Standardverdrahter durchgeführt werden kann. Dieses wird erst durch die Festlegung der Positionen der vertikalen Durchkontaktierungen möglich, da damit die Verdrahtung in vertikaler Richtung abgeschlossen ist.

In der Tabelle 4.4 sind die beiden Betriebsarten mit ihren Eigenschaften zusammengefasst.

Betriebsart	Eigenschaften
1	<ul style="list-style-type: none"> • Optimierung der Gesamtverdrahtungslänge • Keine Betrachtung der ICVs • Nachweis der Möglichkeiten bei der 3D-Integration
2	<ul style="list-style-type: none"> • Gleichzeitige Betrachtung von ICVs und Standardzellen • Minimierung der notwendigen ICV-Anzahl • Steuerung der ICV-Anzahl über die Layerdicke

Tabelle 4.4: Betriebsarten des 3D-Platzierers

4.5 Legalisierung einer 3D-Globalplatzierung

Die 3D-Globalplatzierung wird mit dem vorgestellten, kräftegesteuerten 3D-Platzierer erzeugt, wobei sie Überlappungen von Standardzellen aufweisen kann. Da die 3D-Platzierung kontinuierlich erfolgt, müssen während der Legalisierung die Zellen zum einen den diskreten Layern zugewiesen und anschließend in Standardzellreihen angeordnet werden. Dabei werden eventuell vorhandene Überlappungen von Standardzellen beseitigt. Die ICV-Anordnungen und -Positionen müssen während der Legalisierung ebenfalls überprüft und ggf. korrigiert werden. ICVs gewährleisten die elektrische Verbindung zwischen zwei Standardzellen, die in benachbarten Layern liegen. Da stets die obersten Metalllagen der Layer über die ICVs verbunden werden, ist das ICV stets in dem oberen der beiden Layer anzuordnen.

Die generelle Vorgehensweise der Legalisierung ist in Abbildung 4.20 dargestellt. Den ersten Schritt der Legalisierung bildet die Diskretisierung der z -Koordinaten. Dabei werden die Zellen jeweils dem am nächsten liegenden diskreten Chip-Layer zugeordnet. In Abbildung 4.21 ist die x - z -Ebene des Layoutvolumens mit vier diskreten Chip-Layern dargestellt. Beispielhaft ist dem Layoutvolumen ein beliebiges Netz mit drei Standardzellen abgebildet, das in z -Richtung legalisiert wird.

Abschließend wird die Fläche aller Zellen in den entsprechenden Chip-Layern bestimmt und mit der zur Verfügung stehenden Fläche verglichen. Reicht die zur Verfügung stehende Fläche nicht aus, müssen Standardzellen aus dem betrachteten Chip-Layer in den nächsten Layer verschoben werden. Mit dieser Über-

```

# Diskretisierung in z-Richtung
Weise Standardzellen Layern zu;
Falls (Zellfläche des Layers > Layoutfläche)
    Schiebe Zellen in höheren Layer;
Ende
Überprüfe ICV-Anordnungen;
Für jedes Layer
    Bestimme Gesamtbreite aller Zellen;
    Bestimme durchschnittliche Zeilenbreite;
    # Diskretisierung in y-Richtung
    Weise Zellen auf Zeilen zu;
    Falls (Zeilenbreite > Durchschnitt)
        Sortiere Zellen nach ursprünglichen y-Positionen;
        Schiebe Zelle mit höchstem y-Wert eine Zeile höher;
    Ende
    Für jede Zeile
        Sortiere Zellen nach x-Koordinaten;
        Bestimme durchschnittlichen Freiraum zwischen den Zellen;
        # Festlegen der x-Koordinaten
        Ordne Zellen an;
    Ende
    # Optimierung der Anordnung
    Für jede Zeile
        Bestimme Verdrahtungslänge_vorher;
        Vertausche benachbarte Zellen virtuell;
        Falls (Verdrahtungslänge < Verdrahtungslänge_vorher)
            Führe Vertauschung durch;
        Ende
    Ende
Ende

```

Abbildung 4.20: Legalisierung einer 3D-Globalplatzierung

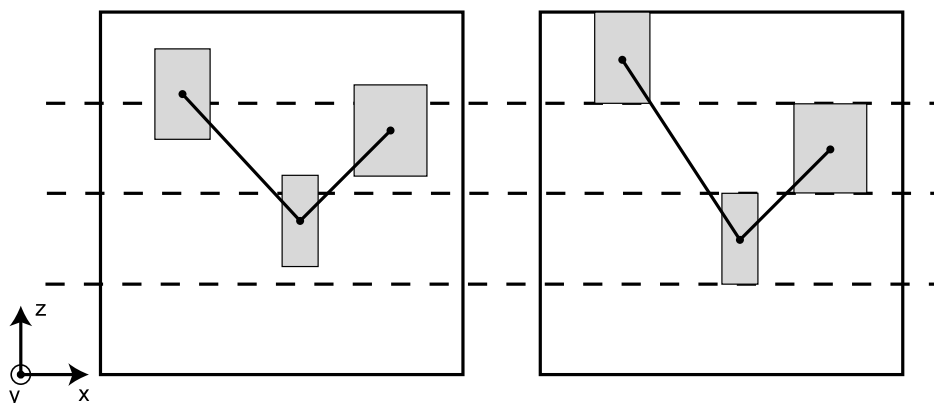


Abbildung 4.21: Legalisierung in z-Richtung

prüfung wird gewährleistet, dass die Chip-Layer unabhängig voneinander legalisierbar sind.

Die Zuweisung auf die Layer kann einerseits zusätzliche ICVs bedingen, die eingefügt werden müssen, andererseits können ICVs überflüssig werden, wenn die Zellen in demselben Layer liegen. In diesem Schritt wird außerdem die Einhaltung der technologischen Randbedingung, dass die ICVs stets in dem oberen Layer liegen müssen, überprüft. Ist diese Bedingung nicht erfüllt, so wird das ICV in den oberen Layer verschoben. Eine beispielhafte Anordnung ist in Abbildung 4.22 dargestellt. Das ICV liegt in dem unteren Layer, wird aber bei der Anpassung an die Randbedingungen in den oberen Layer verschoben. Das vorgestellte Beispiel ist die einfachste aller vorkommenden Verletzungen der Randbedingungen.

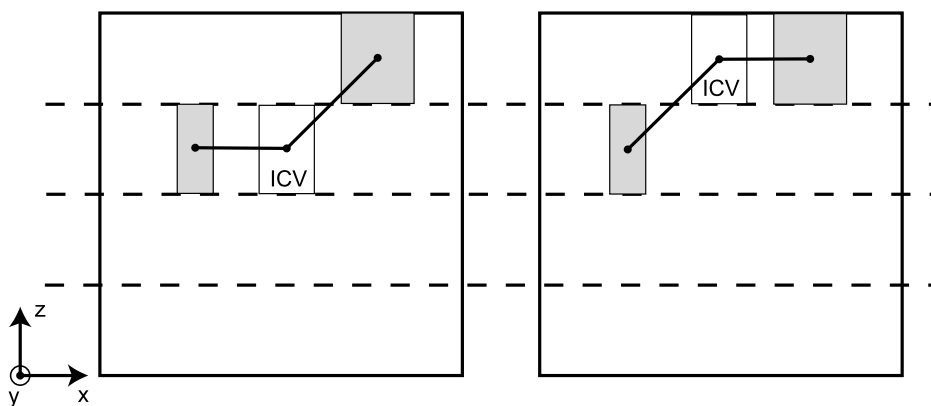


Abbildung 4.22: Legalisierung der ICV-Anordnung

Nach der Diskretisierung der z -Koordinaten werden die Layer sequenziell legalisiert. Zunächst wird die durchschnittliche Breite einer Standardzellreihe, die in Abbildung 4.20 mit Zeile bezeichnet ist, bestimmt. Dieser Wert wird benötigt, um eine möglichst gleichmäßige Verteilung der Zellen zu gewährleisten. Bei der Legalisierung der Layer wird zunächst eine Diskretisierung der y -Koordinaten vorgenommen, d.h. die Standardzellen werden Standardzellreihen zugewiesen. Nach der Zuweisung wird überprüft, ob die Standardzellreihen die durchschnittliche Breite überschreiten. Wenn dies der Fall ist, werden Zellen, die die ursprünglich größten y -Koordinaten hatten, in die nächsthöhere Zeile geschoben. Der Anpassung der Längen aller Standardzellreihen folgt die Anordnung innerhalb dieser. Die Zellen werden hierfür nach ihren x -Koordinaten sortiert und äquidistant angeordnet.

Die legalisierte Platzierung wird in einem letzten Schritt optimiert. Dabei werden die benachbarten Zellen in den Standardzellreihen vertauscht, und es wird überprüft, ob die Vertauschung eine Verbesserung der Gesamtverdrahtungslänge nach sich zieht oder nicht. Wenn eine Verkürzung der Gesamtverdrahtungslänge möglich ist, wird die Vertauschung durchgeführt, ansonsten verworfen. Dieser Optimierungsschritt wird zeilenweise über alle Layer durchgeführt.

Das Ergebnis des Legalisierungsschrittes ist eine überlappungsfreie, gleichverteilte und designvorgaben-konforme Detailplatzierung.

Kapitel 5

Implementierung und Ergebnisse

5.1 Implementierung

Der kräftegesteuerte 3D-Platzierer wurde in **Matlab** implementiert. Für Matrixberechnungen ist Matlab hervorragend geeignet, es bietet aber auch viele weitere numerische Verfahren.

Matlab lässt sich in einer Hochsprache programmieren, jedoch wird anders als bei Sprachen wie C oder C++ der Programmcode nicht kompiliert, sondern während der Laufzeit interpretiert. Dieses führt im Allgemeinen zu höheren Laufzeiten. Als größter Nachteil stellt sich das Fehlen von dynamischen Zeigerstrukturen heraus. Ein wichtiger Vorteil bei der Benutzung von Matlab ist die grafische Ausgabe. Generell ist diese jedoch langsam, so dass die Anzahl der Ausgaben je Programmdurchlauf aus Laufzeitgründen begrenzt werden muss.

Da die Implementierung prototypisch erfolgt ist, ist die Problemgröße für den 3D-Platzierer begrenzt. Schaltungen von bis zu 15000 Standardzellen können mit dem Platzierer untersucht werden. Darüber hinaus gehende Schaltungsgrößen scheitern aufgrund von Speicherbegrenzungen.

Der Platzierer kann komfortabel über eine grafische Benutzeroberfläche (Graphical User Interface, GUI) gesteuert werden. Der vollständige Programmablauf ist in Abbildung 5.1 dargestellt. Im ersten Schritt werden die für den Platzierungsvorgang notwendigen Parameter manuell festgelegt. Dies kann zum einen über die GUI oder über Einstellungen in einer Parameterdatei erfolgen. Die zu untersuchende Benchmarkschaltung wird ausgewählt. Es werden generell Benchmarkschaltungen untersucht, die im YAL-Format vorliegen. Hierfür existiert eine Einleseroutine, die das YAL-Format in die erforderliche Datenstruktur wandelt. Dem Aufbau der Datenstruktur folgt die Ermittlung der Initialplatzierung. Nach der Bestimmung der Initialplatzierung wird eine Schleife durchlaufen bis eine Abbruchbedingung erfüllt ist. Die Abbruchbedingung kann vielfältiger Art sein, beispielsweise kann die Schleife abgebrochen werden, wenn eine akzeptable Gleichverteilung auf der Layoutfläche erreicht ist, oder wenn sich nur noch marginale

Änderungen an der Platzierung von einem Iterationsschritt zum nächsten ergeben. In dem hier implementierten Ansatz wird die Platzierung nach einer vom Benutzer vorgegebenen Anzahl von Iterationen abgebrochen. Erfahrungswerte zeigen, dass 250 Iterationen für eine Konvergenz ausreichen.

```
Lege Parameter fest;
Lese Netzliste ein;
Baue Datenstruktur auf;
Bestimme Initialplatzierung;
Solange (Abbruchbedingung nicht erfüllt)
    Bestimme Dichtefunktion;
    Berechne FFT der Dichtefunktion;
    Berechne abstoßende Kräfte;
    Bestimme neue Platzierung;
    Wenn (Ausgabe nach jedem Schritt aktiviert)
        Visualisiere Platzierung;
    Ende
Ende
Legalisiere Globalplatzierung;
Visualisiere Endergebnis;
```

Abbildung 5.1: Programmablauf

Die Initialplatzierung wird in der Schleife modifiziert. Im ersten Durchlauf der Schleife wird aus der Initialplatzierung die Dichtefunktion bestimmt. Das FFT-Modul transformiert diese in den Bildbereich. Mit Hilfe der Transformierten werden die abstoßenden Kräfte auf die einzelnen Zellen bestimmt. Die neue Platzierung wird mit den aktualisierten, abstoßenden Kräften berechnet. Diese neu berechnete Platzierung bildet die Eingangsplatzierung für den nächsten Schritt der Iteration, in der die Dichtefunktion aktualisiert und die abstoßenden Kräfte erneut bestimmt werden, die dann in die Berechnung der neuen Platzierung eingehen. Optional ist es möglich, nach jedem Platzierungsschritt eine Visualisierung der Platzierung auszugeben. Ist die Abbruchbedingung für die Schleife erfüllt, wird die Legalisierung der Globalplatzierung durchgeführt. Der Programmablauf endet mit einer grafischen Ausgabe des Endergebnisses.

5.2 Benchmarkschaltungen

Für Untersuchungen werden die Benchmarkschaltungen des Microelectronics Center of North Carolina (MCNC) ausgewählt, weil für diese 3D-Platzierungsergebnisse veröffentlicht sind und zu Vergleichszwecken herangezogen werden können. Die Benchmarkschaltungen sind seit Anfang der 90er Jahre verfügbar und in [70, 78] zusammenfassend spezifiziert.

Design	Anzahl der Zellen	Anzahl der Ein- und Ausgänge	Anzahl der Netze
Primary1	833	81	1185
Struct	1952	64	1920
Primary2	3014	107	3710
Industry1	3085	814	2385
Biomed	6514	97	7052
Industry2	12637	495	13421

Tabelle 5.1: Eigenschaften der MCNC-Benchmarks

Aufgrund der prototypischen Realisierung sind große Beispiele wegen Laufzeitdefiziten und großen Speicheranforderungen nicht platzierbar. Im Rahmen dieser Arbeit werden daher nur die in Tabelle 5.1 aufgeführten Benchmarkschaltungen bis zu einer Schaltungsgröße von rund 12500 Zellen betrachtet.

5.3 Ergebnisse

Um die Vergleichbarkeit der 2D-Ergebnisse mit den 3D-Ergebnissen zu ermöglichen, wird die Fläche konstant gehalten. Die 2D-Grundfläche wird für die 3D-Fälle derart angepasst, dass die Summe aller Grundflächen der einzelnen Layer der 3D-Anordnung die 2D-Grundfläche ergibt. Dabei wird vorausgesetzt, dass alle Layer der 3D-Anordnung dieselbe Größe haben. Ferner wird in allen Untersuchungen die Grundfläche als quadratisch angenommen. Wird die Grundfläche für den 2D-Fall mit A_{2D} bezeichnet, so ergeben sich für die Breite w_{3D} und die Höhe h_{3D} bei einer n -Layer-Anordnung

$$w_{3D} = h_{3D} = \sqrt{\frac{A_{2D}}{n}} . \quad (5.1)$$

Da die Standardzellen und die ICVs am Ende diskreten Layern zugewiesen werden, haben alle Elemente dieselbe Ausdehnung in z -Richtung. Diese beträgt d , die Dicke der einzelnen Layer.

Sowohl für den 2D-Fall als auch für den 3D-Fall werden die Gesamtverdrahtungslängen stets mit der halben Länge des das Netz umschließenden Rechtecks berechnet (halbe Bounding-Box). Dabei stellt die Gesamtverdrahtungslänge der vollständig legalisierten 2D-Platzierung die Referenz für alle Vergleiche mit Ergebnissen der unterschiedlichen 3D-Fälle dar.

5.3.1 Ergebnisse ohne Berücksichtigung der ICVs

Wichtigstes Bewertungskriterium für die Platzierung ist die Gesamtverdrahtungslänge. Die Effizienz der 3D-Integration und des kräftegesteuerten 3D-Platzierers wird in diesem Abschnitt anhand der gewählten MCNC-Benchmarkschaltungen nachgewiesen. In der hier untersuchten Betriebsart 1 ist die Reduzierung der 3D-Gesamtverdrahtungslänge das Optimierungsziel. Hierfür werden die 3D-Platzierungen mit einer unterschiedlichen Anzahl von Layern ermittelt. Dabei wird die Anzahl der Layer auf maximal vier beschränkt, da aus Kostengründen Chipstapel mit mehr als vier Chiplayern nicht zu erwarten sind. Der implementierte Ansatz ist aber nicht auf vier betrachtete Layer beschränkt, sondern kann für eine beliebige Anzahl von Layern verwendet werden.

Der sequenzielle Platzierungsablauf der kräftegesteuerten 3D-Platzierung ist für die Benchmarkschaltung Primary2 mit 4 Layern in Abbildung 5.2 dargestellt. Die Pads sind bei den untersuchten Beispielen technologiebedingt in dem obersten Layer angeordnet. Der 3D-Platzierer ist jedoch für andere Technologien ebenfalls verwendbar und kann daher beliebig angeordnete Padzellen handhaben.

Bei der Initialplatzierung liegen alle Standardzellen im obersten Layer. Dieses ist nicht ungewöhnlich, da die Padzellen, mit denen die Standardzellen verbunden sind, in dem obersten Layer angeordnet sind und sich so die minimale Gesamtverdrahtungslänge ergibt. In den folgenden Schritten werden die abstoßenden Kräfte ermittelt, und die Platzierung wird neu berechnet. In weiteren Iterationen wird eine gleichmäßige Verteilung der Standardzellen im Layoutvolumen erreicht. Im letzten Schritt wird die Globalplatzierung legalisiert. Dabei werden die Standardzellen den Layern und innerhalb der Layer den Standardzellreihen zugewiesen und abschließend reihenweise überlappungsfrei angeordnet (siehe Abbildung 5.2, unten rechts).

Für alle betrachteten MCNC-Benchmarkschaltungen werden die 2D-Platzierungen ermittelt, die als Referenz für die Bewertung der 3D-Platzierungen mit zwei, drei und vier Layern dienen. Die Gesamtverdrahtungslängen der vollständig legalisierten Platzierungen stellen das Bewertungskriterium dar. Da für die Benchmarkschaltungen keine festen Layoutflächen vorgegeben sind, werden in dieser Arbeit keine absoluten Gesamtverdrahtungslängen angegeben, sondern nur Vergleiche zwischen Verdrahtungslängen. In Tabelle 5.2 sind die Gesamtverdrahtungslängenreduzierungen für die Benchmarkschaltungen bei 3D-Platzierungen mit mehreren Layern angegeben.

Die Ergebnisse zeigen eine erhebliche Reduzierung der Gesamtverdrahtungslänge. Biomed weist beispielsweise für die Anordnung mit zwei Layern eine Reduzierung von 26.8%, für drei Layer eine Reduzierung von 37.4% und für vier Layer eine Reduzierung der Gesamtverdrahtungslänge von 47.3% auf. Durchschnittlich ist bei zwei Layern eine Reduzierung der Gesamtverdrahtungslänge um 22.1%, bei drei Layern um 33.6% und bei vier Layern um 40.3% erreichbar.

In den Abbildungen 5.3 bis 5.5 sind die Ergebnisse in Balkenform visualisiert.

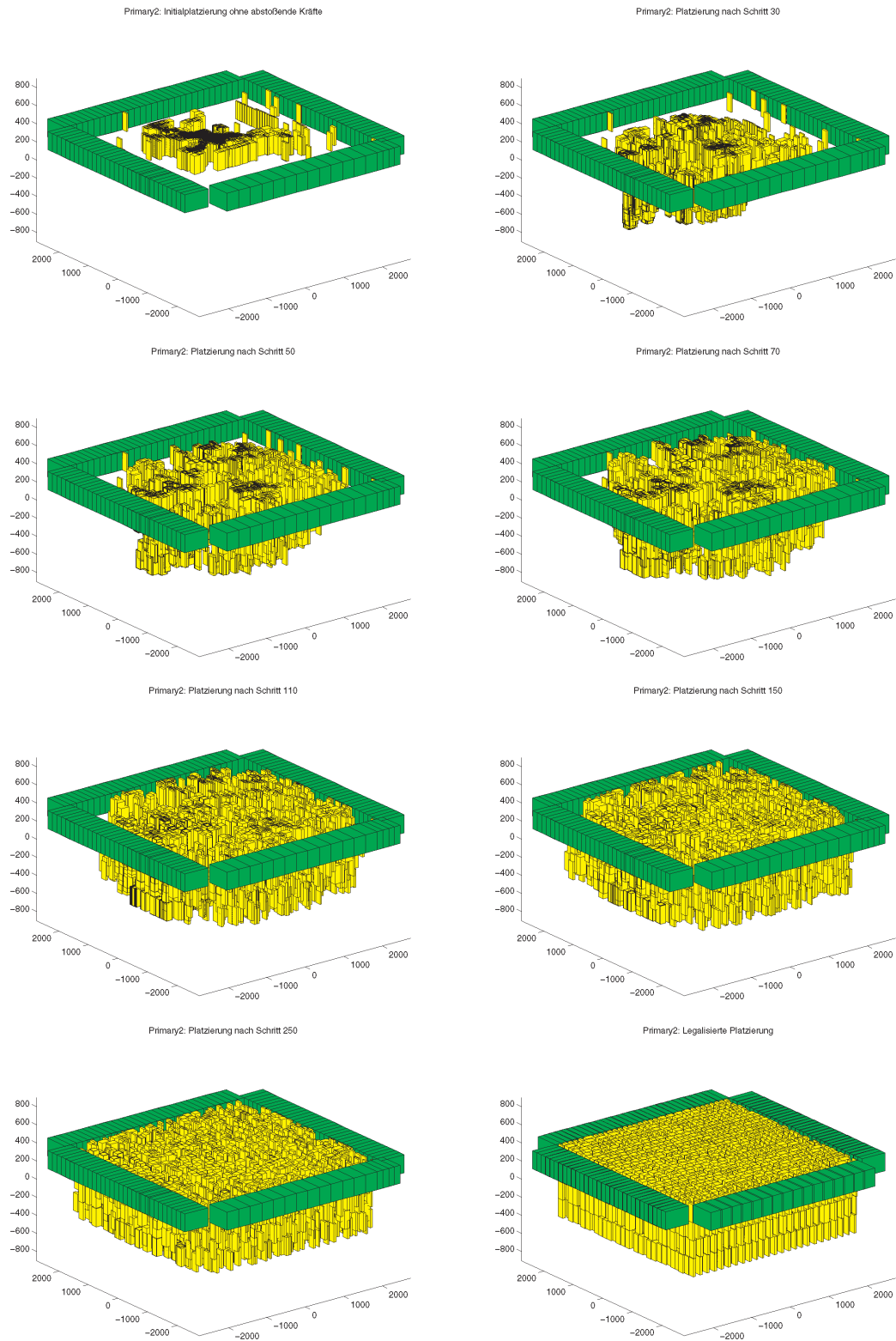


Abbildung 5.2: Platzierungsablauf am Beispiel Primary2

Design	2 Layer	3 Layer	4 Layer
Primary1	22.6%	29.7%	37.4%
Struct	21.2%	36.2%	40.5%
Primary2	18.3%	36.6%	42.1%
Industry1	24.5%	34.2%	41.9%
Biomed	26.8%	37.4%	47.3%
Industry2	19.0%	27.4%	32.5%
Durchschnitt	22.1%	33.6%	40.3%

Tabelle 5.2: Reduzierung der Gesamtverdrahtungslänge ohne Berücksichtigung von ICVs

Da das Ergebnis der 2D-Platzierung die Referenz darstellt, ist das 2D-Ergebnis auf den Wert 1 normiert. Der Trend, mit steigender Anzahl von Layern eine stärkere Reduzierung der Gesamtverdrahtungslänge zu erreichen, ist offensichtlich. Der Schritt von einer 2D-Platzierung zu einer 3D-Platzierung mit zwei Layern bringt die größte Reduzierung der Gesamtverdrahtungslänge. Jeder weitere Layer bis zu den untersuchten maximal vier Layern zieht eine weitere Reduzierung der Gesamtverdrahtungslänge um durchschnittlich 10% nach sich.

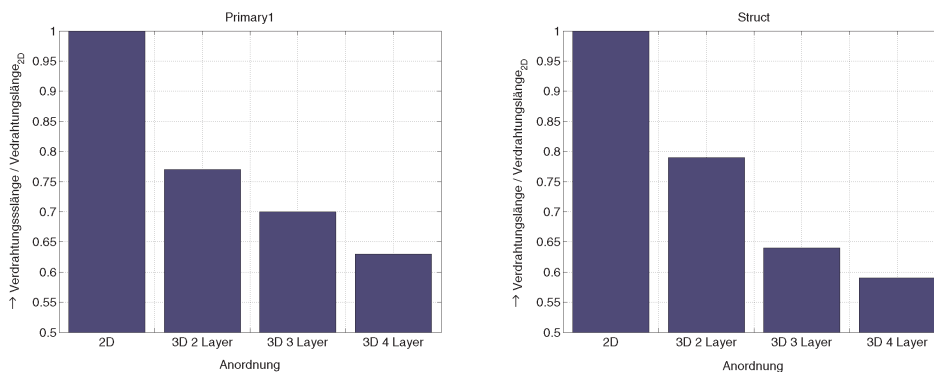


Abbildung 5.3: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary1 und Struct)

Betrachtet man die Ergebnisse des vorgestellten 3D-Platzierers im Vergleich mit bisher veröffentlichten Ergebnissen, so ist ersichtlich, dass dieser mindestens gleichwertig ist [25]. Eine Reduzierung der Gesamtverdrahtungslänge um 28% bei

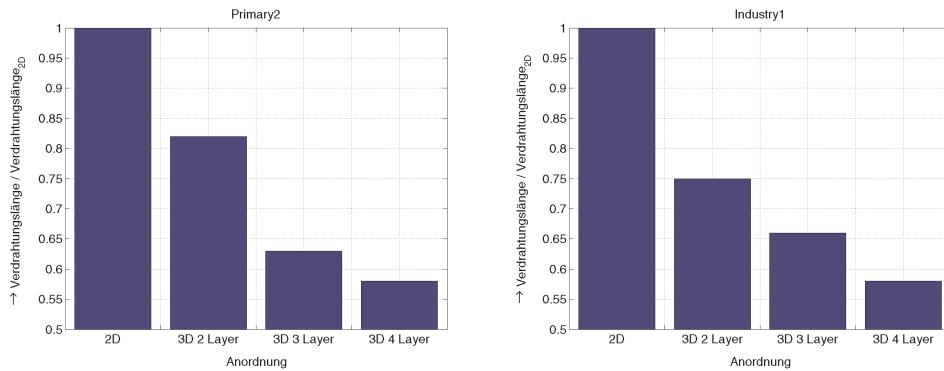


Abbildung 5.4: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary2 und Industry1)

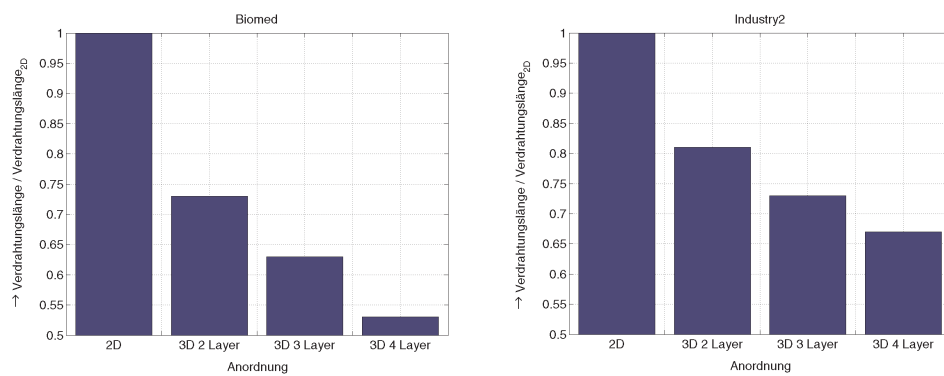


Abbildung 5.5: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Biomed und Industry2)

zwei Layern und um 51% bei fünf Layern ist mit dem von Das veröffentlichten Platzierer erreichbar. Leider ist in der Veröffentlichung von Das nicht beschrieben, für welches Design die angegebene Reduzierung der Gesamtverdrahtungslänge erreicht werden konnte, oder ob es sich um Durchschnittswerte handelt. Ferner ist nicht beschrieben, ob und in welcher Weise die vertikale Richtung behandelt wird. Es wird lediglich erwähnt, dass von einer optimalen Integrationstechnologie ausgegangen wird.

Mit unserem 3D-Platzierer ist bei zwei Layern bestenfalls eine Reduzierung der Gesamtverdrahtungslänge um rund 27% (Biomed) möglich. Für vier Layer beträgt die erreichte maximale Reduzierung der Gesamtverdrahtungslänge 47% (Biomed).

Design	3D-Platzierer	Deng [28]
Primary1	22.6%	23.01%
Struct	21.2%	14.09%
Primary2	18.3%	15.98%
Industry1	24.5%	16.54%
Biomed	26.8%	16.23%
Industry2	19.0%	9.34%
Durchschnitt	22.1%	15.87%

Tabelle 5.3: Vergleich der Ergebnisse von Deng [28] und dem vorgestellten 3D-Platzierer

Deng veröffentlicht in [28] ebenfalls 3D-Platzierungsergebnisse für verschiedene Benchmarkschaltungen, jedoch mit lediglich zwei Layern. Durchschnittlich wird eine Reduzierung der Gesamtverdrahtungslänge von rund 16% erreicht. Sowohl bei Betrachtung der einzelnen Designs (mit Ausnahme von Primary1) als auch bei Betrachtung des Durchschnitts liefert der hier vorgestellte 3D-Platzierer bessere Ergebnisse. In Tabelle 5.3 sind die Ergebnisse von Deng den Ergebnissen des vorgestellten 3D-Platzierers gegenübergestellt.

Globale Netze spielen bei Designs eine sehr wichtige Rolle, da diese die Performanz des Designs maßgeblich beeinflussen. Aus diesem Grunde ist man bestrebt, die globalen Leitungen so kurz wie möglich auszuführen. Ein wichtiges Kriterium hierfür ist die Länge des längsten Netzes. Die dreidimensionale Anordnung der Designs bietet Verbesserungsmöglichkeiten hinsichtlich der Länge der Netze.

Für Vergleichszwecke wird die Länge des längsten Netzes im 2D-Fall als Referenz betrachtet. Für die verschiedenen 3D-Anordnungsmöglichkeiten (zwei, drei

Design	2 Layer	3 Layer	4 Layer	Deng (2 Layer) [28]
Primary1	16.2%	30.0%	39.2%	20.32%
Struct	30.2%	41.9%	50.5%	31.72%
Primary2	16.2%	30.1%	39.0%	21.32%
Industry1	30.8%	44.3%	51.8%	28.30%
Biomed	30.3%	40.0%	50.2%	29.19%
Industry2	34.0%	46.1%	51.6%	28.21%
Durchschnitt	26.3%	38.7%	47.1%	26.51%

Tabelle 5.4: Reduzierung der Länge des längsten Netzes ohne Berücksichtigung von ICVs

oder vier Layer) werden die längsten vorkommenden Netze bestimmt und mit dem Ergebnis der 2D-Anordnung verglichen. Dabei stellt sich heraus, dass eine maßgebliche Reduzierung der Länge der längsten Netze möglich ist. Für zwei Layer ist eine durchschnittliche Reduzierung der Länge um rund 26% möglich, für drei Layer sind es etwa 38% und für vier Layer ca. 47%.

In Tabelle 5.4 sind die Ergebnisse für den Fall ohne Berücksichtigung der ICVs zusammengefasst. Dort sind die von Deng im Jahre 2001 veröffentlichten Werte für 3D-Designs mit zwei Layern zu Vergleichszwecken angeführt. Deng erreicht mit seinem 3D-Platzierer eine durchschnittliche Reduzierung um etwa 26%. Bei kleineren Designs (Primary1, Struct, Primary2) sind die Ergebnisse von Deng besser, bei größeren Designs (Industry1, Biomed, Industry2) schlechter als die des hier vorgestellten kräftegesteuerten 3D-Platzierers. Die Durchschnittswerte sind fast identisch, daher sind die Ansätze für die Reduzierung der längsten Netze gleich gut. Für größere als hier vorgestellte Benchmarkschaltungen veröffentlicht Deng in [29] eine durchschnittliche Reduzierung der Länge des längsten Netzes um 27.7%. Dieser Wert liegt in der Größenordnung der hier erreichten Reduzierung.

In [26] sind ebenfalls die Längen des längsten Netzes veröffentlicht. Bei zwei Layern ist eine Reduzierung um rund 29% möglich, bei drei Layern um rund 40%, und bei vier Layern reduziert sich die Länge um etwa 48%. Diese Werte sind nicht direkt mit den Ergebnissen des hier vorgestellten 3D-Platzierers vergleichbar, da Das andere Benchmarkschaltungen verwendet. Sie geben dennoch einen Hinweis darauf, dass der kräftegesteuerte Platzierer gleichwertig ist.

In den Abbildungen 5.6 bis 5.8 sind die Ergebnisse des kräftegesteuerten 3D-Platzierers für die betrachteten MCNC-Benchmarkschaltungen grafisch dargestellt. In den Abbildungen ist der Trend, dass mit steigender Layerzahl eine

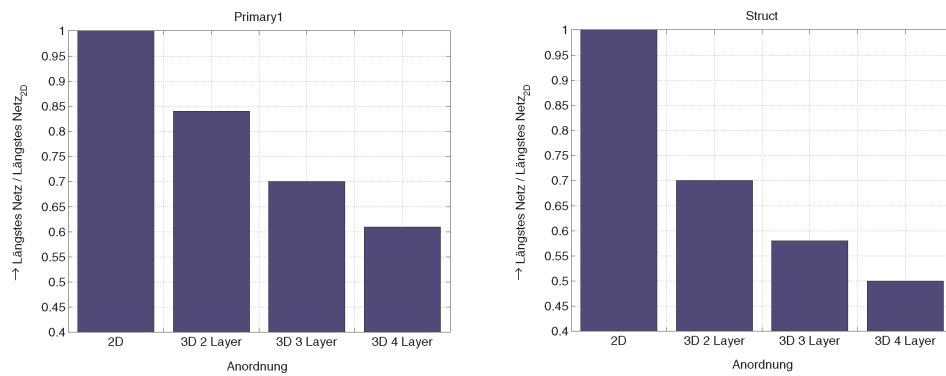


Abbildung 5.6: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary1 und Struct)

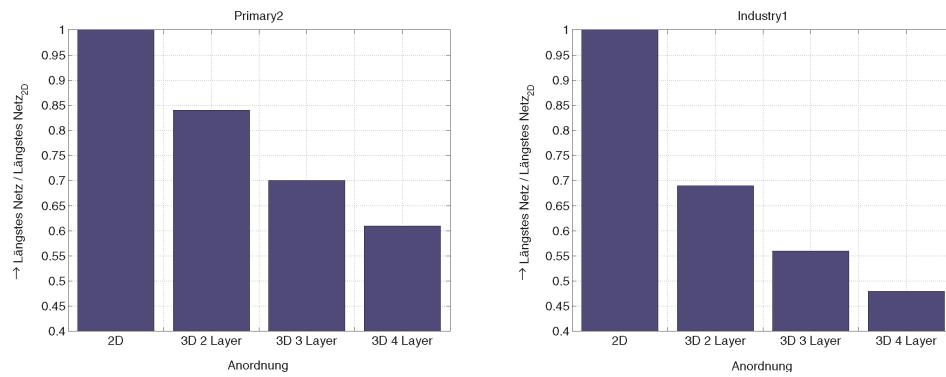


Abbildung 5.7: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Primary2 und Industry1)

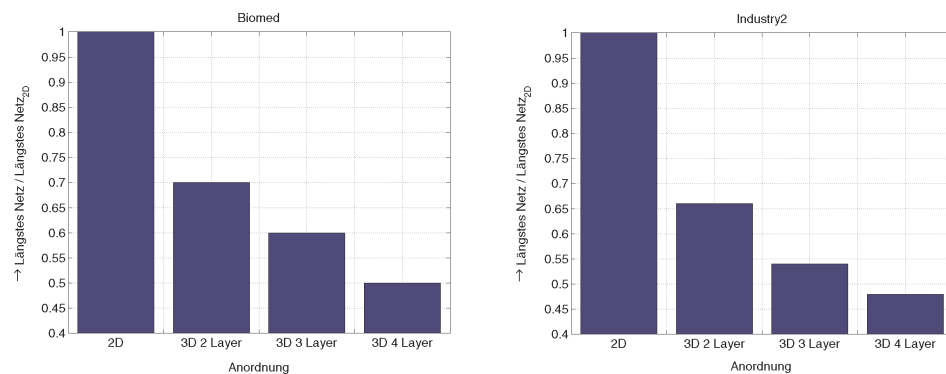


Abbildung 5.8: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks ohne Berücksichtigung von ICVs (Biomed und Industry2)

stärkere Reduzierung der Längen der längsten Netze möglich ist, klar erkennbar. Die Längen der längsten Netze verhalten sich im Allgemeinen genauso wie die Gesamtverdrahtungslänge. Der Schritt von einer 2D-Platzierung zu einer 3D-Platzierung mit zwei Layern liefert die größte Reduzierung der Länge des längsten Netzes. Alle weiteren Layer tragen jeweils durchschnittlich 10% zur Reduzierung der Längen bei. Das beste Ergebnis liefert bei zwei und drei Layern die Benchmarkschaltung Industry2, bei vier Layern Industry1.

Neben dem längsten Netz werden generell die Längen aller Netze verkürzt. Hierzu wird beispielhaft die Verteilung der Netzlängen für die Benchmarkschaltung Primary1 untersucht. In Tabelle 5.5 sind die Ergebnisse in tabellarischer und in Abbildung 5.9 in grafischer Form dargestellt. Die prozentualen Anteile der Netzlängen, die jeweils in 10%-Abschnitten des längsten Netzes unterteilt sind, sind in der Tabelle 5.5 dargestellt. Beispielsweise weisen im 2D-Fall rund 60% aller Netze jeweils nur maximal 10% der Länge des längsten Netzes auf. Bei der 3D-Integration vergrößert sich der Anteil der kurzen Netze, während sich der Anteil der längeren Netze verkleinert. Bei den 3D-Ergebnissen sind die prozentualen Anteile ebenfalls auf das längste Netz im 2D-Fall bezogen.

Der Schritt von der 2D-Anordnung zu einer 3D-Anordnung mit zwei Layern erhöht den Anteil der kurzen Netze, die eine Länge von bis zu 10% des längsten Netzes in 2D aufweisen, um 7%. Der Anstieg der Netzlängen, die bis zu 20% des längsten Netzes reichen, bleibt mit etwa 1% moderat, während der Anteil aller Netze, die länger als 20% des längsten Netzes sind, abnimmt. Dieser Trend wird durch die 3D-Platzierungen mit drei bzw. vier Layern fortgesetzt.

Die Ergebnisse für das hier vorgestellte Beispiel Primary1 lassen sich auf die anderen Benchmarkschaltungen übertragen. Auch bei den anderen Schaltungen werden die Anteile der kürzeren Netze größer, während die Anteile bei den längeren Netzen abnehmen.

$\frac{l_{Netz}}{l_{2D,NetzMax}}$ in [%]	2D	3D 2 Layer	3D 3 Layer	3D 4 Layer
0 – 10	59.56%	66.90%	69.35%	71.72%
10 – 20	20.62%	21.72%	21.41%	22.96%
20 – 30	11.45%	8.69%	7.74%	5.21%
30 – 40	3.87%	1.90%	1.03%	0.47%
40 – 50	3.08%	0.32%	0.24%	0.32%
50 – 60	0.63%	0.24%	0.08%	0%
60 – 70	0.32%	0.16%	0.08%	0.08%
70 – 80	0.32%	0%	0.08%	0%
80 – 90	0.08%	0.08%	0%	0%
90 – 100	0.08%	0%	0%	0%

Tabelle 5.5: Verteilung der Netzlängen bei Primary1 (2D und 3D mit zwei bis vier Layern)

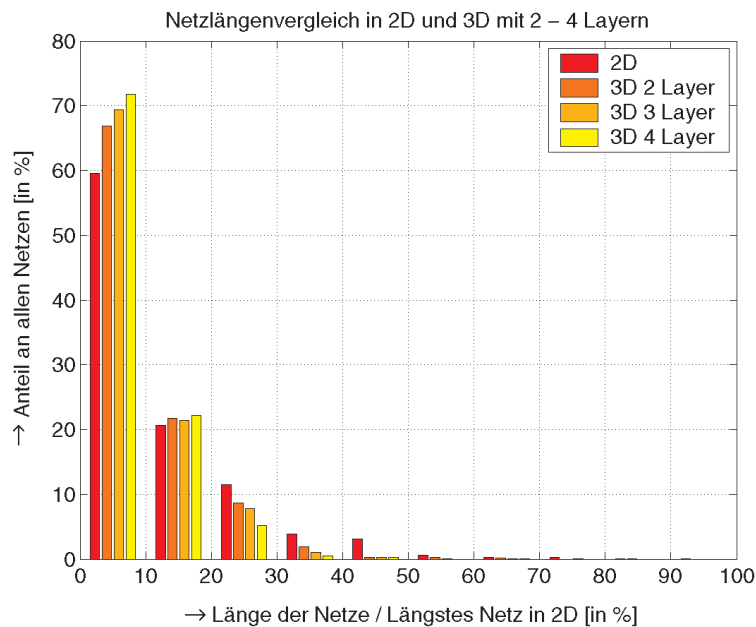


Abbildung 5.9: Verteilung der Netzlängen bei Primary1 (2D und 3D mit zwei bis vier Layern)

5.3.2 Ergebnisse mit Berücksichtigung der ICVs

In diesem Abschnitt werden die Ergebnisse der Betriebsart 2 (Berücksichtigung der ICVs und Minimierung der ICV-Anzahl) vorgestellt. Beispielhaft ist die legalisierte 3D-Platzierung mit vier Layern für Primary2 in Abbildung 5.10 dargestellt. Die dunklen Zellen in dem Layoutvolumen stellen die ICVs dar, während die hellen die Standardzellen darstellen. Das Layoutvolumen wird in dem obersten Layer von einem Pading umgeben. Da die Utilization bei den betrachteten Designs klein ist, können die zusätzlichen ICVs problemlos angeordnet werden, so dass die Grundfläche im Vergleich zu Abbildung 5.2 nicht vergrößert werden muss. Die ICVs werden technologiebedingt stets in oberen Layern platziert, so dass in der obersten Ebene viele ICVs vorhanden sind.

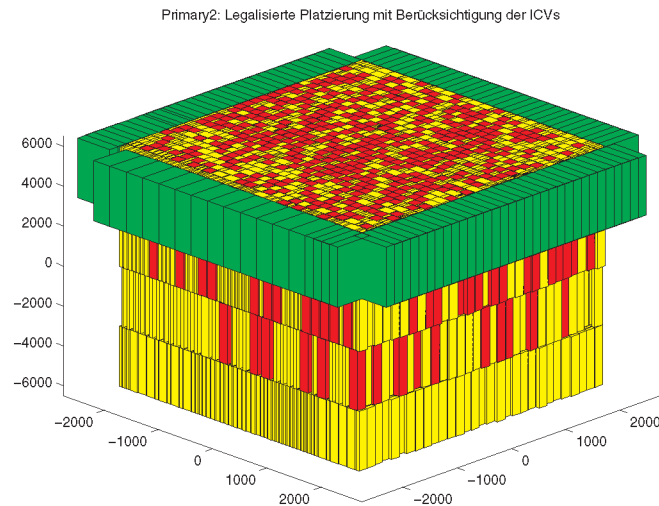


Abbildung 5.10: Legalisierte 3D-Platzierung mit vier Layern für Primary2 mit Berücksichtigung der ICVs

Da die Anzahl der ICVs in dieser Betriebsart das Optimierungsziel für die Platzierung ist, erwartet man eine weniger ausgeprägte Reduzierung der Gesamtverdrahtungslänge als in der Betriebsart 1. In der Tabelle 5.6 sind die Ergebnisse für die Reduzierung der Gesamtverdrahtungslängen angegeben.

Bei zwei Layern ist eine durchschnittliche Reduzierung der Gesamtverdrahtungslänge um rund 15%, bei drei Layern um etwa 26% und bei vier Layern um ca. 31% möglich. Bei der Berücksichtigung der ICVs sind die Ergebnisse für die Benchmarkschaltung Industry1 am besten.

Die grafischen Darstellungen in den Abbildungen 5.11 bis 5.13 zeigen vergleichend die Ergebnisse für die Betriebsart 1 (ohne Berücksichtigung der ICVs)

Design	2 Layer	3 Layer	4 Layer
Primary1	13.9%	24.6%	32.4%
Struct	07.7%	25.7%	27.7%
Primary2	08.7%	19.0%	26.3%
Industry1	26.1%	35.4%	43.1%
Biomed	16.4%	28.8%	32.6%
Industry2	16.9%	20.4%	21.5%
Durchschnitt	14.9%	25.7%	30.6%

Tabelle 5.6: Reduzierung der Gesamtverdrahtungslänge mit Berücksichtigung von ICVs

und der Betriebsart 2 (mit Berücksichtigung der ICVs). Bei beiden Betriebsarten ist zu erkennen, dass mit steigender Anzahl der zur Verfügung stehenden Layer die Gesamtverdrahtungslänge weiter abnimmt. Ferner ist zu beobachten, dass die Berücksichtigung der ICVs zu einer Verschlechterung der Gesamtverdrahtungslängenreduzierung führt. Einzige Ausnahme bildet hier das Beispiel Industry1, bei dem die Reduzierung der Gesamtverdrahtungslänge für beide Betriebsarten nahezu gleich ist.

Ein Vergleich der beiden Betriebsarten zeigt, dass die durchschnittliche Zunahme der Gesamtverdrahtungslänge aufgrund der ICV-Berücksichtigung bei zwei Layern 7%, bei drei Layern 8% und bei vier Layern 10% beträgt. Da diese Betriebsart die Reduzierung der Gesamtverdrahtungslänge nicht als wichtigstes Optimierungskriterium hat, ist die Zunahme der Gesamtverdrahtungslänge akzeptabel.

Betrachtet man neben der Gesamtverdrahtungslänge auch die längsten Netze der jeweiligen Designs, so erhält man die in den Abbildungen 5.14 bis 5.16 dargestellten Ergebnisse. Zur besseren Vergleichbarkeit sind die Ergebnisse für die Betriebsart 1 ebenfalls in den Abbildungen angetragen.

Generell ist die Reduzierung der Länge des längsten Netzes bei Berücksichtigung der ICVs nicht so groß wie in der Betriebsart 1. Die genauen Ergebnisse sind in Tabelle 5.7 aufgeführt. Ein Vergleich zwischen den beiden Betriebsarten liefert eine durchschnittliche Verringerung der Reduzierung der Länge des längsten Netzes von jeweils 4% bei zwei Layern bzw. drei Layern und von rund 6% bei vier Layern. Erwähnenswert ist die Tatsache, dass bei den Beispielen Primary1 und Primary2 die Berücksichtigung der ICVs keinen Einfluss auf die Länge des längsten Netzes hat. Dieses liegt daran, dass das längste Netz nur feste, unbewegliche

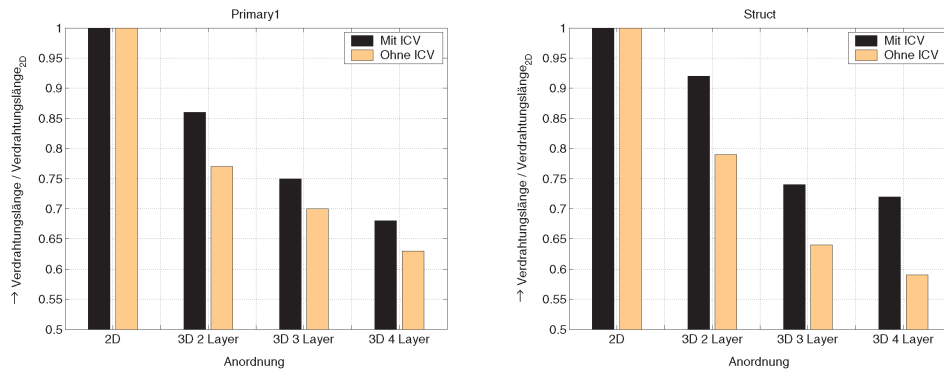


Abbildung 5.11: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary1 und Struct)

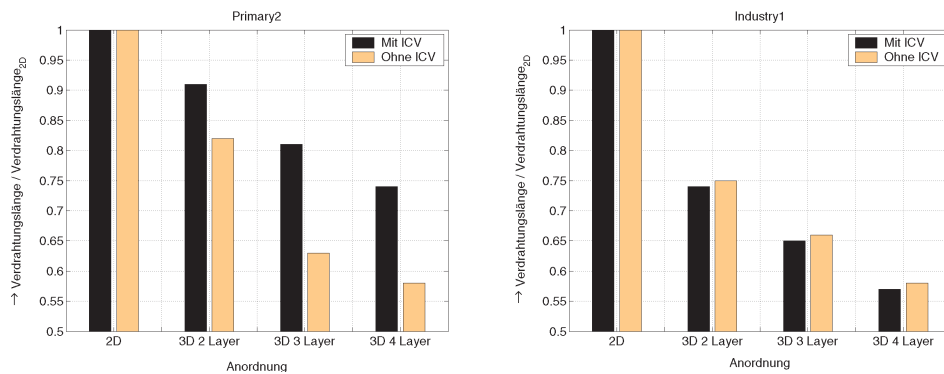


Abbildung 5.12: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary2 und Industry1)

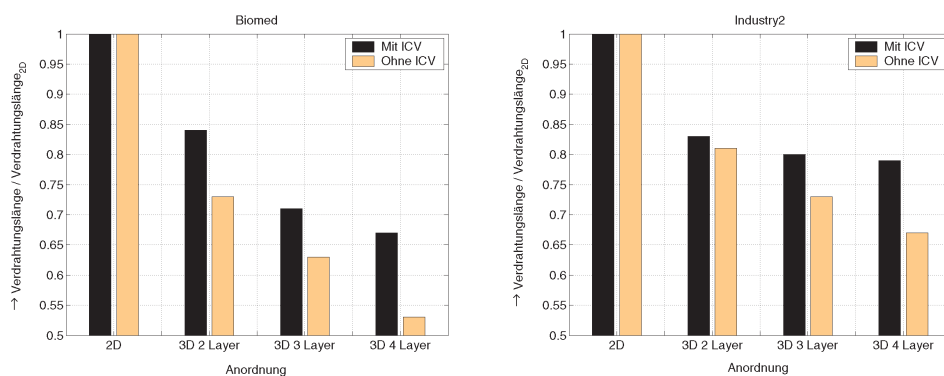


Abbildung 5.13: Entwicklung der Gesamtverdrahtungslänge bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Biomed und Industry2)

Zellen miteinander verbindet. Da die festen Zellen aber stets in dem obersten Layer angeordnet sind, hat die Berücksichtigung der ICVs keinen Einfluss auf dieses Netz.

Design	2 Layer	3 Layer	4 Layer
Primary1	16.2%	30.0%	39.2%
Struct	21.2%	39.1%	43.0%
Primary2	16.2%	30.1%	39.0%
Industry1	23.8%	37.6%	44.7%
Biomed	22.4%	33.4%	42.9%
Industry2	33.0%	36.6%	39.0%
Durchschnitt	22.1%	34.5%	41.3%

Tabelle 5.7: Reduzierung der Länge des längsten Netzes mit Berücksichtigung von ICVs

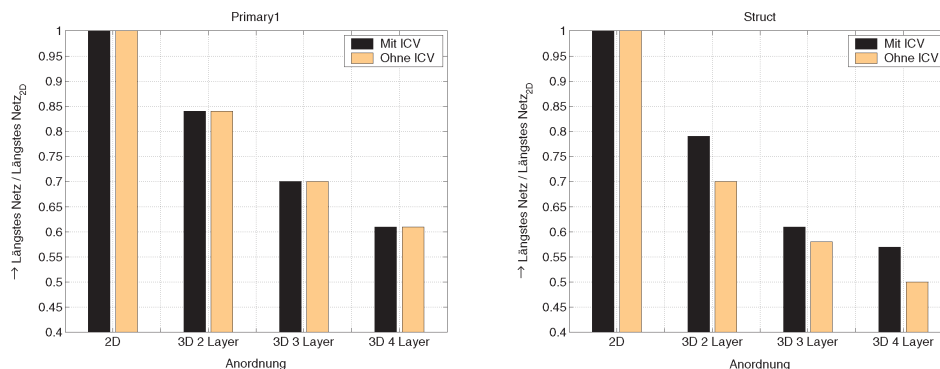


Abbildung 5.14: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary1 und Struct)

Bei einem Vergleich der hier vorgestellten Ergebnisse mit veröffentlichten Ergebnissen stellt man fest, dass die gleichzeitige Betrachtung der vertikalen Durchkontaktierungen sehr große Vorteile hat. In der Literatur sind Verdrahtungslängenreduzierungen von 7% für eine 3D-Platzierung mit zwei Layern bis 17% für eine 3D-Platzierung mit fünf Layern veröffentlicht [25, 26]. Das Optimierungsziel bei der Erzeugung der Platzierung ist die Minimierung der Anzahl vertikaler Durchkontaktierungen. Diese veröffentlichten Werte liegen deutlich unter

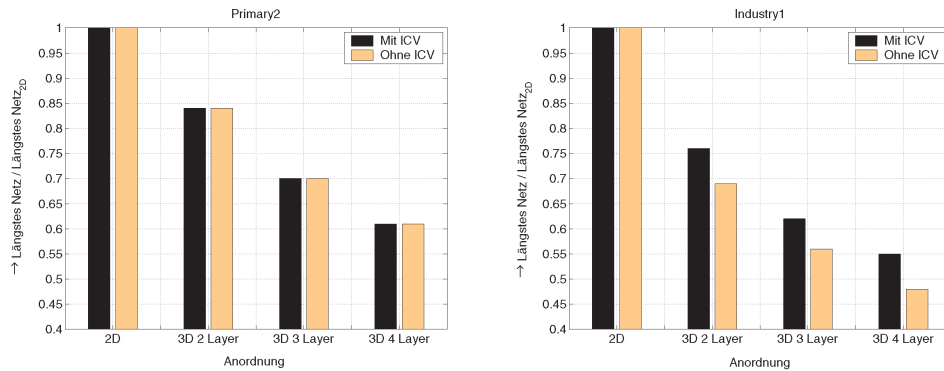


Abbildung 5.15: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Primary2 und Industry1)

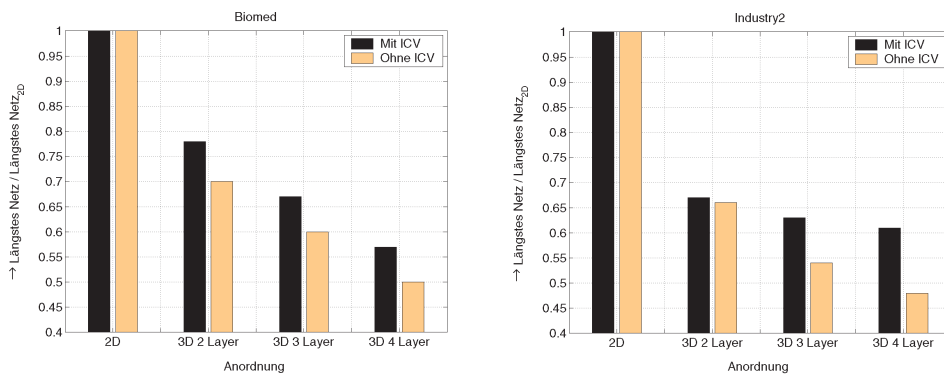


Abbildung 5.16: Entwicklung der Länge des längsten Netzes bei MCNC-Benchmarks mit Berücksichtigung von ICVs (Biomed und Industry2)

den hier vorgestellten, durchschnittlichen Reduzierungen von 15% für zwei Layer, 26% für drei Layer und 31% für vier Layer.

Bei der Reduzierung des längsten Netzes, jeweils verglichen mit dem längsten Netz im 2D-Fall, ist der hier vorgestellte, kräftegesteuerte 3D-Platzierer verglichen mit den von Das in [26] veröffentlichten Ergebnissen mindestens genauso gut. Während Das für zwei Layer eine Reduzierung des längsten Netzes um rund 21% erreicht, sind es bei dem hier vorgestellten Platzierer 22%. Bei drei Layern reduziert sich die Länge bei Das um 33% und bei vier Layern um rund 41%. Der vorgestellte Platzierer liefert Werte von 35% für drei Layer und 41% für vier Layer. Tabelle 5.8 fasst die Ergebnisse zusammen.

3D-Anordnung	3D-Platzierer	Das [26]
2 Layer	22%	21%
3 Layer	35%	33%
4 Layer	41%	41%

Tabelle 5.8: Durchschnittliche Reduzierung der Länge des längsten Netzes: Vergleich der Ergebnisse von Das [26] und dem vorgestellten 3D-Platzierer

In der hier betrachteten Betriebsart 2 ist das Optimierungsziel die Minimierung der notwendigen ICVs. Für die untersuchten Benchmarkschaltungen sind für die verschiedenen 3D-Anordnungen die Anzahl der notwendigen ICVs ermittelt worden. Die Ergebnisse sind in der Tabelle 5.9 zusammengefasst. Die Zahlen sind stets für vollständig legalisierte 3D-Platzierungen angegeben. Je nach Schaltungsgröße und Schaltungstyp unterscheiden sich die Zahlen für die notwendigen ICVs. Generell lässt sich feststellen, dass die Zahl der ICVs mit größeren Schaltungen ansteigt. Das Verhältnis der notwendigen ICVs zur Anzahl der Zellen der entsprechenden Benchmarkschaltungen ist für die einzelnen 3D-Platzierungen mit zwei, drei oder vier Layern ebenfalls in der Tabelle 5.9 angegeben. Für zwei Layer sind zusätzlich durchschnittlich 19%, bei drei Layern 34% und bei vier Layern 51% Zellen hinzuzufügen. Diese Zahlen machen deutlich, dass die ICVs einen erheblichen Raumbedarf haben. Je eher dieser Raumbedarf berücksichtigt wird, desto besser sind die Platzierungsergebnisse. Aus diesem Grunde werden bei dem hier vorgestellten 3D-Platzierer die ICVs gemeinsam mit den Standardzellen betrachtet. Dass dieser Ansatz anderen konventionellen Ansätzen überlegen ist, sieht man eindeutig an dem vorgestellten Vergleich der Gesamtverdrahtungslängenreduzierungen zwischen dem 3D-Platzierer und den Ergebnissen von Das [25, 26].

Um eine quantitative Bewertung der Anzahl der notwendigen ICVs vornehmen zu können, wird der State-of-the-Art-Partitionierer hMetis für eine Untersuchung herangezogen. hMetis ist das anerkannt beste Partitionierungstool, das

Design	Primary1			Struct		
Anzahl Layer	2	3	4	2	3	4
Anzahl ICV	146	304	475	317	618	921
$\frac{\text{Anzahl ICV}}{\text{Anzahl Zellen}}$ in [%]	17.5	36.5	57.0	16.2	31.7	47.1
Design	Primary2			Industry1		
Anzahl Layer	2	3	4	2	3	4
Anzahl ICV	474	795	1212	515	1340	2243
$\frac{\text{Anzahl ICV}}{\text{Anzahl Zellen}}$ in [%]	15.7	26.4	40.2	16.7	43.4	72.7
Design	Biomed			Industry2		
Anzahl Layer	2	3	4	2	3	4
Anzahl ICV	2327	2716	3343	1731	3302	4738
$\frac{\text{Anzahl ICV}}{\text{Anzahl Zellen}}$ in [%]	35.7	41.7	51.3	13.7	26.1	37.5

Tabelle 5.9: Anzahl der notwendigen ICVs beim 3D-Platzierer

nach dem Min-Cut-Verfahren arbeitet. In Abschnitt 2.1.3 wurde hMetis bereits erwähnt, da es als Grundlage für viele partitionsbasierte Platzierer dient. Mit der hMetis-Version 1.5.3 werden die Ergebnisse bestimmt, die in Tabelle 5.10 angegeben sind.

Für die einzelnen Benchmarkschaltungen wird die Anzahl der notwendigen Schnitte bei einer Abweichung der Partitionsteile von 1% bzw. einer Abweichung von 10% bestimmt. Unter der Abweichung wird der Flächenunterschied zwischen den Partitionsteilen verstanden. Je größer der Wert für die Abweichung, desto unsymmetrischer wird die Partition hinsichtlich ihrer Fläche aufgeteilt.

Die Anzahl der notwendigen Schnitte, die hMetis liefert, entspricht der anzustrebenden Anzahl von notwendigen ICVs. Da hMetis auf einer Heuristik aufbaut, ist das Ergebnis von hMetis keine untere Schranke für die Anzahl der notwendigen ICVs im mathematischen Sinne.

Bei der Anordnung mit zwei Layern ist die Anzahl der notwendigen Schnitte identisch mit der Anzahl der notwendigen ICVs. Jedem Layer wird ein Partitionsteil der bipartitionierten Schaltung zugewiesen. Eine Verbindung von einem

Design	Primary1			Struct			Primary2		
Anzahl Layer	2	3	4	2	3	4	2	3	4
Abw. 1%	101	221	384	268	549	834	248	517	1040
Abw. 10%	79	194	324	223	452	732	196	488	970

Design	Industry1			Biomed			Industry2		
Anzahl Layer	2	3	4	2	3	4	2	3	4
Abw. 1%	575	1317	2096	1421	2763	4247	800	1608	3037
Abw. 10%	450	1033	1738	1298	2301	3767	522	1380	2426

Tabelle 5.10: hMetis-Partitionierungsergebnisse für MCNC-Benchmarks mit Abweichungen der Partitionsteile von 1% und 10%

Partitionsteil zum anderen entspricht genau einem Schnitt. Da die Partitionsteile in zwei benachbarten Layern liegen - bei zwei zur Verfügung stehenden Layern ist das selbstverständlich -, bedingt jede Verbindung die Einfügung von jeweils genau einem ICV. Generell ist also bei Zwei-Layer-Anordnungen die Anzahl der Schnitte identisch mit der Anzahl der notwendigen ICVs. Bei drei oder vier Layern sind die mit hMetis bestimmten Werte nur untere Schranken, denn beispielsweise bei einer Verbindung von einem Partitionsteil, der während der Platzierung dem untersten Layer zugewiesen wird, zu einem Partitionsteil, der dem obersten Layer zugewiesen wird, sind den technologischen Randbedingungen entsprechend drei ICVs vorzusehen. hMetis liefert für diese Verbindung jedoch nur einen Schnitt und damit nur ein notwendiges ICV. Das Ergebnis der Partitionierers kann daher nur als anzustrebendes Optimal angesehen werden.

Vergleicht man die in Tabelle 5.9 angegebenen Ergebnisse des 3D-Platzierers mit den in Tabelle 5.10 angegebenen Ergebnissen des Partitionierers hMetis, so erkennt man, dass die Anzahl der ICVs ungefähr in der gleichen Größenordnung liegt. Der 3D-Platzierer liefert stets etwas größere Zahlen für notwendige ICVs als hMetis. Dieses ist aber nicht überzubewerten, da zum einen der Platzierer keinen Partitionierer darstellt und zum anderen die Werte von hMetis nur eine untere Schranke darstellen. Allgemein kann die Tatsache, dass die Zahlen für die notwendigen ICVs in der gleichen Größenordnung liegen, als positiv für den 3D-Platzierer gewertet werden. Betrachtet man bei dem hier vorgestellten 3D-Platzierer die Flächen der Standardzellen in den einzelnen Layern, so stellt man vor allem bei 4-Layer-Anordnungen und Berücksichtigung der ICVs große Abweichungen in einzelnen Layern fest.

Eine abschließende Betrachtung der Anzahl der notwendigen ICVs bei beiden Betriebsarten zeigt eindeutig, dass die Betriebsart 2 die Zahl der notwendigen ICVs erheblich reduziert. Bei einer 2-Layer-Anordnung ist eine durchschnittliche Reduzierung der notwendigen ICVs von 48%, bei einer 3-Layer-Anordnung von 56% und bei einer 4-Layer-Anordnung von 55% im Vergleich mit Betriebsart 1 nachweisbar. Die genaue Zuordnung auf die einzelnen Benchmarks und Anordnungen kann der Tabelle 5.11 entnommen werden.

Design	2 Layer	3 Layer	4 Layer
Primary1	64.4%	64.7%	62.1%
Struct	35.9%	58.3%	61.1%
Primary2	50.0%	72.7%	71.1%
Industry1	46.7%	36.8%	36.3%
Biomed	31.3%	45.9%	44.9%
Industry2	61.5%	61.2%	55.6%
Durchschnitt	48.3%	56.6%	55.2%

Tabelle 5.11: Vergleich der Betriebsart 2 gegen Betriebsart 1: Reduzierung der notwendigen ICVs

5.4 Bewertung

Der im Rahmen dieser Arbeit entwickelte, kräftegesteuerte 3D-Platzierer ist ein CAD-Werkzeug, das die Effizienz und den Nutzen der 3D-Integration belegt.

Der Platzierer ermöglicht die Platzierung von dreidimensionalen Standardzellen in einem Layoutvolumen. In einem abschließenden Schritt wird die so ermittelte 3D-Globalplatzierung legalisiert, so dass eine diskrete 3D-Standardzellplatzierung vorliegt. Eine Einordnung der Ergebnisse erfolgt durch einen Vergleich der 3D-Platzierungsanordnungen mit den 2D-Platzierungsergebnissen und anderen veröffentlichten 3D-Platzierungsergebnissen.

In der Betriebsart 1, in der die Minimierung der Gesamtverdrahtungslänge vorrangiges Ziel ist, ist nachgewiesen worden, dass die Gesamtverdrahtungslänge erheblich reduziert werden kann. Dabei werden die für die Inter-Layer-Kommunikation notwendigen vertikalen Durchkontaktierungen nicht berücksichtigt. Neben der Gesamtverdrahtungslänge wird auch die Länge des längsten vorkommenden

Netzes reduziert. Die Vermutung, 3D-Integration könne die Performanz der Systeme erheblich steigern, kann hiermit nachgewiesen werden.

Die Betriebsart 1 dient der Demonstration der Möglichkeiten der 3D-Integration. Da keinerlei Technologieinformation der 3D-Integration eingeht, sind die Ergebnisse theoretischer Natur. In der Betriebsart 2 dagegen werden die vertikalen Durchkontaktierungen während der Platzierung mit betrachtet. Dieses ist realitätsnah, da die heutigen 3D-Integrationstechnologien nicht optimal sind. In der betrachteten zweiten Betriebsart steht die Minimierung der Anzahl der vertikalen Durchkontaktierungen im Vordergrund. Es wird eine vollständig legalisierte und design-rule-konforme 3D-Platzierung erzeugt. Ferner wird nachgewiesen, dass die ermittelten Gesamtverdrahtungslängenreduzierungen größer als bisher in der Literatur veröffentlichte Werte sind. Abschließend wird die Anzahl der notwendigen vertikalen Durchkontaktierungen mit Ergebnissen des anerkannt guten Partitionierers hMetis verglichen. Die Anzahl der notwendigen vertikalen Durchkontaktierungen ist in derselben Größenordnung, liegt aber bei allen Beispielschaltungen über den Ergebnissen des Partitionierers.

Wichtigster Vorteil dieses Ansatzes ist die gleichzeitige Betrachtung der vertikalen Durchkontaktierungen und der Standardzellen. Damit geht eine erhebliche Reduzierung der Gesamtverdrahtungslänge einher. Die Ergebnisse sind in dieser Betriebsart stets besser als bisher veröffentlichte Ergebnisse in der wissenschaftlichen Literatur. Ein weiterer Vorteil dieses Ansatzes ist die Möglichkeit, die Verdrahtung mit einem konventionellen 2D-Standardverdrahter durchführen zu können. Da die vertikalen Durchkontaktierungen während des Platzierungsschrittes angeordnet werden, beschränkt sich die Verdrahtung auf die Intra-Layer-Verdrahtung, die mit einem konventionellen 2D-Verdrahter durchgeführt werden kann.

In Kenntnis dieser Tatsache ist der Aufbau eines vollständigen 3D-Design-Flows möglich. Mit dem 3D-Floorplanner von Salewski [103] und dem hier vorgestellten 3D-Platzierer ist der 3D-Flow vollständig. Da die Größe und Komplexität der Designs in Zukunft weiter ansteigen werden, ist die Notwendigkeit eines Floorplanners im 3D-Design-Flow gegeben. Für die abschließende Verdrahtung ist - wie eben erläutert - kein 3D-Verdrahter notwendig.

Nachteilig für den hier vorgestellten Ansatz ist die Tatsache, dass sich die Anzahl der gleichzeitig zu betrachtenden Zellen aufgrund der vertikalen Durchkontaktierungen teilweise um bis zu 72% (Industry1, 4 Layer) erhöhen kann. Dieses geht zu Lasten der Laufzeit. Dieser Effekt wird durch die Verwendung des Matlab-Interpreters verstärkt. Mit dem in Matlab implementierten Prototypen sind abhängig von der Designgröße Laufzeiten von wenigen Stunden bis einigen Tagen auf einer SUN-Workstation mit 900 MHz und 32 GB RAM für die Erzeugung einer voll legalisierten, design-rule-konformen Platzierung notwendig. Eine drastische Verbesserung der Laufzeiten und eine Aufhebung der Problemgrößenbeschränkung ist bei einer Neuimplementierung des 3D-Platzierers in einer Programmiersprache wie C oder C++ zu erwarten.

Kapitel 6

Zusammenfassung

In der Mikroelektronik setzt sich der Miniaturisierungstrend weiter fort. Strukturverkleinerungen ermöglichen es den Schaltungsentwicklern, immer leistungsfähigere und komplexere Schaltungen zu entwerfen. Der mit diesem Trend einhergehende Anstieg der Interconnect-Delays konnte in der Vergangenheit durch die Einführung neuer Materialien kompensiert werden. Für die Zukunft kann dieses aber nicht mehr garantiert werden. Es sind daher radikalere Einschnitte in die konventionellen Entwurfsmethoden zu erwarten. Einen möglichen Ausweg für die Verringerung der Interconnect-Delays stellt die 3D-Integration dar. Technologien für dreidimensional integrierte Schaltungen existieren bereits, jedoch sind Entwurfswerkzeuge rar.

Im Rahmen der vorliegenden Arbeit wurde ein 3D-Platzierer vorgestellt, der zwei verschiedene Betriebsarten anbietet. In der ersten Betriebsart wird die Gesamtverdrahtungslänge optimiert, während in der zweiten Betriebsart die Standardzellen zusammen mit den vertikalen Durchkontaktierungen betrachtet werden und die Anzahl der vertikalen Durchkontaktierungen minimiert wird.

Der Basisalgorithmus für den 3D-Platzierer ist die quadratische Optimierung durch einen Kräfteansatz. Der bekannte kräftegesteuerte Ansatz wurde aus dem Zweidimensionalen ins Dreidimensionale übertragen. Dabei wurde eine Rechenzeitverbesserung durch die Einführung einer neuen Dichtefunktion durchgeführt. Der kräftegesteuerte 3D-Platzierer optimiert in der Betriebsart 1 automatisch die Gesamtverdrahtungslänge, ohne dass es einer Anpassung des Algorithmus bedarf. Die Eigenschaften der vertikalen Durchkontaktierungen werden dabei nicht betrachtet.

Da in der zweiten Betriebsart nicht die Minimierung der Gesamtverdrahtungslänge höchste Priorität hat, sondern die Begrenzung der Anzahl an notwendigen vertikalen Durchkontaktierungen, wurde der kräftegesteuerte Standardansatz modifiziert. Zum einen wird die vertikale Verdrahtungsrichtung aufgrund der elektrischen Eigenschaften der vertikalen Durchkontaktierungen gesondert gewichtet und zum anderen werden die notwendigen Durchkontaktierungen während der Platzierungsphase in die Netzliste eingefügt, um ausreichenden Platz für

ihre Anordnung vorsehen zu können.

Die Ergebnisse der Betriebsart 1 zeigen eine erhebliche Reduzierung der Gesamtverdrahtungslänge und damit den ausschlaggebenden Vorteil der 3D-Integration. Die Betriebsart 2 liefert im Vergleich zur 2D-Anordnung ebenfalls reduzierte Gesamtverdrahtungslängen. Vergleiche mit dem Partitionierer hMetis zeigen, dass die Anzahl der vertikalen Durchkontaktierungen des 3D-Platzierers in der selben Größenordnung liegt.

Der neue 3D-Platzierungsansatz zeigt, dass die für die Zukunft vorausgesagten Probleme beim Entwurf integrierter Schaltungen mit der 3D-Integration gelöst werden können. Ein Beitrag auf diesem Wege wird mit dem hier vorgestellten 3D-Platzierer geleistet. Die Erweiterbarkeit auf einen vollständigen 3D-Backend-Design-Flow ist gegeben. Da die Designs in Zukunft relativ groß sein werden, ist ein 3D-Floorplanner unumgänglich, der das zur Verfügung stehende Layoutvolumen einteilt und damit die Vorgaben für den vorgestellten 3D-Platzierer liefert. Nach der Platzierung ist kein besonderer 3D-Verdrahter notwendig, da ein konventioneller 2D-Verdrahter den Flow vervollständigt. Die vertikalen Verbindungen sind mit der Platzierung der vertikalen Durchkontaktierungen während der Platzierungsphase realisiert.

Literaturverzeichnis

- [1] AL-SARAWI, A. F. ; ABBOTT, D. ; FRANZON, P. D.: A Review of 3-D Packaging Technology. In: *IEEE Transactions on Components, Packaging, and Manufacturing Technology* 21 (1998), Februar, Nr. 1, S. 2–14
- [2] ALPERT, C. J.: The ISPD98 Circuit Benchmark Suite. In: *Proceedings of the International Symposium on Physical Design (ISPD 1998)*, 1998, S. 80–85
- [3] ALPERT, C. J. ; HUANG, J.-H. ; KAHNG, A. B.: Multilevel Circuit Partitioning. In: *Proceedings of the Design Automation Conference (DAC 1997)*, 1997, S. 530–533
- [4] ALPERT, C. J. ; HUANG, J.-H. ; KAHNG, A. B.: Multilevel Circuit Partitioning. In: *IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems* 17 (1998), August, Nr. 8, S. 655–667
- [5] BANERJEE, K. ; SOURI, S. J. ; KAPUR, P. ; SARASWAT, K. C.: 3-D Heterogeneous ICs: A Technology for the Next Decade and Beyond. In: *Proceedings of the 5th IEEE Workshop on Signal Propagation on Interconnects (SPI 2001)*, 2001
- [6] BANERJEE, K. ; SOURI, S. J. ; KAPUR, P. ; SARASWAT, K. C.: 3-D ICs: A Novel Chip Design for Improving Deep-Submicrometer Interconnect Performance and Systems-on-Chip Integration. In: *Proceedings of the IEEE: Special Issue: Interconnections - Addressing The Next Challenge of IC Technology* 89 (2001), Mai, Nr. 5, S. 602–633
- [7] BOHR, M. T.: Interconnect Scaling - The Real Limiter to High Performance ULSI. In: *Proceedings of the IEEE International Electron Devices Meeting (IEDM 1995)*, 1995, S. 241–244
- [8] BOLLMANN, D. ; BRAUN, R. ; BUCHNER, R. ; CAO-MINH, U. ; ENGELHARDT, M. ; ERRMANN, G. ; GRASSL, T. ; HIEBER, K. ; HÜBNER, H. ; KAWALA, G. ; KLEINER, M. ; KLUMPP, A. ; KÜHN, S. ; LANDESBERGER, C. ; LEZEC, H. ; MUTH, W. ; PAMLER, W. ; POPP, R. ; RENNER, E. ; RUHL, G. ; SÄNGER, A. ; SCHELER, U. ; SCHMIDT, C. ; SCHWARZL, S. ;

- WEBER, J. ; WEBER, W. ; RAMM, P.: Three Dimensional Metallization for Vertically Integrated Circuits. In: *Proceedings of the European Workshop on Materials for Advanced Metallization*, 1997, S. 94–98
- [9] BREUER, M. A.: A Class of Min-Cut Placement Algorithms. In: *Proceedings of the Design Automation Conference (DAC 1977)*, 1977, S. 284–289
- [10] BREUER, M. A. ; SARRAFZADEH, M. ; SOMENZI, F.: Fundamental CAD Algorithms. In: *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems* 19 (2000), Dezember, Nr. 12, S. 1449–1475
- [11] BRIGHAM, E. O.: *FFT-Anwendungen*. R. Oldenbourg Verlag, München, Wien, 1997
- [12] BRÜCK, R.: *Entwurfswerkzeuge für VLSI-Layout*. Carl Hanser Verlag München, 1993
- [13] BURNS, J. ; MCILRATH, L. ; HOPWOOD, J. ; KEAST, C. ; BU, D. P. ; WARNER, K. ; WYATT, P.: An SOI-Based Three-Dimensional Integrated Circuit Technology. In: *Proceedings of the IEEE Silicon on Insulator Conference*, 2000, S. 20–21
- [14] CALDWELL, A. E. ; KAHNG, A. B. ; MARKOV, I. L.: Relaxed Partitioning Balance Constraints in Top-Down Placement. In: *Proceedings of the IEEE International ASIC Conference*, 1998, S. 229–232
- [15] CALDWELL, A. E. ; KAHNG, A. B. ; MARKOV, I. L.: Optimal Partitioners and End-Case Placers for Standard-Cell Layout. In: *Proceedings of the International Symposium on Physical Design (ISPD 1999)*, 1999, S. 90–96
- [16] CALDWELL, A. E. ; KAHNG, A. B. ; MARKOV, I. L.: Can Recursive Bisection Alone Produce Routable Placements? In: *Proceedings of the Design Automation Conference (DAC 2000)*, 2000, S. 477–482
- [17] CALDWELL, A. E. ; KAHNG, A. B. ; MARKOV, I. L.: Optimal Partitioners and End-Case Placers for Standard-Cell Layout. In: *IEEE Transactions on CAD of ICs and Systems* 19 (2000), November, Nr. 11
- [18] CHAN, V. W. C. ; CHAN, P. C. H. ; CHAN, M.: Three Dimensional CMOS Integrated Circuits on Large Grain Polysilicon Films. In: *Proceedings of the IEEE International Electron Devices Meeting (IEDM 2000)*, 2000, S. 161–164
- [19] CHAO, K.-Y. ; WONG, K. F.: Thermal Placement for High-Performance Multichip Modules. In: *Proceedings of the IEEE International Conference on Computer Design: VLSI in Computers and Processors*, 1995, S. 218–223

-
- [20] CHIANG, T.-Y. ; SOURI, S. J. ; CHUI, C. O. ; SARASWAT, K. C.: Thermal Analyses of Heterogeneous 3-D ICs with Various Integration Scenarios. In: *Proceedings of the IEEE International Electron Devices Meeting (IEDM 2001)*, 2001, S. 681–684
- [21] CHOU, Y.-C. ; LIN, Y.-L.: A Performance-Driven Standard-Cell Placer Based on a Modified Force-Directed Algorithm. In: *Proceedings of the International Symposium on Physical Design (ISPD 2001)*, 2001, S. 24–29
- [22] COHOON, J. P. ; PARIS, W. D.: Genetic Placement. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1986)*, 1986, S. 422–425
- [23] COHOON, J. P. ; PARIS, W. D.: Genetic Placement. In: *IEEE Transactions on Computer Aided Design* 6 (1987), November, S. 956–964
- [24] CONG, J. ; LIM, S. K.: Multiway Partitioning with Pairwise Movement. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1998)*, 1998, S. 512–516
- [25] DAS, S. ; CHANDRAKASAN, A. ; REIF, R.: Design Tools for 3-D Integrated Circuits. In: *Proceedings of the Asia and South Pacific Design Automation Conference (ASPDAC 2003)*, 2003, S. 53–56
- [26] DAS, S. ; CHANDRAKASAN, A. ; REIF, R.: Three-Dimensional Integrated Circuits: Performance, Design Methodology, and CAD Tools. In: *Proceedings of the IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2003)*, 2003, S. 13–18
- [27] DAVIS, J. A. ; VENKATESAN, R. ; KALOYEROS, A. ; BEYLANSKY, M. ; SOURI, S. J. ; BANERJEE, K. ; SARASWAT, K. C. ; RAHMAN, A. ; REIF, R. ; MEINDL, J. D.: Interconnect Limits on Gigascale Integration (GSI) in the 21st Century. In: *Proceedings of the IEEE* 89 (2001), März, Nr. 3, S. 305–324
- [28] DENG, Y. ; MALY, W. P.: Interconnect Characteristics of 2.5-D System Integration Scheme. In: *Proceedings of the International Symposium on Physical Design (ISPD 2001)*, 2001, S. 171–175
- [29] DENG, Y. ; MALY, W. P.: Physical Design of the "2.5D" Stacked System. In: *Proceedings of the 21st International Conference on Computer Design (ICCD 2003)*, 2003, S. 211–217
- [30] DOLL, K.: *Ein iteratives Verfahren zum Platzieren von Zellen bei der Layoutsynthese integrierter Schaltungen*, Technische Universität München, Diss., 1994

-
- [31] DOLL, K. ; JOHANNES, F. M. ; ANTREICH, K. J.: Iterative Placement Improvement by Network Flow Methods. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 13 (1994), Oktober, Nr. 10, S. 1189–1200
- [32] DOLL, K. ; JOHANNES, F. M. ; SIGL, G.: Accurate Net Models for Placement Improvement by Network Flow Methods. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 92)*, 1992, S. 594–597
- [33] DUNLOP, A. E. ; KERNIGHAN, B. W.: A Procedure for Placement of Standard Cell VLSI Circuits. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 4 (1985), Januar, Nr. 1, S. 194–200
- [34] EISENMANN, H.: *Ein universelles Plazierverfahren für integrierte Schaltungen*, Technische Universität München, Diss., 1999
- [35] EISENMANN, H. ; JOHANNES, F. M.: Generic Global Placement and Floorplanning. In: *Proceedings of the Design Automation Conference (DAC 1998)*, 1998, S. 269–274
- [36] ENBODY, R. J. ; LYNN, G. ; TAN, K. H.: Routing the 3-D Chip. In: *Proceedings of the Design Automation Conference (DAC 1991)*, 1991, S. 132–137
- [37] ESBENSEN, H.: A Genetic Algorithm for Macro Cell Placement. In: *Proceedings of the European Design Automation Conference (EURO-DAC 1992)*, 1992, S. 52–57
- [38] FAN, A. ; RAHMAN, A. ; REIF, R.: Copper Wafer Bonding. In: *Electrochemical and Solid-State Letters* Bd. 2, 1999, S. 534–536
- [39] FIDUCCIA, C. M. ; MATTHEYSES, R. M.: A Linear-Time Heuristic for Improving Network Partitions. In: *Proceedings of the Design Automation Conference (DAC 1982)*, 1982, S. 175–181
- [40] GAJSKI, D. ; KUHN, R. H.: New VLSI-Tools - Guest Editors Introduction. In: *IEEE Computer* 16 (1983), Nr. 12, S. 11–14
- [41] GEIS, M. W. ; FLANDERS, D. C. ; ANTONIADIS, D. A. ; SMITH, H. I.: Crystalline Silicon on Insulators by Graphoepitaxy. In: *Proceedings of the International Electron Devices Meeting (IEDM 1979)*, 1979, S. 210–212
- [42] GOPLEN, B. ; SAPATNEKAR, S.: Efficient Thermal Placement of Standard Cells in 3D ICs using a Force Directed Approach. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 2003)*, 2003, S. 86–89

-
- [43] GRIMALDI, R. P.: *Discrete and Combinatorial Mathematics*. Addison Wesley Longman, 1999
- [44] HABERGER, K. ; BOLLMANN, D. ; LANDESBERGER, C. ; RAMM, P. ; SEITZ, S. ; HIEBER, K.: Extreme Thin Integrated Circuits. In: *Proceedings of the International Conference on Solid-State and Integrated Circuit Technology*, 1995, S. 532–534
- [45] HUEBNER, H. ; EHRMANN, O. ; EIGNER, M. ; GRUBER, W. ; KLUMPP, A. ; MERKEL, R. ; RAMM, P. ; ROTH, M. ; WEBER, J. ; WIELAND, R.: Face-to-Face Chip Integration with Full Metal Interface. In: *Proceedings of the Advanced Metallization Conference*, 2002, S. 53–58
- [46] HUR, S.-W. ; LILLIS, J.: Relaxation and Clustering in a Local Search Framework: Application to Linear Placement. In: *Proceedings of the Design Automation Conference (DAC 1999)*, 1999, S. 360–366
- [47] HUR, S.-W. ; LILLIS, J.: Mongrel: Hybrid Techniques for Standard Cell Placement. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 2000)*, 2000, S. 165–170
- [48] IC KNOWLEDGE. *IC Knowledge - History of the Integrated Circuit*. <http://www.icknowledge.com/history/history.html>. 2003
- [49] IM, S. ; BANERJEE, K.: Full Chip Thermal Analysis of Planar (2-D) and Vertically Integrated (3-D) High Performance ICs. In: *Proceedings of the International Electron Devices Meeting (IEDM 2000)*, 2000, S. 727–730
- [50] INFCC200208.133D. *Infineon präsentiert weltweit erstes Chip-Sandwich*. Pressemitteilung. August 2002
- [51] INTEL: Expanding Moores Law - The Exponential Opportunity. In: ftp://download.intel.com/labs/eml/download/EML_opportunity.pdf (2002), Herbst (Update)
- [52] ITRS. *International Technology Roadmap for Semiconductors, Design*. http://public.itrs.net/Files/1999_SIA_Roadmap/Design.pdf. 1999
- [53] ITRS. *International Technology Roadmap for Semiconductors, Interconnect*. <http://public.itrs.net/Files/2001ITRS/Interconnect.pdf>. 2001
- [54] ITRS. *International Technology Roadmap for Semiconductors, Process Integration, Devices, and Structures and Emerging Research Devices*. <http://public.itrs.net/Files/2001ITRS/PIDS.pdf>. 2001
- [55] ITRS. *International Technology Roadmap for Semiconductors, Update 2002*. <http://public.itrs.net/Files/2002Update/2002Update.pdf>. 2002

-
- [56] KARYPIS, G. ; AGGARWAL, R. ; KUMAR, V. ; SHEKHAR, S.: Multilevel Hypergraph Partitioning: Application in VLSI Domain. In: *Proceedings of the Design Automation Conference (DAC 1997)*, 1997, S. 526–529
- [57] KARYPIS, G. ; AGGARWAL, R. ; KUMAR, V. ; SHEKHAR, S.: Multilevel Hypergraph Partitioning: Application in VLSI Domain. In: *IEEE Transactions on VLSI Systems* 7 (1999), März, Nr. 1, S. 69–79
- [58] KARYPIS, G. ; KUMAR, V.: Multilevel k-way Hypergraph Partitioning. In: *Proceedings of the Design Automation Conference (DAC 1999)*, 1999, S. 343–348
- [59] KAYA, I. ; OLBRICH, M. ; BARKE, E.: 3-D Placement Considering Vertical Interconnects. In: *Proceedings of the IEEE International System on Chip Conference (SOCC 2003)*, 2003, S. 257–258
- [60] KERNIGHAN, B. W. ; LIN, S.: An Efficient Heuristic Procedure for Partitioning Graphs. In: *The Bell System Technical Journal* (1970), Februar, S. 291–307
- [61] KING, R. M. ; BANERJEE, P.: ESP: Placement by Simulated Evolution. In: *IEEE Transactions on Computer-Aided Design* 8 (1989), März, Nr. 3, S. 245–256
- [62] KLEINER, M. B. ; KÜHN, S. A. ; RAMM, P. ; WEBER, W.: Thermal Analysis of Vertically Integrated Circuits. In: *Proceedings of the International Electron Devices Meeting (IEDM 1995)*, 1995, S. 487–490
- [63] KLEINER, M. B. ; KÜHN, S. A. ; RAMM, P. ; WEBER, W.: Performance Improvement of the Memory Hierarchy of RISC-Systems by Application of 3-D Technology. In: *IEEE Transactions on Components, Packaging, and Manufacturing Technology* 19 (1996), November, Nr. 4, S. 709–718
- [64] KLEINHANS, J. M. ; SIGL, G. ; JOHANNES, F. M.: GORDIAN: A New Global Optimization / Rectangle Dissection Method for Cell Placement. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1988)*, 1988, S. 506–509
- [65] KLEINHANS, J. M. ; SIGL, G. ; JOHANNES, F. M. ; ANTREICH, K. J.: GORDIAN: VLSI Placement by Quadratic Programming and Slicing Optimization. In: *IEEE Transactions on Computer-Aided Design* 10 (1991), März, Nr. 3, S. 356–365
- [66] KLING, R. M. ; BANERJEE, P.: ESP: A new Standard Cell Placement Package using Simulated Evolution. In: *Proceedings of the Design Automation Conference (DAC 1987)*, 1987, S. 60–66

-
- [67] KLING, R. M. ; BANERJEE, P.: Optimization by Simulated Evolution with Applications to Standard Cell Placement. In: *Proceedings of the Design Automation Conference (DAC 1990)*, 1990, S. 20–25
- [68] KLING, R. M. ; BANERJEE, P.: Empirical and Theoretical Studies of the Simulated Evolution Methods Applied to Standard Cell Placement. In: *IEEE Transactions on Computer-Aided Design* 10 (1991), Oktober, Nr. 10, S. 1303–1315
- [69] KLUMPP, A. ; MERKEL, R. ; WIELAND, R. ; RAMM, P.: Chip-to-Wafer Stacking Technology for 3D System Integration. In: *Proceedings of the Electronic and Technology Conference*, 2003, S. 1080–1083
- [70] KOZMINSKI, K.: Benchmarks for Layout Synthesis - Evolution and Current Status. In: *Proceedings of the Design Automation Conference (DAC 1991)*, 1991, S. 265–270
- [71] KRISHNAMURTHY, B.: An Improved Min-Cut Algorithm for Partitioning VLSI Networks. In: *IEEE Transactions on Computers* C-33 (1984), Mai, S. 438–446
- [72] KÜHN, S. A. ; KLEINER, M. B. ; RAMM, P. ; WEBER, W.: Interconnect Capacitances, Crosstalk, and Signal Delay in Vertically Integrated Circuits. In: *Proceedings of the International Electron Devices Meeting (IEDM 1995)*, 1995, S. 249–252
- [73] LEE, K. W. ; NAKAMURA, T. ; ONO, T. ; YAMADA, Y. ; MIZUKUSA, T. ; HASHIMOTO, H. ; PARK, K. T. ; KURINO, H. ; KOYANAGI, M.: Three-Dimensional Shared Memory Fabricated Using Wafer Stacking Technology. In: *Proceedings of the International Electron Devices Meeting*, 2000, S. 165–168
- [74] LEE, T. *The Case for 3-D Microelectronics*. Whitepaper Matrix Semiconductors, <http://www.matrixsemi.com/files/10074901220.pdf>. Dezember 2001
- [75] LEHNER, G.: *Elektromagnetische Feldtheorie*. 3. Auflage. Springer Verlag, Berlin, Heidelberg, New York, 1996
- [76] LENGAUER, T.: *Combinatorial algorithms for integrated circuit layout*. Teubner, Stuttgart; Wiley & Sons, Chichester, 1990
- [77] LU, J.-Q. ; KWON, Y. ; RAJAGOPALAN, G. ; GUPTA, M. ; MCMAHON, J. ; LEE, K.-W. ; KRAFT, R. P. ; McDONALD, J. F. ; CALE, T. S. ; GUTMANN, R. J. ; XU, B. ; EISENBRAUN, E. ; CASTRACANE, J. ; KALOYEROS, A.: A Wafer-Scale 3D IC Technology Platform using Dielectric Bonding Glues and

- Copper Damascene Patterned Inter-Wafer Interconnects. In: *Proceedings of the IEEE International Interconnect Technology Conference (IITC 2002)*, 2002, S. 78–80
- [78] MADDEN, P. H.: Reporting of Standard Cell Placement Results. In: *Proceedings of the International Symposium on Physical Design (ISPD 2001)*, 2001, S. 30–35
- [79] MALLELA, L. K.: Clustering based Simulated Annealing for Standard Cell Placement. In: *Proceedings of the Design Automation Conference (DAC 1988)*, 1988, S. 312–317
- [80] MALONNEK, C. ; OLBRICH, M. ; BARKE, E.: A New Placement Algorithm for an Interconnect Centric Design Flow. In: *Proceedings of the International ASIC/SOC Conference*, 2002, S. 416–420
- [81] MANGOLD, T. ; GULDE, P. ; NEUMANN, G. ; RUSSEK, P.: A Multichip Module Integration Technology on Silicon Substrate for High Frequency Applications. In: *Digest of Papers: Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 1998, S. 181–184
- [82] MEINDL, J. D.: Beyond Moore's Law: The Interconnect Era. In: *Computing in Science & Computing* 5 (2003), Januar-Februar, Nr. 1, S. 20–24
- [83] MEINDL, J. D.: Interconnect Opportunities for Gigascale Integration. In: *IEEE Micro* 23 (2003), Mai-Juni, Nr. 3, S. 28–35
- [84] MO, F. ; TABBARA, A. ; BRAYTON, R. K.: A Force-Directed Macro-Cell Placer. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 2000)*, 2000, S. 177–180
- [85] MO, F. ; TABBARA, A. ; BRAYTON, R. K.: A Timing-driven Macro-cell Placement Algorithm. In: *Proceedings of the International Conference on Computer Design (ICCD 2001)*, 2001, S. 322–327
- [86] MOORE, G. E.: Cramming more components onto integrated circuits. In: *Electronics* 38 (1965), 19. April, Nr. 8
- [87] MOORE, G. E.: The Role of Fairchild in Silicon Technology in the Early Days of "Silicon Valley". In: *Proceedings of the IEEE* 86 (1998), Januar, Nr. 1, S. 53–62
- [88] OHMURA, M.: An Initial Placement Algorithm for 3-D VLSI. In: *Proceedings of the International Symposium on Circuits and Systems* Bd. 6, 1998, S. 195–198

-
- [89] ONODERA, H. ; TANIGUCHI, Y. ; TAMARU, K.: Branch-and-Bound Placement for Building Block Layout. In: *Proceedings of the Design Automation Conference (DAC 1991)*, 1991, S. 433–439
- [90] OPPENHEIM, A. V. ; SCHAFER, R. W.: *Zeitdiskrete Signalverarbeitung*. 3., durchgesehene Auflage. R. Oldenbourg Verlag, München, Wien, 1999
- [91] OTTEN, R. H. J. M. ; STRAVERS, P.: Challenges in Physical Chip Design. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 2000)*, 2000, S. 84–91
- [92] OU, S.-L. ; PEDRAM, M.: Timing-driven Placement Based on Partitioning with Dynamic Cut-net Control. In: *Proceedings of the Design Automation Conference (DAC 2000)*, 2000, S. 472–476
- [93] RAHMAN, A. ; FAN, A. ; CHUNG, J. ; REIF, R.: Wire-Length Distribution of Three-Dimensional Integrated Circuits. In: *Proceedings of the IEEE International Interconnect Technology Conference (IITC 1999)*, 1999, S. 233–235
- [94] RAHMAN, A. ; FAN, A. ; REIF, R.: Comparison of Key Performance Metrics in Two- and Three-Dimensional Integrated Circuits. In: *Proceedings of the IEEE International Interconnect Technology Conference (IITC 2000)*, 2000, S. 18–20
- [95] RAHMAN, A. ; REIF, R.: Thermal Analysis of Three-Dimensional (3-D) Integrated Circuits (ICs). In: *Proceedings of the IEEE International Interconnect Technology Conference (IITC 2001)*, 2001, S. 157–159
- [96] RAMM, P. ; BONFERT, D. ; ECKE, R. ; IBERL, F. ; KLUMPP, A. ; RIEDEL, S. ; SCHULZ, S. E. ; WIELAND, R. ; GESSNER, T.: InterChip Via Technology by using Copper for Vertical System Integration. In: *Proceedings of the Advanced Metallization Conference*, 2001, S. 159 ff.
- [97] RAMM, P. ; BONFERT, D. ; GIESER, H. ; HAUFE, J. ; IBERL, F. ; KLUMPP, A. ; KUX, A. ; WIELAND, R.: InterChip Via Technology for Vertical System Integration. In: *Proceedings of the International Interconnect Technology Conference*, 2001, S. 160–162
- [98] RAMM, P. ; KLUMPP, A. ; MERKEL, R. ; WEBER, J. ; WIELAND, R. ; OSTMANN, A. ; WOLF, J.: 3D System Integration Technologies. In: *Proceedings of the Materials Research Society Spring Meeting 2003*, 2003, S. 3–14
- [99] REIF, R. ; FAN, A. ; CHEN, K. ; DAS, S.: Fabrication Technologies for Three-Dimensional Integrated Circuits. In: *Proceedings of the International Symposium on Quality Electronic Design (ISQED 2002)*, 2002, S. 33–37

-
- [100] SAIT, S. M. ; YOUSSEF, H.: *VLSI Physical Design Automation*. McGraw-Hill, London, 1995
- [101] SAIT, S. M. ; YOUSSEF, H. ; NASSAR, K. ; BENTEN, M. S. T.: Timing Driven Genetic Algorithm for Standard-cell Placement. In: *Proceedings of the IEEE Annual International Phoenix Conference on Computers and Communications*, 1995, S. 403–409
- [102] SALEWSKI, S. ; BARKE, E.: An Upper Bound for 3D Slicing Floorplans. In: *Proceedings of the Asia and South Pacific Design Automation Conference and the International VLSI Design Conference*, 2002, S. 567–572
- [103] SALEWSKI, S. ; OLBRICH, M. ; BARKE, E.: LIFT: Ein Multi-Layer IC Floorplanning Tool. In: *11. E.I.S.-Workshop: Entwurf integrierter Schaltungen und Systeme*, 2003, S. 157–162
- [104] SARASWAT, K. C. ; BANERJEE, K. ; JOSHI, A. R. ; KALAVADE, P. ; KAPUR, P. ; SOURI, S. J.: 3-D ICs: Motivation, Performance, Analysis and Technology. In: *Proceedings of the European Solid-State Circuits Conference (ESSCIRC 2000)*, 2000, S. 38–46
- [105] SARASWAT, K. C. ; SOURI, S. J. ; BANERJEE, K. ; KAPUR, P.: Performance Analysis and Technology of 3-D ICs. In: *Proceedings of the International Workshop on System-Level Interconnect Prediction (SLIP 2000)*, 2000, S. 85–90
- [106] SARASWAT, K. C. ; SOURI, S. J. ; SUBRAMANIAN, V. ; JOSHI, A. R. ; WANG, A. W.: Novel 3-D Structures. In: *Proceedings of the International Silicon on Insulator Conference*, 1999, S. 54–55
- [107] SARRAFZADEH, M. ; KNOL, D. ; TELLEZ, G.: Unification of Budgeting and Placement. In: *Proceedings of the Design Automation Conference (DAC 1997)*, 1997, S. 758–761
- [108] SARRAFZADEH, M. ; WANG, M.: NRG: Global and Detailed Placement. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1997)*, 1997, S. 532–537
- [109] SARRAFZADEH, M. ; WANG, M. ; YANG, X.: *Modern Placement Techniques*. Kluwer Academic Publishers, Boston, 2003
- [110] SARRAFZADEH, M. ; WONG, C. K.: *An Introduction to VLSI Physical Design*. McGraw-Hill, New York, 1996

- [111] SCHNECKE, V. ; VORNBERGER, O.: Genetic Design of VLSI-Layouts. In: *Proceedings of the International Conference on Genetic Algorithms in Engineering Systems: Innovations and Applications (GALESIA 1995)*, 1995, S. 430–435
- [112] SECHEN, C.: Chip-Planning, Placement, and Global Routing of Macro/Custom Cell Integrated Circuits Using Simulated Annealing. In: *Proceedings of the Design Automation Conference (DAC 1988)*, 1988, S. 73–80
- [113] SECHEN, C.: *VLSI Placement and Global Routing Using Simulated Annealing*. Kluwer Academic Publishers, Boston, 1988
- [114] SECHEN, C. ; BRAUN, D. ; SANGIOVANNI-VINCENNELLI, A.: ThunderBird: A Complete Standard Cell Layout Package. In: *IEEE Journal of Solid-State Circuits* 23 (1988), April, Nr. 2, S. 410–420
- [115] SECHEN, C. ; SANGIOVANNI-VINCENNELLI, A.: The TimberWolf Placement and Routing Package. In: *IEEE Journal of Solid-State Circuits* SC-20 (1985), April, Nr. 2, S. 510–522
- [116] SECHEN, C. ; SANGIOVANNI-VINCENNELLI, A.: TimberWolf3.2: A New Standard Cell Placement and Global Routing Package. In: *Proceedings of the Design Automation Conference (DAC 1986)*, 1986, S. 432–439
- [117] SHAHOOKAR, K. ; MAZUMDER, P.: GASP - A Genetic Algorithm for Standard Cell Placement. In: *Proceedings of the European Design Automation Conference (EDAC 1990)*, 1990, S. 660–664
- [118] SHAHOOKAR, K. ; MAZUMDER, P.: VLSI Cell Placement Techniques. In: *ACM Computing Surveys* 23 (1991), Juni, Nr. 2, S. 143–220
- [119] SIGL, G. ; DOLL, K. ; JOHANNES, F. M.: Analytical Placement: A Linear or a Quadratic Objective Function? In: *Proceedings of the Design Automation Conference (DAC 1991)*, 1991, S. 427–432
- [120] SOURI, S. J. ; BANERJEE, K. ; MEHROTA, A. ; SARASWAT, K. C.: Multiple Si Layer ICs: Motivation, Performance Analysis, and Design Implications. In: *Proceedings of the Design Automation Conference (DAC 2000)*, 2000, S. 213–220
- [121] SOURI, S. J. ; SARASWAT, K. C.: Interconnect Performance Modeling For 3D Integrated Circuits With Multiple Si Layers. In: *Proceedings of the International Conference on Interconnect Technology*, 1999, S. 24–26
- [122] STOKES, J. *Understanding Moore's Law*. <http://www.arstechnica.com/paedia/m/moore/moore-6.html>. 2003

- [123] SUARIS, P. R. ; KEDEM, G.: Quadrisection: A New Approach to Standard Cell Layout. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1987)*, 1987, S. 474–477
- [124] SUN, W.-J. ; SECHEN, C.: Efficient and Effective Placement for Very Large Circuits. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 1993)*, 1993, S. 170–177
- [125] SUN, W.-J. ; SECHEN, C.: Efficient and Effective Placement for Very Large Circuits. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 14 (1995), März, Nr. 3, S. 349–359
- [126] SWARTZ, W. ; SECHEN, C.: Timing Driven Placement for Large Standard Cell Circuits. In: *Proceedings of the Design Automation Conference (DAC 1995)*, 1995, S. 211–215
- [127] TANPRASERT, T.: An Analytical 3-D Placement That Reserves Routing Space. In: *Proceedings of the International Symposium on Circuits and Systems (ISCAS 2000)* Bd. 3, 2000, S. 69–72
- [128] TANPRASERT, T. ; LURSINSAP, C.: A 3-D Global Routing Technique for Routability Assessment. In: *Proceedings of the Asia and Pacific Conference on Circuits and Systems*, 1998, S. 129–132
- [129] TSAI, C.-H. ; KANG, S.-M.: Standard Cell Placement for Even On-Chip Thermal Distribution. In: *Proceedings of the International Symposium on Physical Design (ISPD 1999)*, 1999, S. 179–184
- [130] UNBEHAUEN, R.: *Systemtheorie*. 6., verbesserte Auflage. R. Oldenbourg Verlag, München, Wien, 1993
- [131] VARANELLI, J. M. ; COHOON, J. P.: A Two-Stage Simulated Annealing Methodology. In: *Proceedings of the Fifth Great Lakes Symposium on VLSI (GLSVLSI 1995)*, 1995, S. 50–53
- [132] VYGEN, J.: Algorithms for Large-Scale Flat Placement. In: *Proceedings of the Design Automation Conference (DAC 1997)*, 1997
- [133] WALKER, R. A. ; THOMAS, D. E.: A Model of Design Representation and Synthesis. In: *Proceedings of the Design Automation Conference (DAC 1985)*, 1985, S. 453–459
- [134] WANG, M. ; YANG, X. ; SARRAFZADEH, M.: Dragon2000: Standard-Cell Placement Tool for Large Industry Circuits. In: *Proceedings of the International Conference on Computer-Aided Design (ICCAD 2000)*, 2000, S. 260–263

-
- [135] YILDIZ, M. C. ; MADDEN, P. H.: Global Objectives for Standard Cell Placement. In: *Proceedings of the 11th Great Lakes Symposium on VLSI (GLSVLSI 2001)*, 2001, S. 68–72
- [136] YILDIZ, M. C. ; MADDEN, P. H.: Improved Cut Sequences for Partitioning Based Placement. In: *Proceedings of the Design Automation Conference (DAC 2001)*, 2001, S. 776–779
- [137] YOUSSEF, H. ; SAIT, S. M. ; NASSAR, K. ; BENTEN, M. S. T.: Performance Driven Standard-cell Placement Using the Genetic Algorithm. In: *Proceedings of the Fifth Great Lakes Symposium on VLSI (GLSVLSI 1995)*, 1995, S. 124–127

Lebenslauf

Idris Kaya

geb. am 20.07.1974 in Hannover

verheiratet

Schulbildung

1980 - 1984 Grundschule Suthwiesenstraße Hannover

1984 - 1986 Orientierungsstufe Döhren Hannover

1986 - 1993 Elsa-Brändström-Schule Hannover, Abitur

Studium

1993 - 1999 Universität Hannover

Studium der Elektrotechnik

mit dem Studienschwerpunkt Hochfrequenztechnik

1999 Diplom

Berufstätigkeit

1999 - 2004 Wissenschaftlicher Mitarbeiter

Institut für Mikroelektronische Systeme

Universität Hannover

seit 2004 Entwicklungsingenieur

IBM Deutschland Entwicklung GmbH, Böblingen

