

**Entwurf integrierter analoger Schaltungen  
mit Hilfe symbolischer Methoden**

Lars Hedrich



# **Entwurf integrierter analoger Schaltungen mit Hilfe symbolischer Methoden**

Vom Fachbereich Informatik  
der Universität Hannover

zur Erlangung der *venia legendi* für das Fachgebiet

**Technische Informatik**

angenommene Habilitationsschrift

von

Dr.-Ing. Lars Hedrich  
geboren am 19.2.1966 in Hannover

Hannover 2004

Berichterstatter:  
Prof. Dr.-Ing. K. Antreich  
Prof. Dr.-Ing. W. Mathis

Tag des Vollzugs der Habilitation: 27.2.2004

## Kurzfassung

Der Entwurfsprozess analoger integrierter Schaltungen ist weitaus komplexer als der von digitalen Schaltungen. Für den Entwurf ist wesentlich mehr Erfahrung notwendig. Die Produktivität gemessen in entworfenen Transistoren pro Tag und Kopf ist sehr gering. Andererseits kann durch einen guten Analogentwurf viel Fläche (und damit Kosten) und Leistungsbedarf eingespart werden, da der Chipflächenanteil der analogen Teile nicht unerheblich ist und durch weitere Integration stetig steigt.

Aus diesem Grunde wird in dieser Arbeit neben den allgemeinen Entwurfsvorgängen verstärkt auf neue produktivitätserhöhende rechnergestützte Verfahren zum Entwurf eingegangen werden. Zunächst wird ein Überblick über den Entwurfsablauf mit einer Einführung in den Stand der Technik der Entwurfsautomatisierung gegeben. Die folgenden Abschnitte gehen sehr detailliert auf neue Verfahren zur symbolischen Analyse linearer und nichtlinearer analoger Schaltungen ein. Verschiedene Algorithmen werden vorgestellt und verglichen. Die Anwendung der symbolischen Analyse im Bereich Entwurfseinsicht, Dimensionierung und Verhaltensmodellierung wird erläutert. Erstmals wird eine beispielhafte Dimensionierung basierend auf Optimierung von Gleichungen, die direkt durch nichtlineare und lineare symbolische Analyse aus einer vorgegebenen Schaltungstopologie gewonnen wurden, angegeben. Beispielhafte Abläufe automatischer Entwurfs- und Analysevorgänge werden in Worksheets eines Computeralgebrasystems vorgestellt.

Auf dem Weg zu komplexen, integrierten Systemen wird als nächster Schritt die Verwendung von Verhaltensmodellen auch für analoge Schaltungen erläutert. Erhebliche Anstrengungen auf diesem Gebiet haben in jüngster Zeit zur Entwicklung der Verhaltensbeschreibungssprache VHDL-AMS geführt. Diese Sprache dient zur Modellierung und Spezifikation auf unterschiedlichsten Abstraktionsebenen. Ein Zugang zu VHDL-AMS wird begleitend zur Entwurfsbeschreibung durch Beispiele vermittelt.

Die weiteren Kapitel behandeln den eigentlichen Entwurf bestehend aus Grundlagen zu Transistormodellen, Grundstrukturen für den Analogentwurf, erweiterte Strukturen sowie die Dimensionierung dieser Strukturen. Als konkrete Schaltungsentwürfe werden schließlich Operationsverstärker, Filter in RC-, gmC-, Switched-Capacitor- und Log-Domain-Architektur und einige nichtlineare Schaltungen behandelt.

Stichworte: Integrierte Schaltungen, Schaltungsentwurf, analoge Schaltungen, symbolische Analyse, rechnergestützter Entwurf

## Abstract

The design process of analog integrated circuits is a difficult task. Experienced designers are needed. The productivity measured in terms of transistors per day is very low compared to digital design. However, a good analog design can save much area, power and production costs. Increasing analog chip area as a result from rising integration supports the need for a fast and correct analog design. As a consequence, analog design automation tools are of high interest besides modern design methodologies.

This work starts with an overview of analog design flow explaining the manual and automatic design steps. A detailed description of the state of the art design automation tools and some future directions are given. As a new technique, a fundamental explanation of new linear and nonlinear symbolic analysis methods for analog circuits is given. State of the art algorithms are presented and compared. The usage of symbolic analysis in terms of design insight, sizing and behavioral modeling is explained. A sizing example using sizing equations generated by nonlinear and linear symbolic analysis is given. The equations are generated in a completely automatic way. Some additional computer algebra worksheets incorporate algorithmic details and expressive examples.

The broad usage of behavioral models also for analog circuits is the next step towards complex systems on chip. Combined efforts have led to the standardization and wide usage of the VHDL-AMS hardware description language. This language is explained and design examples are given.

The rest of the work deals with the design process itself consisting of basics of transistor models and their behavior, basic structures of transistor networks, advanced structures and sizing methodologies. Design styles and architectures of operational amplifiers, RC, gmC, switched-capacitor and log-domain filters are explained. Finally some nonlinear circuit topologies are presented and analyzed.

Keywords: Integrated circuits, circuit design, analog circuits, symbolic analysis, electronic design automation



# Inhaltsverzeichnis

<b>Verzeichnis der Formelzeichen</b>	<b>XI</b>
<b>1 Einführung</b>	<b>1</b>
<b>2 Grundlagen und Hilfsmittel des Entwurfs</b>	<b>3</b>
2.1 Entwurfsraum . . . . .	3
2.2 Design-Flow . . . . .	4
2.3 Synthese . . . . .	7
2.3.1 Spezifikation . . . . .	8
2.3.2 Verhaltensmodell-Synthese . . . . .	9
2.3.3 Technologie- und Architekturauswahl . . . . .	10
2.3.4 Topologie-Synthese . . . . .	12
2.3.5 Dimensionierung . . . . .	13
2.3.6 Optimierung . . . . .	15
2.3.7 Entwurfsplan . . . . .	17
2.4 Analyse . . . . .	18
2.4.1 Simulation . . . . .	18
2.4.2 Systemsimulation . . . . .	20
2.4.3 Symbolische Analyse . . . . .	21
2.4.4 Automatische Charakterisierung . . . . .	21
2.4.5 Formale Verifikation . . . . .	21
2.5 Testen . . . . .	22
<b>3 Symbolische Analyse</b>	<b>23</b>
3.1 Schaltungsdarstellung . . . . .	23
3.2 Symbolische Analyse linearer Schaltungen . . . . .	24
3.2.1 Algorithmen . . . . .	25
3.2.1.1 Graphenbasierte Verfahren . . . . .	25
3.2.1.2 Matrixbasierte Verfahren . . . . .	30
3.2.1.2.1 Lokale Vereinfachung vor der Matrixin-	
vertierung . . . . .	32
3.2.1.2.2 Globale Vereinfachung vor der Matrixin-	
vertierung . . . . .	33
3.2.1.3 Vereinfachungsverfahren nach der Erzeugung . .	35
3.2.2 Bewertung . . . . .	35
3.3 Symbolische Analyse nichtlinearer Schaltungen . . . . .	36
3.3.1 Algorithmen . . . . .	37

3.3.1.1	Strukturelle Vereinfachung . . . . .	37
3.3.1.2	Vereinfachung des nichtlinearen Algebra- Differentialgleichungssystems . . . . .	40
3.3.1.2.1	Termorientierte Vereinfachungsoperationen	42
3.3.1.2.2	Globale Vereinfachungsoperationen . . . . .	43
3.3.1.3	Vereinfachung nach der Auflösung . . . . .	45
3.3.2	Beispiel . . . . .	46
3.3.3	Verhaltensmodellgenerierung . . . . .	49
3.3.4	Bewertung . . . . .	51
<b>4</b>	<b>Verhaltensbeschreibungssprachen</b>	<b>52</b>
4.1	Modellierung . . . . .	52
4.1.1	Historie der Modellierung . . . . .	52
4.1.2	Modellierungsmethodik . . . . .	53
4.2	VHDL-AMS . . . . .	54
4.2.1	Umfang und Eigenschaften . . . . .	55
4.2.2	Beispiel Operationsverstärker . . . . .	56
<b>5</b>	<b>Bauelementmodelle</b>	<b>58</b>
5.1	Transistormodelle . . . . .	58
5.1.1	MOS-Transistor . . . . .	59
5.1.1.1	Ersatzschaltbilder . . . . .	62
5.1.1.2	Rauschen . . . . .	64
5.1.1.2.1	Maßzahlen . . . . .	65
5.1.1.2.2	Rauschen des MOS-Transistors . . . . .	65
5.1.2	Bipolar-Transistor . . . . .	66
5.1.2.1	Großsignalmodell . . . . .	68
5.1.2.2	Kleinsignal-Ersatzschaltbild . . . . .	69
5.1.2.3	Rauschen des Bipolartransistors . . . . .	70
5.2	Weitere integrierte Bauelemente . . . . .	71
5.2.1	Widerstand . . . . .	71
5.2.2	Kapazitäten . . . . .	72
5.2.3	Induktivitäten . . . . .	73
5.2.4	Diode . . . . .	73
<b>6</b>	<b>Struktureller Entwurf</b>	<b>75</b>
6.1	Verstärkungsstufen . . . . .	75
6.1.1	Eintransistorverstärker (Sourceschaltung) . . . . .	75
6.1.2	Kaskodeschaltung (Gateschaltung) . . . . .	78

---

6.1.3	Sourcefolger / DC-Level-Shifter . . . . .	81
6.2	Kaskodestufen . . . . .	82
6.3	Stromspiegel . . . . .	84
6.3.1	Verbesserte Stromspiegel . . . . .	85
6.3.2	Verhaltensmodell . . . . .	87
6.4	Aktive Last / Stromquelle . . . . .	88
6.5	Differenzverstärker . . . . .	89
6.6	Bias-Netzwerke . . . . .	91
6.7	Endstufen . . . . .	92
6.8	Rückkopplung . . . . .	96
6.8.1	Miller-Effekt . . . . .	99
6.9	Steuerungsgrößen . . . . .	100
6.10	Komposition . . . . .	100
<b>7</b>	<b>Dimensionierung</b>	<b>102</b>
7.1	Manuelle Dimensionierung am Beispiel eines Verstärkers . .	102
7.1.1	ÜTF . . . . .	106
7.2	Halbautomatische Dimensionierung mit Hilfe der symboli- schen Analyse . . . . .	110
7.2.1	Beispiel: Differenzverstärker mit Kaskodelast . . . . .	111
7.3	Spezielle Problemstellungen der Dimensionierung . . . . .	114
7.3.1	Polsplitting . . . . .	115
7.3.1.1	Bodediagramm . . . . .	115
7.3.1.2	Phasenreserve . . . . .	115
7.3.1.3	Pol-Nullstellen-Lage . . . . .	117
7.3.2	Rauschanalyse . . . . .	119
7.3.3	Robuster Entwurf . . . . .	120
7.3.4	Sensitivity . . . . .	122
7.3.5	Matching . . . . .	124
<b>8</b>	<b>Operationsverstärker</b>	<b>126</b>
8.1	Eigenschaften . . . . .	126
8.2	Struktur und Dimensionierung . . . . .	126
8.2.1	Eingangsstufe . . . . .	128
8.2.2	Zweistufiger OP . . . . .	130
8.2.2.1	Kompensation . . . . .	132
8.2.3	Zweistufiger OTA . . . . .	137
8.2.4	Ausgangsstufe . . . . .	137
8.2.5	Verhaltensmodell . . . . .	138

<b>9</b>	<b>Lineare Schaltungen</b>	<b>144</b>
9.1	Integrator, Addierer . . . . .	144
9.2	Aktive Filter . . . . .	146
9.2.1	Grundsätzliche Charakterisierung . . . . .	147
9.2.2	Tiefpass-Hochpass, Tiefpass-Bandpass und - Bandsperr Transformation . . . . .	148
9.2.3	Filter-Realisierungen . . . . .	148
9.2.4	Biquads . . . . .	149
9.2.5	LRC-Netzwerke . . . . .	151
9.2.6	Zustandsvariablen-Filter . . . . .	152
9.3	SC-Schaltungen . . . . .	155
9.3.1	Z-Transformation . . . . .	156
9.3.2	Realisierung . . . . .	158
9.3.3	FPAAs . . . . .	160
9.4	gmC-Schaltungen . . . . .	161
9.5	Log-Domain-Filter . . . . .	165
<b>10</b>	<b>Nichtlineare Schaltungen</b>	<b>169</b>
10.1	Multiplizierer . . . . .	169
10.1.1	MOS-Multiplizierer . . . . .	170
10.1.2	Bipolar-Multiplizierer . . . . .	173
10.2	ADC, DAC . . . . .	174
10.2.1	Abtast-Halte-Glied . . . . .	175
10.2.2	DAC . . . . .	176
10.2.3	ADC . . . . .	178
10.3	Bandgap-Spannungsreferenz . . . . .	178
<b>11</b>	<b>Zusammenfassung</b>	<b>181</b>
	<b>Anhang</b>	<b>182</b>
<b>A</b>	<b>Maple-Worksheets</b>	<b>182</b>
A.1	Lineare symbolische Analyse einer Sourceschaltung . . . . .	182
A.2	Nichtlineare symbolische Analyse eines zweistufigen OPs . . . . .	186
A.3	Sourceschaltung . . . . .	196
A.4	Kaskodestufe . . . . .	200
A.5	Automatische Dimensionierung eines OTAs . . . . .	205
	<b>Literaturverzeichnis</b>	<b>229</b>

# Verzeichnis der Formelzeichen

## Allgemeine Vereinbarungen

$\vec{x}$	Vektor
$\vec{x}^T$	Transponierter Vektor
$\underline{X}$	Matrix
$\underline{X}^T$	Transponierte Matrix
$x, x(t)$	Variable im Zeitbereich
$\dot{x} = \frac{dx(t)}{dt}$	Ableitung nach der Zeit
$\Delta x$	Schrittweite
$X$	Variable im Frequenzbereich
$f(\cdot)$	Reelle Funktion
$\vec{f}(\cdot)$	Vektor von reellen Funktionen
$F(\cdot)$	Komplexe Funktion
$Re(\cdot)$	Realteil einer komplexen Zahl
$Im(\cdot)$	Imaginärteil einer komplexen Zahl
$\vec{0}$	Nullvektor
$\underline{I}$	Einheitsmatrix
$\mathbf{N}$	Menge der natürlichen Zahlen
$\mathbf{R}$	Menge der reellen Zahlen

## Lateinische Buchstaben

$a_0, a_1, \dots$	Koeffizienten des Zählerpolynoms einer Übertragungsfunktion
$A$	Fläche
$A_0$	Verstärkungskonstante
$b_0, b_1, \dots$	Koeffizienten des Nennerpolynoms einer Übertragungsfunktion
$C$	Kapazitätswert
$C_{ox}$	Oxidkapazität des MOS-Transistors
$C'_{ox}$	Auf die Gate-Fläche bezogene Oxidkapazität des MOS-Transistors
$D$	Diffusionskonstante
$f_{-3dB}$	Grenzfrequenz
$f_T$	Transistfrequenz
$F$	Rauschzahl
$g_m$	Transistorsteilheit
$GBW$	Gain Bandwith, Verstärkungs-Bandbreite-Produkt
$H(j\omega)$	Übertragungsfunktion im Frequenzbereich
$i, I$	Strom
$j$	Imaginäre Einheit

$k$	Klirrfaktor
$kT$	Produkt aus Boltzmannkonstante und Temperatur
$KF$	Technologieabhängige Konstante des Funkelrauschens
$L$	Kanallänge des MOS-Transistors
$m_o$	Zählergrad einer Übertragungsfunktion
$M$	MOS-Transistor
$n_i$	Intrinsische Ladungsträgerzahl
$n_o$	Ordnung eines Systems, Nennergrad einer Übertragungsfunktion
$n_p$	Anzahl der Parameter
$N$	Dotierungskonzentration
$p$	Parameter
$\vec{p}$	Parametervektor
$q$	Elementarladung
$R$	Widerstandswert
$R_{\square}$	Schichtwiderstand
$r$	Differentieller Widerstandswert
$s$	Komplexe Frequenzvariable der Laplace-Transformation
$S$	Spannbaum
$SNR$	Signal-Rausch-Abstand
$SR$	Slew-Rate (Anstiegsgeschwindigkeit)
$t$	Zeit
$t_{ox}$	Oxiddicke
$u, U$	Spannung
$U_q$	Quellenspannung
$V_{TO}$	Turn-On-Spannung
$V_T$	Schwellspannung (Threshold voltage)
$W$	Kanalbreite des MOS-Transistors
$y, Y$	Komplexer Leitwert
$z$	Vorzeichenvariable
$Z$	Komplexer Widerstand

### Griechische Buchstaben

$\alpha$	Skalare Konstante
$\beta$	Stromverstärkung
$\delta$	Fehlergröße
$\epsilon_{ox}$	Dielektrizitätskonstante des Oxids
$\Phi_S$	Oberflächenpotential
$\epsilon$	Fehler
$\lambda$	Eigenwert
$\mu$	Beweglichkeit im Kanal
$\omega$	Kreisfrequenz

**Tiefgestellte Indizes**

<i>-3db</i>	3dB Grenzfrequenz
<i>min</i>	Minimaler Wert
<i>max</i>	Maximaler Wert
<i>mit</i>	Mittlerer Wert
<i>rel</i>	Relativer Wert





# 1 Einführung

Der ständig anwachsende Markt für integrierte Schaltungen stellt trotz zunehmender Digitalisierung hohe Anforderungen an analoge Schaltungen, da diese die Schnittstellen zu physikalischen Medien wie Radiowellen-Übertragung oder Akustik herstellen. Die Leistungsanforderungen wachsen dabei stetig an, zum Beispiel in Bezug auf Frequenz (Mobiltelefon 2,7 GHz) Integrationsgrad (die komplette analoge Schaltung auf einem Chip möglichst zusammen mit dem Digitalteil) und Platzbedarf. Der Flächenverbrauch analoger Schaltungsteile bei Mixed-Signal Designs liegt heute bei 10% bis 30% von der Gesamtchipfläche. Nicht zuletzt zeigen auch digitale Schaltungen bei hohen Frequenzen wieder ihr analoges "Gesicht". Dies äußert sich zum Beispiel darin, dass Firmen ganze Abteilungen allein mit der Charakterisierung - das heißt der Ermittlung analoger Kenngrößen wie Verzögerung usw. - ihrer digitalen Schaltungsteile beschäftigen.

Der Entwurf analoger Schaltungen ist weitaus komplexer als der von digitalen. Es ist wesentlich mehr Erfahrung notwendig. Die Produktivität gemessen in entworfenen Transistoren pro Tag und Kopf ist sehr gering. Andererseits kann durch einen guten Analogentwurf viel Fläche (und damit Kosten) und Strombedarf eingespart werden, da der Chipflächenanteil der analogen Teile nicht unerheblich ist. Aus diesem Grunde soll hier neben den allgemeinen Entwurfsvorgängen verstärkt auf neue produktivitätserhöhende rechnergestützte Verfahren zum Entwurf eingegangen werden. Die symbolische Analyse wird dabei besonders herausgehoben. Wichtig ist ebenfalls die Entwicklung auf dem Gebiet der Modellierung. Erhebliche Anstrengungen auf diesem Gebiet haben in jüngster Zeit zur Entwicklung der Verhaltensbeschreibungssprache VHDL-AMS geführt. Diese wird begleitend erläutert.

In der elektronischen Version dieser Arbeit können Beispiele zur symbolischen Analyse, Simulation und anderen Verfahren interaktiv bearbeitet werden. Die Papierversion enthält einige dieser Beispiele als Anhang.

## Historie

Nach der Entwicklung des Bipolar-Transistors 1947 (Bild 1.1) war der Weg frei für den Einsatz von Elektronik in vielseitigen Anwendungsgebieten. Elektronische Schaltungen wurden zunächst frei verdrahtet und später auf sogenannten Platinen untergebracht. Allerdings waren diese Schaltungen recht groß. Die Computer, die die erste Mondlandung 1969 steuerten, hatten doppeltes Kleiderschrankformat. Sie waren vollständig aus diskreten Transistoren aufgebaut und konnten wenig leisten. Zur besseren Bedienung konnte man jedes einzelne Bit in der CPU über Schalter und Lampen kontrollieren.

Einen wesentlichen Fortschritt brachte die erste integrierte Schaltung. Sie wurde 1958 bei der Firma Texas-Instruments entwickelt. Bald darauf wurden Standard-Logikschaltkreise als integrierte Schaltungen realisiert, die zum Teil heute noch erhältlich sind (7400-Serie, 4000-Serie). Damit ver-

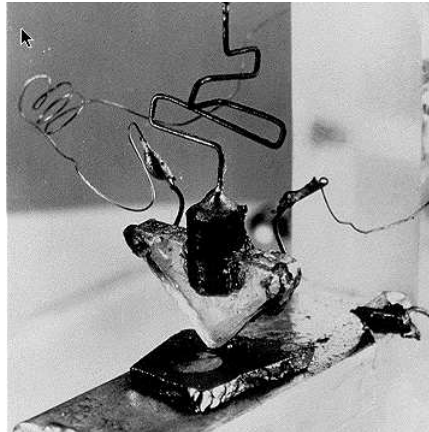


Bild 1.1: Erster Transistor von 1947 von J. Bardeen, W. Brattain und W. Shockley

bunden war eine Massenproduktion, die sehr günstige Preise der Schaltungen zur Folge hatte. Nun setzte ein rasanter Prozess ein, der insbesondere durch die Integration von vielen Transistoren auf kleinem Raum die Digitaltechnik förderte.

1973 wurde das erste Analogsimulationsprogramm für integrierte Schaltungen entwickelt: SPICE [NagPed73]. Damit begann der Siegeszug von SPICE, das bis heute akademisch und kommerziell verwendet wird. Es stellt noch heute einen Quasi-Standard für die Simulation dar. SPICE wird sowohl für analoge Schaltungen als auch beispielsweise für die Bestimmung von Laufzeiten bei digitalen Schaltungen verwendet.

In jüngerer Zeit ist ein Großteil analoger Funktionalität durch digitale Schaltungen ersetzt worden. Der Vorteil, dass analoge Schaltungen für bestimmte Funktionen wenig Transistoren benötigen (bei Transistorradios wurde früher die Zahl der Transistoren werbewirksam angegeben) ist verschwunden. Die Transistoren können billig in Massen hergestellt werden. Der Nachteil analoger Schaltungen, dass sie schwer zu entwerfen sind, dass sie eventuell abgestimmt werden müssen und dass nur schwer eine Wiederverwendung und ein Aufbau einer Bibliothek möglich sind, führte in vielen Fällen zum Einsatz digitaler Schaltungen. In der Musikbranche werden heute z.B. "virtuell analoge" Synthesizer gebaut, die mit digitalen Schaltungen die analoge Klangsynthese früherer Synthesizer-Generationen nachbilden. Das ist billiger, als die ehemaligen Originale nachzubauen. Trotzdem sind in modernen Synthesizern analoge Schaltungen im Ein- und Ausgabebereich zu finden.

Große Herausforderungen und Marktchancen für analoge Schaltungen liegen heute im Hochfrequenzbereich (Mobilfunk), in der Vollintegration (ohne externe Bauteile), im Low-Power-Bereich und in der Leistungselektronik (z.B. KFZ).

## 2 Grundlagen und Hilfsmittel des Entwurfs

In diesem Kapitel sollen die Grundlagen zur Behandlung des Entwurfsproblems gelegt werden. Dazu gehört zum einen die Formalisierung des Entwurfsprozesses, und damit die Einführung von Hilfsmitteln wie dem Y-Diagramm, und zum anderen der eigentliche Design-Ablauf. Dabei wird die heute verwendete Aufgliederung in automatische und manuelle Entwurfschritte vorgestellt.

### 2.1 Entwurfsraum

Der Entwurf einer analogen integrierten Schaltung kann in verschiedene Teilaufgaben gegliedert werden. Die gesamte Schaltung wird nicht in einem Schritt entworfen, sondern auf mehreren Abstraktionsstufen oder -ebenen aus immer größer und konkreter werdenden Einheiten zusammengesetzt (Bottom-Up-Entwurf) oder durch Verfeinerung in immer kleinere Einheiten differenziert (Top-Down-Entwurf). Auf jeder Abstraktionsebene kann der Entwurf strukturell, physikalisch oder funktionell beschrieben werden. Diese Beschreibungsarten werden als Sichten eines Entwurfs bezeichnet.

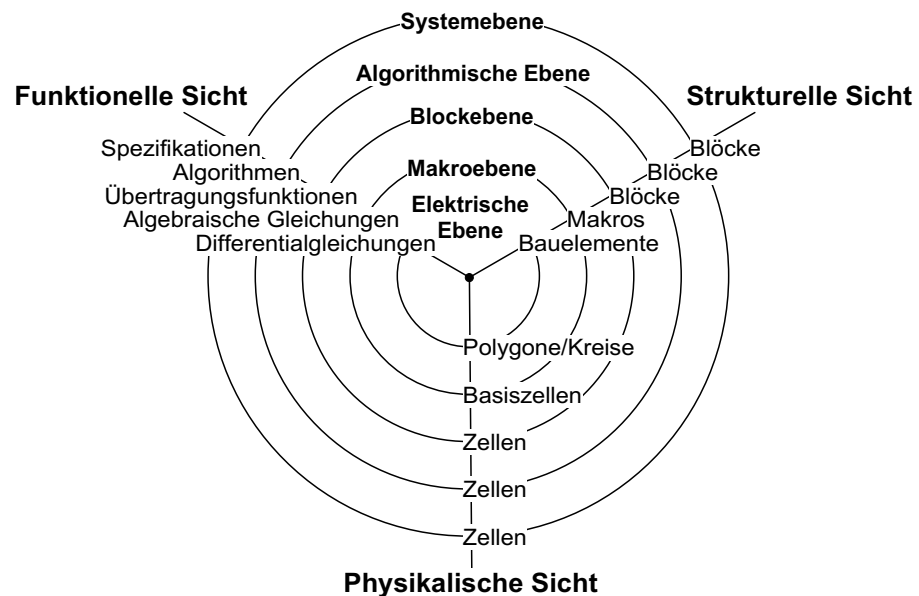


Bild 2.1: Y-Diagramm für den Entwurf analoger integrierter Schaltungen

#### Y-Diagramm

Zur Visualisierung und Systematisierung der Abstraktionsebenen und Sichten dient das Y-Diagramm (Bild 2.1). Die Kreise des Y-Diagramms symbolisieren die Abstraktionsebenen. Der Abstraktionsgrad steigt vom Zentrum nach außen hin an. Dies sind nicht die Hierarchiestufen eines Entwurfs. Die Hierarchie kann als eine weitere Eigenschaft eines Entwurfs aufgefasst werden. Sie ist ein Hilfsmittel, um die Daten für den Entwurf übersichtlicher und kleiner zu halten.

Die drei in Y-Form angeordneten Achsen repräsentieren die Sichten eines Entwurfs.

- Funktionelle Sicht:  
Verhaltensbeschreibung oder funktionelle Beschreibung einer Schaltung mittels Gleichungen, Funktionen, Algorithmen
- Strukturelle Sicht:  
Beschreibung einer Schaltung mittels Komponenten und Verbindungen
- Physikalische Sicht:  
Layout, das heißt geometrische Darstellung der physikalischen Realisierung der Schaltung

Jedes Stadium eines Entwurfs kann einem Schnittpunkt einer der Achsen mit einem der konzentrischen Kreise zugeordnet werden.

Das Y-Diagramm ist ursprünglich für den Entwurf digitaler integrierter Schaltungen entwickelt worden [Gajski88]. Für analoge Schaltungen muss es an deren spezielle Abstraktionsebenen angepasst werden (Bild 2.1). Tabelle 2.1 gibt einige Beispiele zu den fünf unterschiedlichen Abstraktionsebenen.

<b>Ebene:</b>	Systemebene	Algorithmische Ebene	Blockebene	Makroebene	Elektrische Ebene
<b>Beispiele:</b>	Radio, Empfänger	Filter, ADC, DAC	Addierer, Integrierer, Tiefpass, OP	Differenzverstärker, Stromspiegel	Transistoren, Dioden

Tabelle 2.1: Beispiele für die Ebenen des Y-Diagramms

In Bild 2.2 ist beispielhaft ein Operationsverstärker (OP) in drei Sichten dargestellt. Die in Bild 2.2 b und c wiedergegebenen Entwürfe sind auf der elektrischen Ebene anzusiedeln, während Bild 2.2 a den Operationsverstärker auf Blockebene darstellt.

## 2.2 Design-Flow

Der Entwurf einer integrierten Schaltung beginnt mit einer Spezifikation. Diese ist im Y-Diagramm auf Systemebene in funktioneller Sicht angeordnet. Der Weg des Entwurfs durch das Y-Diagramm zum Ziel auf elektrischer Ebene in physikalischer Sicht ist in Bild 2.3 dargestellt. Dieser Weg

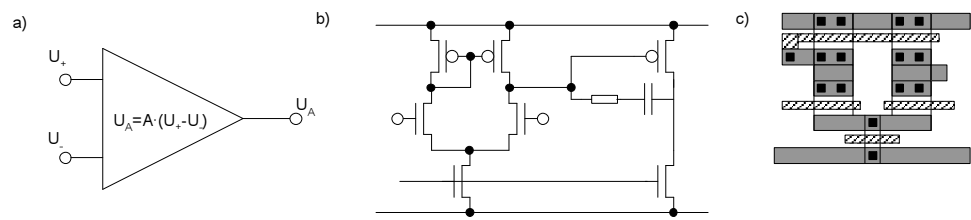


Bild 2.2: Operationsverstärker in a: funktioneller, b: struktureller und c: physikalischer Sicht

symbolisiert den Design-Flow. Als Design-Flow bezeichnet man die Folge von Entwurfstätigkeiten, Zwischenstationen und Überprüfungen, die bis zum fertigen Layout erfolgen. Er wird in der Regel als Abfolge von Entwurfstätigkeiten dargestellt (Bild 2.4).

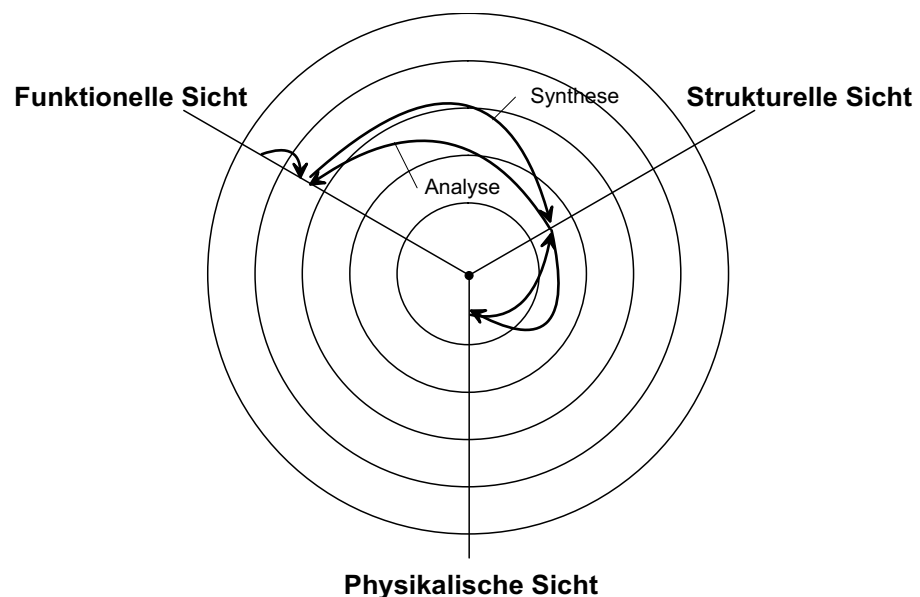


Bild 2.3: Design-Flow mit Stationen im Y-Diagramm

Synthese	Entwurfsvorgänge lassen sich in die Kategorien Synthese (generierende Aktivitäten) und Analyse (überprüfende Aktivitäten) einteilen.
Analyse	
Bibliotheken	Ein wichtiger Schritt beim Entwurf kann die Entnahme von Teilen der Schaltung aus Bibliotheken, die vorher entworfene Teile enthalten, sein. Hierdurch kann ein erheblicher Teil der Entwurfskosten und -zeit eingespart werden.
Top-Down	Mit Top-Down-Design-Flow wird das Vorgehen bezeichnet, von der Spezifikation bis zum fertigen Layout das Design immer weiter zu verfeinern. Dies entspricht prinzipiell dem in Bild 2.4 angegebenen Flow, wenn die Bibliotheken nicht verwendet werden.
Bottom-Up	Beim Bottom-Up-Design-Flow wird auf der elektrischen Ebene im Y-

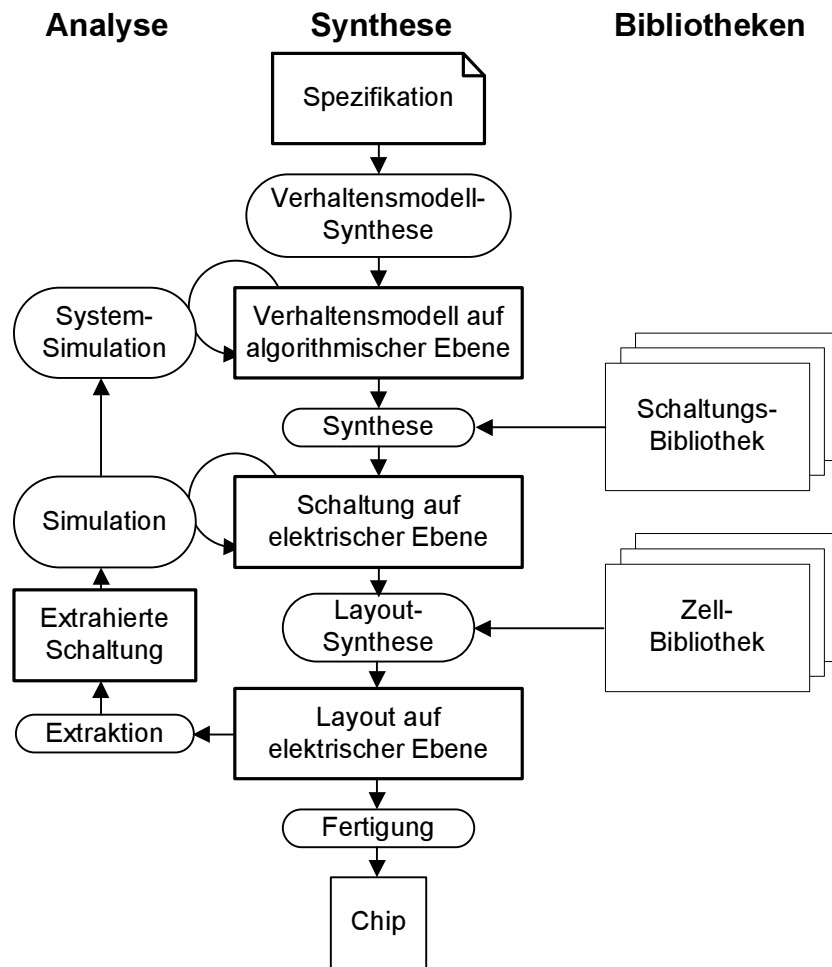


Bild 2.4: Design-Flow

Diagramm gestartet und eine sehr kleine Schaltung - z.B. ein Stromspiegel - entworfen. So wird von unterschiedlichen Schaltungstypen eine Bibliothek zusammengestellt. Eine Ebene höher werden dann aus diesen Schaltungen Makroblöcke zusammengesetzt und diese wieder in eine Bibliothek geschrieben. Dies setzt sich so fort, bis eine Schaltung entsprechend der Spezifikation entstanden ist.

Meet-in-the-Middle

Dies entspricht einer Verbindung beider Verfahren. Auf niederen Ebenen wird der Bottom-Up-Design-Flow verwendet, auf höheren der Top-Down-Design-Flow. Dies ist der am häufigsten verwendete Design-Flow für digitale Schaltungen (Bild 2.4). Für analoge Schaltungen ist der Top-Down-Design-Flow üblich.

CAD-Werkzeuge

In allen Schritten des Design-Flows können CAD-Werkzeuge zur Automatisierung des Entwurfs eingesetzt werden. Dies geschieht jedoch gerade bei analogen Schaltungen im allgemeinen nur bei der Analyse. Ein wesentlicher Grund dafür ist die Komplexität des Entwurfsvorgangs bei analogen Schaltungen. Es ist viel mehr Erfahrung und Expertenwissen notwendig als bei

digitalen Schaltungen. Die CAD-Werkzeuge gewinnen jedoch auch im analogen Bereich zunehmend an Bedeutung. Deshalb soll auf diese Hilfsmittel in den nächsten Abschnitten etwas genauer eingegangen werden.

## 2.3 Synthese

Die Synthese erzeugt durch Hinzufügen von Informationen aus einem gegebenen Entwurf einen verfeinerten Entwurf, der dem Entwurfsziel - ein Layout in physikalischer Sicht auf elektrischer Ebene - einen Schritt näher kommt. Damit führt der Vorgang der Synthese im Y-Diagramm einen Ebenen- und/oder einen Sichtwechsel durch.

Die Synthese analoger Schaltungen wird heute manuell durchgeführt, da sich das erforderliche Expertenwissen kaum in automatische Verfahren integrieren lässt und der Parameterraum durch den kontinuierlichen Wertebereich der Bauelementdimensionierungen und -funktionen wesentlich größer als bei digitalen Schaltungen ist.

Synthese-  
vorgänge

Die Vorgänge zur Synthese lassen sich in

- Erstellung einer Spezifikation,
- Verhaltensmodell-Synthese,
- Technologie- und Architekturauswahl,
- Topologie-Synthese und
- Dimensionierung

unterteilen. Das Ergebnis ist eine dimensionierte Netzliste. Befindet sich diese Netzliste auf Transistorebene, muss ein Layout erstellt werden. Dies geschieht durch die in der Regel manuelle

- Layoutsynthese.

Iteration

Ist die zu entwerfende Schaltung komplex, sind Teilschritte der Synthesevorgänge mehrfach auf unterschiedlichen Abstraktionsebenen zu wiederholen. Dies entspricht dem Vorgehen des Top-Down-Design-Flows. Zuerst wird ein Verhaltensmodell entworfen. Dann wird dieses Verhaltensmodell durch einen Topologie-Synthese-Prozess in miteinander verschaltete Subblöcke unterteilt. Diesen werden in einem Dimensionierungsprozess Parameter und damit wieder Spezifikationen - nun auf einer niedrigeren Abstraktionsebene im Y-Diagramm - zugewiesen. Anschließend beginnt der Syntheseprozess für die einzelnen Subblöcke auf der nächsten, niedrigeren Abstraktionsebene (siehe Bild 2.5).

Für die Zukunft wird erwartet, dass durch breite Einführung von synthese-fähigen analogen Verhaltensbeschreibungssprachen, wie z.B. VHDL-AMS, ein Fortschritt bei der automatischen Topologie-Synthese und Dimensionierung erzielt wird.

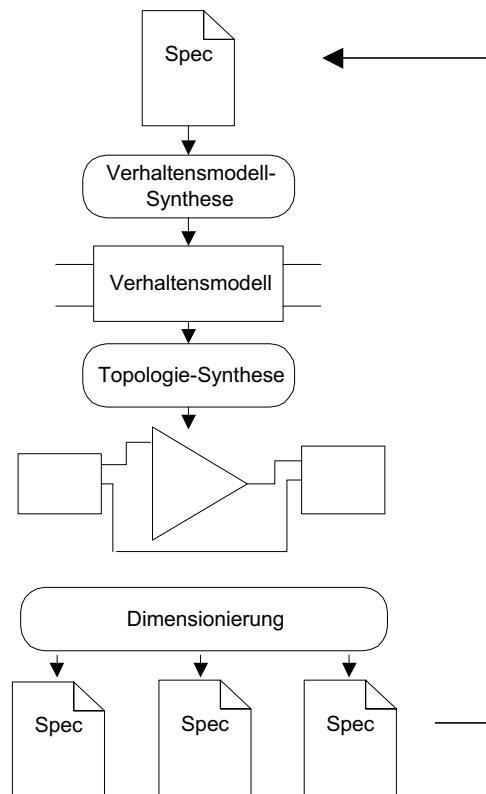


Bild 2.5: Iterativer Top-Down-Syntheseprozess für komplexe Schaltungen

### 2.3.1 Spezifikation

Ausgangspunkt der Schaltungssynthese ist die Spezifikation (funktionelle Sicht, Systemebene). Diese wird in der Regel von Hand erstellt. Sie beschreibt durch Text oder Un-/Gleichungen alle Anforderungen an die zu entwerfende Schaltung.

Eine Spezifikation ist fast immer unvollständig, vieles steht implizit zwischen den Zeilen, wird als selbstverständlich vorausgesetzt oder ist durch andere Regeln vereinbart. Teile einer Spezifikation können sich auch widersprechen. Ein Beispiel für eine Spezifikation ist in Tabelle 2.2 gegeben.

#### Ausführbare Spezifikation

Um die Widersprüchlichkeiten und Unvollständigkeiten der Spezifikation zu vermeiden, versucht man zunehmend, die Spezifikation nicht nur maschinenlesbar zu gestalten, sondern sie in eine ausführbare Form zu bringen. Das hat den Vorteil, dass die entstehende Schaltung schon sehr früh simuliert und auf korrekte Funktion überprüft werden kann.

Für digitale Schaltungen kann mit VHDL heute schon eine ausführbare Spezifikation erstellt werden. Für analoge Schaltungen ist dies sehr viel schwieriger. Insbesondere die Ungleichungen in einer Spezifikation sind nicht einfach zu beschreiben. Grundsätzlich bieten aber analoge Verhaltensbeschreibungssprachen (z.B. VHDL-AMS) die Möglichkeit, auch für Analogschal-



Schaltungstyp	CMOS-OP
Versorgungsspannung	2,25 .. 2,8 V
Verstärkung	$\geq 100000$
Verstärkungs-Bandbreite-Produkt	$\geq 2$ MHz
Phasenreserve	60°
Anstiegsgeschwindigkeit	0,1 V/ $\mu$ s
Maximales weißes Rauschen	$0,1 \cdot 10^{-7} \text{V} / \sqrt{\text{Hz}}$
Maximales rosa Rauschen	$0,5 \cdot 10^{-7} \text{V} / \sqrt{\text{Hz}}$
Gleichtaktunterdrückung	60 dB
Kapazitive Last	5 pF

Tabelle 2.2: Spezifikation eines CMOS-OPs

tungen eine ausführbare Spezifikation zu erstellen.

### 2.3.2 Verhaltensmodell-Synthese

Verhaltensmodell	Ein Verhaltensmodell ist die Beschreibung des Verhaltens (der Funktion) einer Schaltung. Der innere Aufbau bzw. die tatsächliche Realisierung der Schaltung spielt keine Rolle. Das Verhalten wird möglichst abstrakt mit Hilfe von Verhaltensbeschreibungssprachen (HDLs, <b>hardware description languages</b> ) beschrieben. Diese enthalten typischerweise neben Variablen und Zuweisungen auch mächtige Operatoren und Kontrollstrukturen, so dass wie in einer Programmier-Hochsprache das Verhalten der Schaltung einfach und übersichtlich beschrieben werden kann (siehe Kapitel 4).
Synthese	Bei der Verhaltensmodell-Synthese wird aus der Spezifikation ein Verhaltensmodell entwickelt. Dies geschieht in der Regel manuell. Unter Umständen kann ein existierendes Verhaltensmodell an die neuen Spezifikationsdaten angepasst werden. Das Verhaltensmodell kann anschließend simuliert und mit der Spezifikation verglichen werden. Da das Verhaltensmodell durch die Spracheinschränkungen häufig nicht den vollen Umfang der Spezifikation implementieren kann (Ungleichungen, Bereiche), wird durch den Prozess der Verhaltensmodellsynthese schon eine Verfeinerung durchgeführt. Insofern kann das Verhaltensmodell dann nicht als ausführbare Spezifikation bezeichnet werden.  Insbesondere bei der iterativen hierarchischen Synthese einer Schaltung ist die Verwendung von Verhaltensmodellen von Vorteil. Es kann bei jeder Iteration - bevor der ganze Entwurfsprozess abgeschlossen ist - simuliert und damit der aktuelle Entwurf überprüft werden.
Automatische Synthese	Häufig wird ein Verhaltensmodell im Nachhinein aus einer existierenden Schaltung entwickelt, das beim nächsten Entwurf wiederverwendet werden kann. Bei diesem Vorgehen ist auch eine automatische Erzeugung des Verhaltensmodells möglich (siehe Abschnitt 3.2.1). Bei manchen Entwurfsabläufen wird dieser Schritt allerdings übersprungen.

Ziele für den Einsatz eines Verhaltensmodells sind:

- Systemsimulation,
- Beschleunigung der Simulation,
- Formalisierung der Spezifikation und
- Modell für den Kunden.

### 2.3.3 Technologie- und Architekturauswahl

Technologieauswahl

Bevor die Schaltung entworfen werden kann, muss die Technologie (CMOS, Bipolar, BiCMOS ...) festgelegt werden, in der die Schaltung entstehen soll. Dies kann auch schon in der Spezifikation vorgegeben worden sein. Häufig wird die Technologie auch von anderen Schaltungsteilen z.B. einem großen Digitalteil bestimmt. Hier stehen heute im wesentlichen drei Möglichkeiten zur Verfügung:

- Bipolar

Dies ist die ehemalige Standardtechnologie für analoge Schaltungen. Heute ist sie von der CMOS-Technologie weitgehend verdrängt.

- CMOS

Die CMOS-Technologie ist am preiswertesten und wird in der Digitaltechnik fast ausschließlich verwendet. Damit ist sie auch die am weitesten entwickelte Technologie. Das heißt, dass sie in der Regel die feinsten Strukturen ermöglicht.

- BiCMOS

Dies ist die Verbindung beider Technologien. Damit ist die Realisierung sowohl von CMOS-Transistoren als auch von Bipolartransistoren auf demselben Chip möglich. Diese Technologie weist die höchsten Kosten pro Flächeneinheit auf, da mehr Masken und Prozessschritte benötigt werden.

Darüber hinaus gibt es verschiedene Technologien für spezielle Eigenschaften, z.B. hohe Spannung und/oder hohe Leistung.

Ein Vergleich der wichtigsten Eigenschaften für analoge Schaltungen in Bipolar- und CMOS-Technologie ist in Tabelle 2.3 aufgelistet.

Architekturauswahl

Nachdem die Technologie feststeht, kann bestimmt werden, welche Schaltungstechnik/Architektur zum Einsatz kommen soll. Es gibt in diesem Bereich Werkzeuge aus dem universitären Bereich, die bei der Entscheidung in diesen beiden Punkten behilflich sind (z.B. [VaWaRo00]).

Beispiel: Filter

Bei Filtern kann z.B. zwischen Switched-Capacitor-Architektur, gm-C-Architektur oder auch resistiver Operationsverstärker-Architektur gewählt werden.

Eigenschaft	Bipolar	CMOS
Eingangsruhestrom der Transistoren	$I_C/\beta$	0
Matching der Eingangsspannungen $U_{BE/GS}$ für gleichen Ausgangsstrom $I_{C/DS}$ von zwei Transistoren	Gut	10mal schlechter
Sättigungsspannung, ab der der Transistor sich näherungsweise wie eine Stromquelle verhält	wenige $kT/q$	$\sqrt{\frac{i_{DS AP}}{\mu C'_{ox} \frac{W}{L}}}$ , d.h. in der Regel größer als beim Bipolartransistor
Steilheit des Transistors pro Strom durch den Transistor: $g_m/I_{C/DS}$	Immer: $kT/q$ , hoch	In Sättigung: $\sqrt{\frac{2 \frac{W}{L} \mu C'_{ox}}{i_{DS AP}}}$ , niedrig. Im Subthresholdbereich: $kT/q$ , hoch
Transitfrequenz $f_T$ (Grenze bei ca. 10-100 $\mu A$ )	Bei großen Strömen höher	Bei kleinen Strömen höher
Stromaussteuerbereich	5 Dekaden	2 Dekaden
Rauschen	Geringer bei niederohmigen Signalquellen	Geringer bei hochohmigen Signalquellen
Beeinflussbare Design-Parameter	$i_{CE}$	$W, L, i_{DS}$

Tabelle 2.3: Gegenüberstellung von Bipolar- und CMOS-Transistoreigenschaften

Die Vor- und Nachteile der Architekturen sind beispielhaft in Tabelle 2.4 zusammengestellt.

Eigenschaft	Aktiv-RC	gm/C	Switched cap.
Hohe Frequenzen	+	+	-
Linearität	-	-	+
Aliasing	+	+	-
Genauigkeit	$\emptyset$	-	++
Low Power	-	+	$\emptyset$
Flächenbedarf	$\emptyset$	++	+
Benötigte genaue Elemente	R, C	OTA, C	C, Schalter
Weitere benötigte Elemente	OP		OP

Tabelle 2.4: Vergleich von Schaltungsarchitekturen

Aktiv-RC

Entscheidend für die aktiven RC-Filter ist die Verfügbarkeit von genauen,

linearen Widerständen und Kondensatoren. Da diese auf integrierten Schaltungen in der Regel eher ungenau und nichtlinear sind, sind bei den Punkten Linearität und Genauigkeit Abstriche zu machen.

gm/C	Die gm/C-Filter haben als Hauptvoraussetzung einen möglichst über den gesamten Aussteuerbereich linearen OTA (Operational Transconductance Amplifier), da hier die Rückkopplung nicht zur Linearisierung eingesetzt wird. Diese Filter sind deshalb in der Regel etwas ungenauer und nichtlinearer. Allerdings benötigen sie keine Widerstände und sind sehr platzsparend aufzubauen.
Switched-Cap.-Filter	Switched-Capacitor-Filter sind aus der Not der fehlenden präzisen Widerstände entwickelt worden. Die Widerstände werden durch geschaltete Kapazitäten ersetzt. Da damit alle bestimmenden Elemente auf Kapazitäten beruhen, ist die Genauigkeit und das Matching sehr gut beherrschbar. Problematischer sind die Effekte, die durch das getaktete System hervorgerufen werden, wie z.B. Aliasing und zusätzliches Rauschen.

### 2.3.4 Topologie-Synthese

Topologie	Mit der Topologie einer Schaltung wird der strukturelle Aufbau einer Schaltung bestehend aus Bauelementen und Verbindungen bezeichnet. Eine mathematische Beschreibungsform für die Topologie ist z.B. der Graph.
Netzliste	Die Netzliste ist eine maschinenlesbare Beschreibungsform, die die Topologie einer Schaltung vollständig beschreibt. Sie enthält in der Regel zusätzlich die Dimensionierungsinformation der Bauelemente. Bekannteste Form und ein Quasi-Standard ist die SPICE-Netzliste (siehe Bild 2.11).
Schematic	Das Schematic (Schaltplan) einer Schaltung enthält neben der topologischen und Dimensionierungsinformation noch eine geometrische (topografische) Information der Anordnung der Bauelemente und Verbindungsleitungen. Diese wird benötigt, um dem Menschen die Erfassung der Schaltung zu erleichtern, ist jedoch für die Funktion und weitere Synthese der Schaltung ohne Bedeutung.
Topologie-synthese	Die Schaltungsstruktur (Topologie) wird in diesem Syntheseschritt erzeugt. Entweder kann eine bekannte Topologie ausgewählt und bei Bedarf noch verbessert werden oder es muss eine vollständig neue Topologie - in der Regel manuell - erzeugt werden. Im ersten Fall spricht man auch von Topologieselektion.
Topologie-Selektion	Ist eine Bibliothek von Schaltungstopologien vorhanden, so kann aus dieser eine Topologie ausgewählt werden. Dazu ist zu überprüfen, ob die Spezifikation mit diesem Bibliothekselement erfüllt werden kann. Diese Information ist in der Regel mit dem Bibliothekselement abgelegt, da die Schaltung, wenn sie in der Bibliothek vorhanden ist, schon einmal dimensioniert und simuliert/gemessen wurde.

Obwohl in der Bibliothek häufig vollständig dimensionierte Schaltungen vorhanden sind, ist in der Regel eine neue Dimensionierung, angepasst an die neue Spezifikation erforderlich.

Manuelles Design

Ist kein passendes Bibliothekselement vorhanden, so muss eine neue Topologie entworfen werden, die die Spezifikation erfüllt. Die entstandene Topologie wird anschließend dimensioniert und analysiert. Eventuell sind dann wieder iterative Verbesserungen der Topologie nötig.

Werkzeuge

Der Topologie-Synthesevorgang wird heute noch überwiegend manuell ausgeführt. Die automatischen Ansätze basieren zum Großteil auf Bibliotheken, in denen von Menschen erzeugte Topologien abgespeichert sind. Deshalb spricht man hier auch von automatischer Topologie-Selektion. Akademische Werkzeuge für diese Zwecke sind z.B. "IDAC" [DeNyDi87], "OASYS" [HaRuCa89] und "ASTRX/OBLX" [OcRu96]. Diese Werkzeuge weisen alle auch einen automatischen Dimensionierer auf.

Ein anderer Ansatz namens "DARWIN" [KrLe95] entwirft mit Hilfe von genetischen Algorithmen direkt ohne Bibliothek Schaltungstopologien. Die Ergebnisse dieses akademischen Werkzeugs sind allerdings noch lange nicht so gut wie manuelle Entwürfe.

### 2.3.5 Dimensionierung

Die Dimensionierung legt für alle Bauelemente die einstellbaren Design-Parameter (im folgenden kurz Parameter genannt) fest. Dies können Widerstandswerte, Kanallängen und -weiten usw. sein. Die Parameter werden so festgelegt, dass die Spezifikation erfüllt ist. Ist dies nicht erreichbar, so muss wieder ein Rückschritt gemacht und eine andere Topologie ausgewählt werden.

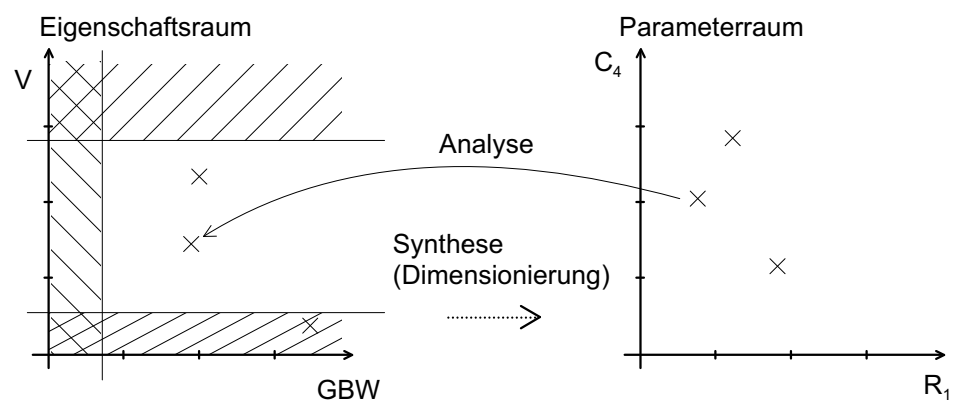


Bild 2.6: Synthese und Analyse als Vorgänge im Eigenschaftsraum (Spezifikationsraum) und (Schaltungs-) Parameterraum

Das Dimensionierungsproblem beinhaltet die Aufgabe, einen bestimmten Satz von Parametern aus allen möglichen Kombinationen des Parameter-raums zu finden, so dass die Eigenschaften im Eigenschaftsraum der Spe-

zifikation entsprechen. In Bild 2.6 sind diese beiden mehrdimensionalen Räume beispielhaft dargestellt. Jeder Punkt im Parameterraum korrespondiert mit einem Punkt im Eigenschaftsraum. Die Abbildung vom Parameterraum in den Eigenschaftsraum lässt sich durch Analyse direkt durchführen. Die umgekehrte Abbildung (die Synthese) ist im allgemeinen nicht direkt zu berechnen, da das Problem stark unterbestimmt ist (es gibt viel mehr Parameter als Eigenschaften) und die - in der Regel nichtlinearen - Gleichungen sich nicht nach den Parametern auflösen lassen. Aus diesen Gründen ist das Dimensionierungsproblem sehr schwierig.

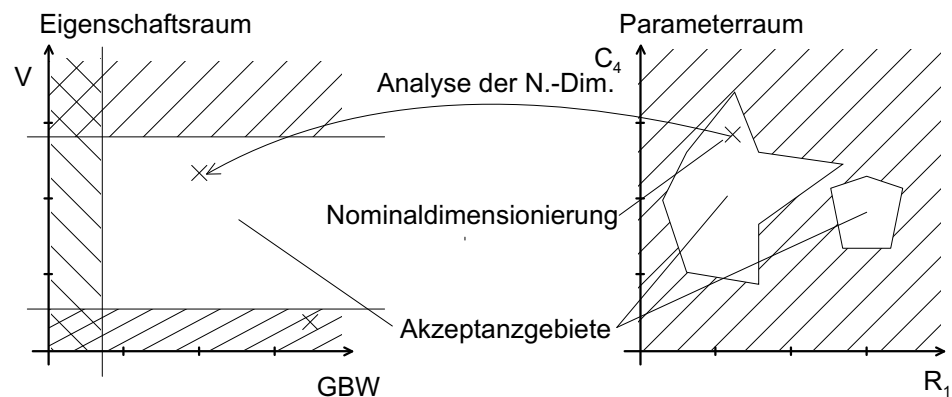


Bild 2.7: Nominaldimensionierung und das unbekannte Akzeptanzgebiet im Parameterraum

Nominaldimensionierung	Bei der Nominaldimensionierung wird nur ein Punkt im Parameterraum gesucht, der im Akzeptanzgebiet liegt. Dieses wird indirekt durch eine Analyse überprüft, die den Parametersatz in den Eigenschaftsraum abbildet und dort auf Innenlage im Akzeptanzgebiet prüft (Bild 2.7).
Synthesegleichungen	Unter starken Vereinfachungen ist es möglich, aus Eigenschaften die Parameter direkt durch Gleichungen zu bestimmen. Diese Gleichungen sind die Synthesegleichungen.
Design-Centering	Vorhandene Freiheitsgrade beim Erfüllen der Spezifikation kann man nutzen, um den Entwurf robust zu machen. Das heißt, dass bei unvermeidlichen Schwankungen von Fertigungsparametern die Spezifikation immer noch erfüllt wird. Dazu optimiert man die Design-Parameter solange, bis die Eigenschaften maximal von allen Spezifikationsgrenzen entfernt sind. Diesen Optimierungsvorgang nennt man Design-Centering.
Werkzeuge	In Bild 2.8 ist das mit einigen Punkten dargestellt. Die Punkte im Parameterraum werden durch Analysen auf ihre Lage im Akzeptanzgebiet geprüft. Damit wird eine Näherung des Randes des Akzeptanzgebietes errechnet. In die Mitte dieses Akzeptanzgebietes im Parameterraum wird dann schließlich die Dimensionierung gelegt.
	Automatische Verfahren sind hier schon gebräuchlicher. Es existieren zum einen Ansätze, wie sie schon in Abschnitt 2.3.4 erwähnt wurden. Diese ha-

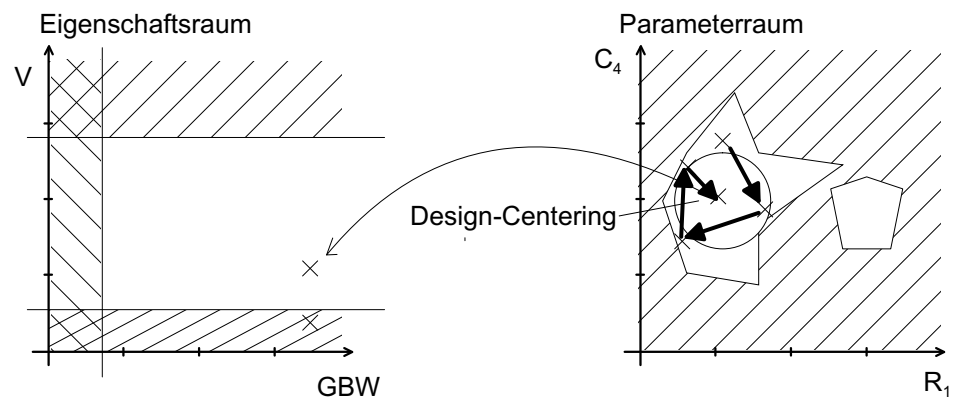


Bild 2.8: Design-Centering

ben Synthesegleichungen hart für einen bestimmten Schaltungstyp einprogrammiert. Sie sind damit wenig flexibel. Die bearbeitete Standardschaltung ist ein Operationsverstärker.

Weiterhin gibt es Ansätze, die auf der symbolischen Analyse aufsetzen z.B. Analog Insydes in [SoAmHe93]. Sie versuchen, aus den Gleichungen für die Schaltung auf direktem Weg die Synthesegleichungen zu bestimmen.

Zur Optimierung und zum Design-Centering gibt es weitere eigenständige Werkzeuge die auf iterativen Analysen beruhen [AnGrWi94, DiHa77].

### 2.3.6 Optimierung

Eine automatische Optimierung kann mit herkömmlichen Simulatoren durchgeführt werden. Man kann dazu einen oder mehrere Parameter einer fertig dimensionierten Schaltung zur Optimierung freigeben. Weiterhin müssen ein oder mehrere Optimierungskriterien - eventuell mit Gewichtung - angegeben werden. Der Optimierungsalgorithmus sucht dann durch wiederholte Simulationen Parameterwerte, die das Optimierungskriterium minimieren (maximieren).

#### Beispiel

Ein Beispiel für die Verbesserung eines Entwurfs soll hier wiedergegeben werden [LitZwo97]. In Bild 2.9 ist eine einfache Verstärkerschaltung gegeben.

Die Vordimensionierung bestimmt die Startparameterwerte zu  $R_1 = 500 \text{ k}\Omega$ ,  $R_2 = 50 \text{ k}\Omega$ ,  $R_c = 1 \text{ k}\Omega$ ,  $R_e = 750 \Omega$ . Die Versorgungsspannung von  $V_{CC} = 10 \text{ V}$  sei fest vorgegeben. Als zu erzielende Spezifikation sind  $U_e = 3 \text{ V}$  und  $U_a = 6 \text{ V}$  hart ohne Bereiche vorgegeben. Nach der Optimierung, die noch zwei Freiheitsgrade aufweist, ergibt sich folgendes Ergebnis für die Widerstände

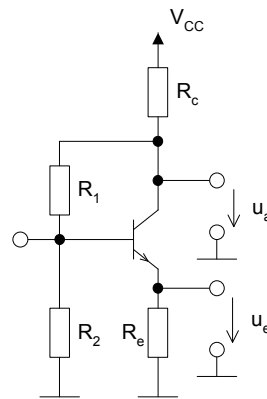


Bild 2.9: Einfache Verstärkerschaltung mit Parallel-Parallelrückkopplung über  $R_1$  und Serien-Parallelrückkopplung über  $R_e$

$$R_1 = 499 \text{ k}\Omega, \quad (2.1)$$

$$R_2 = 50,43 \text{ k}\Omega, \quad (2.2)$$

$$R_c = 868 \text{ }\Omega, \quad (2.3)$$

$$R_e = 652 \text{ }\Omega. \quad (2.4)$$

#### Mathematische Beschreibung

Das hinter der Optimierung liegende mathematische Problem lässt sich im allgemeinen Fall durch eine Optimierung von  $n$  Parametern unter mehreren Nebenbedingungen und einer komplexen eventuell nicht einmal geschlossen darstellbaren Kostenfunktion beschreiben. Die Kostenfunktion ist nicht geschlossen darstellbar, wenn z.B. Lösungen aus einer Transientenanalyse (wie z.B. die Slew-Rate) in die Kostenfunktion eingehen. Das Problem kann durch Verfahren wie z.B. einem Gradientenverfahren gelöst werden. Die benötigten Gradienten werden durch Differenzenquotienten gebildet.

Die Optimierung weist für den Fall der analogen Schaltungen folgende Eigenschaften auf:

- Es wird in der Regel nur ein lokales Optimum gefunden. Die Qualität dieses Optimums kann sehr schlecht sein.
- Die Laufzeit steigt näherungsweise quadratisch mit der Anzahl der freien, zu optimierenden Variablen und linear mit der Zahl der Optimierungskriterien.
- Das Verfahren hängt stark von den Startwerten ab.

Aus diesen Gründen wird die Optimierung für analoge Schaltungen nur sehr eingeschränkt verwendet. Sie dient hauptsächlich zum Verbessern der Eigenschaften einer Schaltung. Das Dimensionieren aus dem Nichts - also ohne Vordimensionierung - ist in der Regel nicht möglich.



Werkzeuge Neue kommerzielle Werkzeuge ermöglichen eingeschränkt die automatische Dimensionierung. Sie verwenden dazu Workstationcluster, um parallel eine Vielzahl von simulationsbasierten Optimierungsläufen durchzuführen. Verwendete Optimierungsalgorithmen sind Simulated Annealing [Neolin01] und gradientenbasiertes Quasi-Newton-Verfahren [Antrim01].

### 2.3.7 Entwurfsplan

Da für die Dimensionierung viele unterschiedliche Gleichungen und Zusammenhänge aufgrund unterschiedlicher Strukturen und unterschiedlicher Spezifikationsinhalte gefunden werden können, kann ein einheitliches, generelles Vorgehen zur Berechnung der Dimensionierung nicht angegeben werden. Als Möglichkeiten sind schon folgende genannt und vorgestellt worden:

- Auflösung eines (nicht)linearen Gleichungssystems,
- Annahme von zusätzlichen Bedingungen und
- Optimierung eines unter- oder überbestimmten Gleichungssystems.

Grundsätzlich werden bei dieser Vorgehensweise alle Dimensionierungsgleichungen gleichzeitig gelöst. Dies ist insofern ein Nachteil, als der Mensch das Gleichungssystem in seiner Gesamtheit und in seinen wechselseitigen Beeinflussungen in der Regel nicht mehr erfassen kann. Beispielsweise ist dann nicht mehr klar, welche Folgen es hat, wenn ein Schaltungsparameter leicht geändert wird, da diese Zusammenhänge verkoppelt im Gleichungssystem stecken.

Historisch ist daher ein anderes überschaubareres Vorgehen - z.B. nach einem Entwurfsplan - üblich. Dazu werden einmalig für eine bekannte Struktur und einen bekannten Satz von Spezifikationen alle Dimensionierungsgleichungen aufgestellt. Dann werden diese in so eine Reihenfolge gebracht, dass sie möglichst sequentiell gelöst werden können. Dies ist aufgrund der Unter- bzw. Überbestimmtheit des Dimensionierungsproblems nicht generell möglich, so dass unter diesen Umständen ebenfalls Annahmen oder Vereinfachungen getroffen werden müssen. Das Ergebnis ist ein Satz von Gleichungen, die mit Hilfe einer gegebenen Spezifikation eine Berechnung der Parameterserie der Schaltung Schritt für Schritt ermöglichen. Eventuell sind in diese Abfolge iterative Schritte eingebaut, um nicht eindeutig auflösbare Dimensionierungsgleichungen zu behandeln. Ein Beispiel für einen Entwurfsplan ist in Bild 2.10 für einen CMOS-OTA angegeben.

Da Entwurfspläne sehr speziell auf eine Schaltung zugeschnitten sind und eventuell eingebaute Optimierungsannahmen aufweisen, ist eine Verallgemeinerung von Entwurfsplänen nur selten möglich. Damit lohnt sich das Aufstellen eines Entwurfsplans für den einmaligen Gebrauch nicht unbedingt. Allerdings ist dies sinnvoll, wenn man einen bestimmten Schaltungstyp häufiger entwerfen muss.

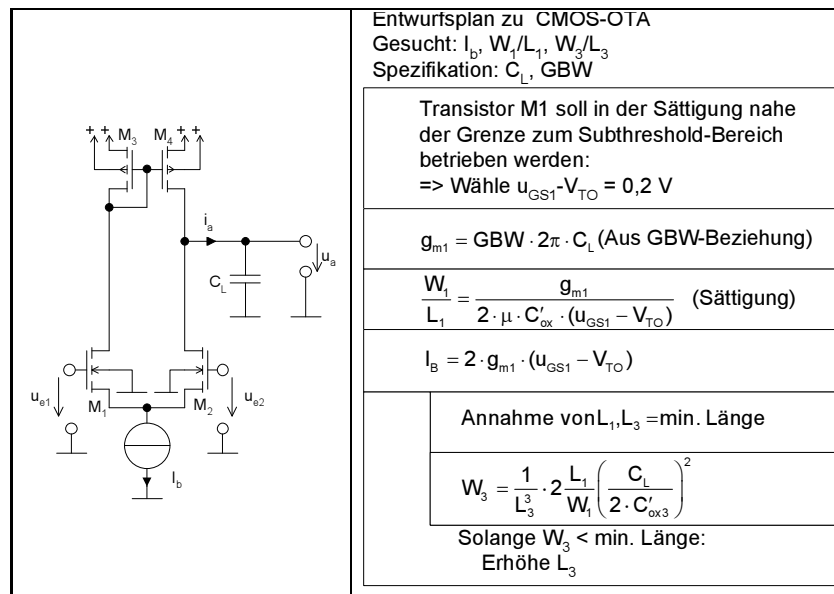


Bild 2.10: CMOS-OTA und zugehöriger Entwurfsplan

## 2.4 Analyse

Eine Analyse durchzuführen bedeutet zu prüfen, ob eine Beschreibung eines Systems das gleiche Verhalten aufweist wie eine andere, meist abstraktere Beschreibung und/oder ob eine Beschreibung funktionell korrekt ist. Im zweiten Fall spricht man auch von Validierung. Als Analysetätigkeiten gibt es die Simulation in verschiedensten Formen, die formale Verifikation und verschiedene Charakterisierungsverfahren. In diesem Abschnitt soll ein kurzer Überblick über die wichtigsten Analysetätigkeiten gegeben werden.

### 2.4.1 Simulation

Das klassische Werkzeug für die Analyse ist die Simulation (Netzwerkanalyse). Es ist eines der ältesten CAD-Gebiete überhaupt. Sie berechnet für eine gegebene Eingangserregung die Ausgangssignale einer Schaltung. Dazu ist die Schaltung als dimensionierte Netzliste (Bild 2.11) und/oder als Verhaltensbeschreibung(en) anzugeben.

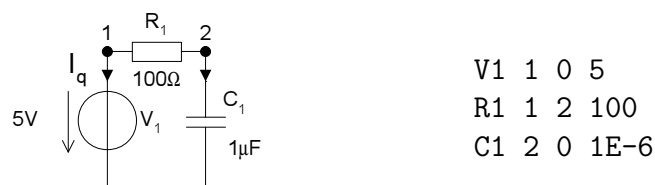


Bild 2.11: Schaltung und SPICE-Netzliste

Die Analyse kann in die DC- (Gleichstrom), AC- (Wechselstrom) und TR-

(Transienten) Analyse unterschieden werden. Damit ist zum Teil eine unterschiedliche mathematische Beschreibung verbunden (Tabelle 2.5).

Analyseart	Mathematische Beschreibung	Domäne
DC-Analyse	Nichtlineares algebraisches Gleichungssystem	
AC-Analyse	Lineares, komplexwertiges, algebraisches Gleichungssystem	Frequenzbereich
TR-Analyse	Nichtlineares Differentialgleichungssystem	Zeitbereich

Tabelle 2.5: Unterscheidung der Analyse nach der Berücksichtigung von Zeit/Frequenz

DC-Analyse	Bei der DC-Analyse wird das entstehende nichtlineare statische Gleichungssystem iterativ z.B. mit einem Newtonverfahren gelöst [Spiro90]. Die Ergebnisse sind Spannungen und Ströme (Bild 2.12, links) im eingeschwungenen Zustand ( $t \rightarrow \infty$ ).
AC-Analyse	Bei der AC-Analyse wird eine lineare oder in einem Arbeitspunkt linearisierte Schaltung im Frequenzbereich simuliert. Das heißt, es wird jeweils für eine feste Frequenz die Wirkung sinusförmiger Anregungen auf die Spannungen und Ströme der Schaltung berechnet. Durch eine Folge solcher Berechnungen können die Ergebnisse in Abhängigkeit der Frequenz der Anregungen dargestellt werden (Bode-Diagramm, Bild 2.12, Mitte).
TR-Analyse	Bei der Transientenanalyse wird das nichtlineare Differentialgleichungssystem durch numerische Integration z.B. mit der impliziten Euler-Methode in ein Differenzgleichungssystem überführt. Das entstehende nichtlineare algebraische und/oder transzendente Gleichungssystem wird anschließend für jeden Zeitpunkt der Eingangserregung iterativ über ein Newtonverfahren gelöst. Als Ergebnis erhält man den Verlauf der Spannungen und Ströme über der Zeit (Bild 2.12, rechts). Da drei Schleifen, Lösung in Zeitschritten, Linearisierung und Lösung des linearen Gleichungssystems durchlaufen werden müssen, ist diese Simulationsart sehr zeitaufwendig.
Parameter	Die klassischen Analysearten können an einem Nominalpunkt (feste vorgegebene Bauelementparameter), als Toleranzanalysen (Parameter mit statistischen Abweichungen) oder als symbolische Analysen durchgeführt werden (Tabelle 2.6).
Monte-Carlo-Simulation	Als Monte-Carlo-Simulationen werden mehrere Simulationen einer Schaltung mit unterschiedlichen Parameterwerten bezeichnet. Die Parameter werden dabei statistisch ausgelenkt, so dass die Ergebnisse der Simulation statistische Aussagen über das Verhalten der Schaltung bei z.B. unter Fertigungseinfluss schwankenden Parametern erlauben.
Worst-Case-Analyse	Eine Worst-Case-Analyse dient dazu, einen Parametersatz innerhalb der

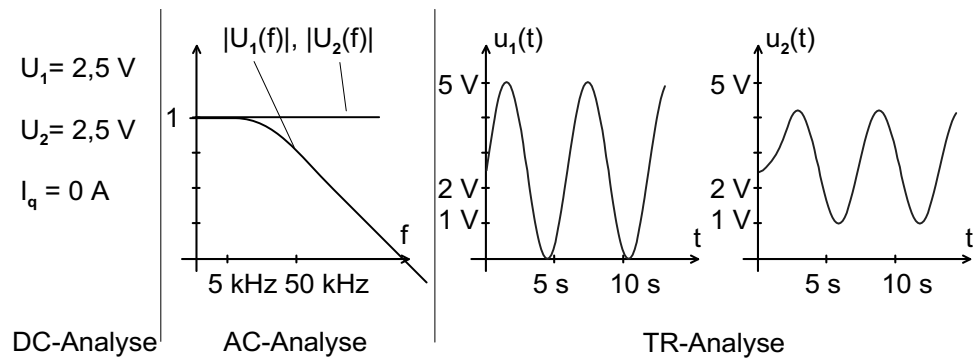


Bild 2.12: Simulation der SPICE-Netzliste aus Bild 2.11, AC und TR-Analyse mit  $U_q = 1 \text{ V} \cdot \sin(t) + 2,5 \text{ V}$

Bezeichnung	Parameter
Nominalanalyse	$R_1 = 10 \text{ k}\Omega$
Toleranzanalyse z.B. Monte-Carlo-Analyse	$R_1 = 10 \text{ k}\Omega \pm 10\% = [9 \text{ k}\Omega .. 11 \text{ k}\Omega]$
Symbolische Analyse	$R_1 = R_1$

Tabelle 2.6: Unterscheidung der Analyse nach der Behandlung von Schaltungsparametern

vorgegebenen Toleranzen zu finden, der zu dem schlechtesten Verhalten im Sinne der Spezifikation führt. Damit ist das Verhalten der Schaltung im schlimmsten Fall bekannt.

Design-Centering

Eng damit verbunden ist das Design-Centering, welches die Parameter der Schaltung dahingehend optimiert, dass eine möglichst große Zahl der toleranzbehafteten Schaltungen die Spezifikation noch erfüllt. Daraus folgt dann eine hohe Ausbeute bei der Fertigung der Schaltung.

## 2.4.2 Systemsimulation

Durch die steigende Komplexität der integrierten Schaltungen müssen immer größere Schaltungen simuliert werden. Da das mit herkömmlicher Simulationstechnik nicht in annehmbarer Zeit möglich ist, werden die im Verlauf des Entwurfs erzeugten Verhaltensmodelle zur sogenannten Systemsimulation verwendet. Sie lassen sich wesentlich schneller simulieren als vollständige Transistornetzlisten.

Mixed-Signal-Simulation

Das zu simulierende System auf hoher Abstraktionsebene ist häufig gemischt digital und analog. In diesem Falle wird eine spezielle Form der Simulation angewendet, die Mixed-Signal-Simulation. Der Begriff bezeichnet die gleichzeitige Simulation von analogen und digitalen Schaltungsteilen. Da die Signale der Teile unterschiedlich stark abstrahiert sind, ist es sinnvoll, für den analogen und den digitalen Schaltungsteil einen eigenen

Simulator oder Simulationskern zu verwenden. Damit wird die höchste Simulationsgeschwindigkeit erzielt. Es ist auf jeden Fall eine Synchronisation und ein Signalaustausch der beiden Simulatoren/Simulationskerne nötig.

### 2.4.3 Symbolische Analyse

Ein erst in den letzten Jahren aufgekommenes Werkzeug zur Analyse von analogen Schaltungen ist die symbolische Analyse. Dabei werden die Parameter nicht als numerische Werte betrachtet, sondern als in ihrem Arbeitsbereich frei einstellbare Variablen, die durch ein Symbol repräsentiert werden. Die symbolische Analyse versucht, symbolische Darstellungen von Netzwerkfunktionen, z.B. Übertragungsfunktionen zu berechnen, in der ein Teil der Parameter oder alle in symbolischer Form vorliegen.

Die symbolische Analyse ist ein neues, noch wenig verwendetes Verfahren, welches sowohl zur Analyse als auch zur Synthese verwendet werden kann. Sie wird in Kapitel 3 erläutert und in den darauf folgenden Kapiteln an Beispielen angewandt.

### 2.4.4 Automatische Charakterisierung

Durch die zunehmende Integration von Skriptsprachen in kommerzielle Simulatoren ist es inzwischen sehr einfach möglich, Spezifikationskennwerte einer Schaltung automatisch zu berechnen. Dieser Vorgang wird mit automatischer Charakterisierung bezeichnet.

**Testbeschaltung** Die verschiedensten Simulationen mit ihren unterschiedlichen Beschaltungen der entworfenen Schaltung werden dabei nacheinander in einer umgebenden Testbeschaltung (test bench) ohne Änderung der Netzliste nur durch Verwendung von Schaltern ausgeführt. Die Spezifikationskennwerte werden anschließend aus den Simulationsergebnissen berechnet.

Alle bisher genannten Analyseverfahren sind vollautomatisch einsetzbar. Sie werden vom Schaltungsentwickler sehr viel häufiger verwendet als Synthesewerkzeuge. Insbesondere verlässt sich heutzutage der Entwickler in der Regel auf die Ergebnisse der Simulation, während früher auch noch Schaltungen zur Analyse diskret aufgebaut wurden, ehe sie integriert wurden. Eine manuelle Bestimmung der Schaltungseigenschaften findet heute in der Regel nicht mehr statt.

### 2.4.5 Formale Verifikation

Es wird für den Entwurf analoger Schaltungen erwartet, dass noch mächtigere Analyseverfahren wie die formale Verifikation [HedBar98] weiterentwickelt und eingesetzt werden. Dies würde eine größere Entwurfssicherheit nach sich ziehen. In der digitalen Welt ist die formale Verifikation inzwischen schon ein häufig eingesetztes Werkzeug.

## 2.5 Testen

Der Test integrierter Schaltungen dient zur Erkennung von fehlerhaften Schaltungen nach der Produktion. Für analoge Schaltungen sind hier sogenannte parametrische Tests üblich, das heißt, dass Größen wie die Verstärkung oder die Bandbreite einer Schaltung durch Messungen bestimmt werden und auf Einhaltung einer vorgegebenen Schranke überprüft werden.

Die Testerregungen und die erwarteten Testantworten werden in der Regel manuell erzeugt, das heißt, vom Entwickler bestimmt. Eine automatische Testmustererzeugung wie bei den digitalen Schaltungen gibt es nicht. Der Entwickler ist also selbst dafür verantwortlich, die Schaltung sowohl testfreundlich – möglichst viele Produktionsfehler können entdeckt werden – zu entwerfen, als auch die nötigen Tests anzugeben. Die Vorgehensweise ist hier im Gegensatz zum digitalen wenig formalisiert und vereinheitlicht. Hier wird auf die Erfahrung der Entwickler gesetzt.

### Fehler- simulation

Es gibt vereinzelt automatische, akademische Verfahren, um eine Fehler-simulation für analoge Schaltungen durchzuführen. Diese erzeugen in den Schaltungen sogenannte hard faults, das sind Kurzschlüsse und Unterbrechungen, und parametric faults, das sind Abweichungen der Nominalwerte der Bauelemente. Dann wird die Schaltung mit den vorgegebenen Testerregungen simuliert und überprüft, ob sie die Testantworten in den vorgegebenen Schranken liefert. Damit ist es möglich, eine Aussage zu gewinnen, ob Abweichungen in der Schaltung durch die vorgesehenen Tests entdeckt werden. Diese Werkzeuge werden kommerziell allerdings kaum eingesetzt.

### 3 Symbolische Analyse

Die symbolische Analyse integrierter analoger Schaltungen erzeugt aus einer gegebenen - eventuell schon dimensionierten - Schaltung ein symbolisches/numerisches Gleichungssystem oder eine Übertragungsfunktion. Diese liegen in der Regel in vereinfachter Form vor. Die Verfahren dazu werden in den folgenden Abschnitten erläutert.

Die Ergebnisse der symbolischen Analyse können eingesetzt werden

- für eine Dimensionierung,
- für ein Verständnis der Schaltung und des Einflusses der Parameter,
- zur Stabilitätsanalyse/-dimensionierung über die symbolische Berechnung von Polen und Nullstellen,
- und zur Simulation mit kurzen Simulationszeiten.

#### 3.1 Schaltungsdarstellung

Aus einem gegebenen Netzwerk kann durch Anwenden der Kirchhoffschen Maschen- und Knotengleichungen und unter Hinzuziehung von Bauelementgleichungen ein Algebro-Differentialgleichungssystem aufgestellt werden.

$$\vec{f}(\vec{x}(t), \dot{\vec{x}}(t), \vec{u}(t), \vec{y}(t), \vec{p}) = \vec{0} \quad (3.1)$$

$\vec{x}(t)$  ist dabei der Vektor der Schaltungsvariablen (z.B. innere Spannungen und Ströme),  $\vec{u}(t)$  ist der Vektor der Eingangsvariablen,  $\vec{y}(t)$  ist der Vektor der Ausgangsvariablen und  $\vec{p}$  der Vektor der Schaltungsparameter.

Ist das Algebro-Differentialgleichungssystem linear und zeitinvariant und besitzt es nur einen Eingang und einen Ausgang, so kann mit Hilfe der Laplace-Transformation die Übertragungsfunktion bestimmt werden [Thoma73]. Sie lässt sich dann als gebrochene rationale Funktion z.B. in Polynomform darstellen.

$$H(s) = \frac{a_0 + a_1 \cdot s + a_2 \cdot s^2 + \dots + a_z \cdot s^z}{b_0 + b_1 \cdot s + b_2 \cdot s^2 + \dots + b_p \cdot s^p} \quad (3.2)$$

Die einzelnen Koeffizienten  $a_i$  und  $b_j$  sind im allgemeinen nichtlineare Funktionen der Schaltungsparameter  $\vec{p}$ .

Symbolisch/  
Numerisch

Ein symbolisches Gleichungssystem/Übertragungsfunktion liegt vor, wenn ein oder mehrere Parameter des Gleichungssystems bzw. der Übertragungsfunktion in symbolischer Form, also nicht als numerischer Zahlenwert vorliegen. Sind alle Parameter numerisch wird das Gleichungssystem bzw. die Übertragungsfunktion als numerisch bezeichnet.

Nominalpunkt Um ein Gleichungssystem oder eine Übertragungsfunktion vereinfachen zu können, sind numerische Werte für die symbolischen Schaltungsparameter erforderlich. Diese können als ein oder mehrere Nominalpunkte oder auch als Intervall vorgegeben werden. Weiterhin werden Betriebsbereiche wie z.B. Frequenzbereich, minimale und maximale Eingangsspannung für die Vereinfachungsalgorithmen benötigt.

### 3.2 Symbolische Analyse linearer Schaltungen

Die symbolische Analyse linearer Schaltungen ist zuerst entwickelt worden. Sie geht von einem linearen (linearisierten) elektrischen Netzwerk aus und berechnet daraus entweder die exakte oder eine durch Vereinfachungen genäherte symbolische Funktion - z.B. die Übertragungsfunktion (ÜTF).

Als Beispiel wird hier ein Verstärker mit einem MOS-Transistor in Source-schaltung gewählt. Ein lineares Ersatzschaltbild dafür ist in Bild 3.1 dargestellt.

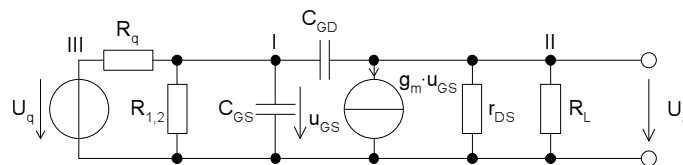


Bild 3.1: Linearisierte Sourceschaltung

Die zugehörige exakte ÜTF ergibt sich zu

$$\begin{aligned}
 H(s) &= \frac{U_a(s)}{U_q(s)} & (3.3) \\
 &= \frac{j\omega C_{GD}R_L - g_m R_L}{-\omega^2 C_{GD}C_{GS}R_q R_L + j\omega C_{GD} \left( R_q \left( 1 + \frac{R_L}{r_{DS}} + \frac{R_L}{R_{1,2}} + R_L g_m \right) \right.} \dots \\
 &\quad \left. + R_L \right) + j\omega C_{GS}R_q \left( 1 + \frac{R_L}{r_{DS}} \right) + \frac{R_L}{r_{DS}} + \frac{R_q R_L}{R_{1,2} r_{DS}} + \frac{R_q}{R_{1,2}} + 1} \cdot
 \end{aligned}$$

Eine vereinfachte Übertragungsfunktion bei 10% Fehlertoleranz berechnet sich zu

$$H(s) = \frac{j\omega C_{GD}R_L - g_m R_L}{j\omega (C_{GD}R_L (R_q g_m + 1) + C_{GD}R_q) + \frac{R_L}{r_{DS}} + 1} \cdot \quad (3.4)$$



### 3.2.1 Algorithmen

Es gibt eine Vielzahl von Algorithmen zur symbolischen Analyse linearer Schaltungen. Einen guten Überblick über die verschiedenen Ansätze bieten [GieSan91], [Lin91], [WaGiSa98], [FeRoHu97]. In Bild 3.2 ist der grundsätzliche Ablauf einer symbolischen Analyse dargestellt. Bei jedem Schritt auf dem Weg von der Netzliste zur Übertragungsfunktion, kann die jeweilige Repräsentation vereinfacht werden. Es wird unterschieden, ob die Vereinfachung vor, während oder nach dem Erzeugen der Übertragungsfunktionen stattfindet. Es ist jede Kombination denkbar und verschiedene Kombinationen wurden in der Literatur angewandt [Hennig00]. Wird keine Vereinfachung vorgenommen, so wird die exakte - jedoch in der Regel sehr umfangreiche - ÜTF berechnet.

- Matrixbasiert** Ein wesentlicher Unterschied zwischen den Verfahren liegt in der Wahl des Aufstellungsverfahrens der ÜTF. Die matrixbasierten Methoden stellen zunächst mit Hilfe eines geeigneten Ansatzes (Modified-Nodal-Approach, Tableau-Approach etc.) die Systemmatrix und den Erregungsvektor symbolisch auf. Anschließend wird das Matrixgleichungssystem gelöst, d.h. die Systemmatrix wird (teilweise) invertiert und mit dem Erregungsvektor multipliziert. Die Invertierung geschieht durch z.B. ein Gaußsches Eliminationsverfahren oder eine determinantenbasierte Berechnung z.B. nach der Cramerschen Regel [PiShi00].
- Graphenbasiert** Eine andere Möglichkeit ist die Erzeugung der Übertragungsfunktion über die Auswertung von Graphen. Beide Methoden werden exemplarisch in den nachfolgenden Abschnitten erläutert.

#### 3.2.1.1 Graphenbasierte Verfahren

Graphenbasierte Verfahren [WaFeGi95] bilden aus dem elektrischen Netzwerk nach einer eventuellen Vorvereinfachung einen oder mehrere Graphen, aus denen die Übertragungsfunktion gewonnen wird. Es gibt mehrere Methoden, z.B. die "Two-Graph-Method" oder die "Signal-Flow-Graph-Method", die u.a. in [Lin91] beschrieben sind. Hier soll exemplarisch die "Two-Graph-Method" vorgestellt werden.

- Two-Graph-Method** Diese Methode [MaySes57] ist beschränkt auf Schaltungen, die aus R, L, C und spannungsgesteuerten Stromquellen bestehen. Hier soll am Beispiel von der Schaltung aus Bild 3.1 die Methode erklärt werden. Es werden ein Spannungs- und ein Stromgraph aufgestellt. Die Knoten dieser Graphen bestehen aus den Knoten des elektrischen Netzwerks. Eingangserersatzspannungsquellen werden in Ersatzstromquellen umgewandelt und die entstehende ideale Stromquelle wird entfernt. Für die weiteren Elemente des Netzwerks werden gerichtete Zweige wie in Tabelle 3.1 in die Graphen eingetragen:

Zugrunde liegt die Vorstellung, dass ein Leitwert als spannungsgesteuerte

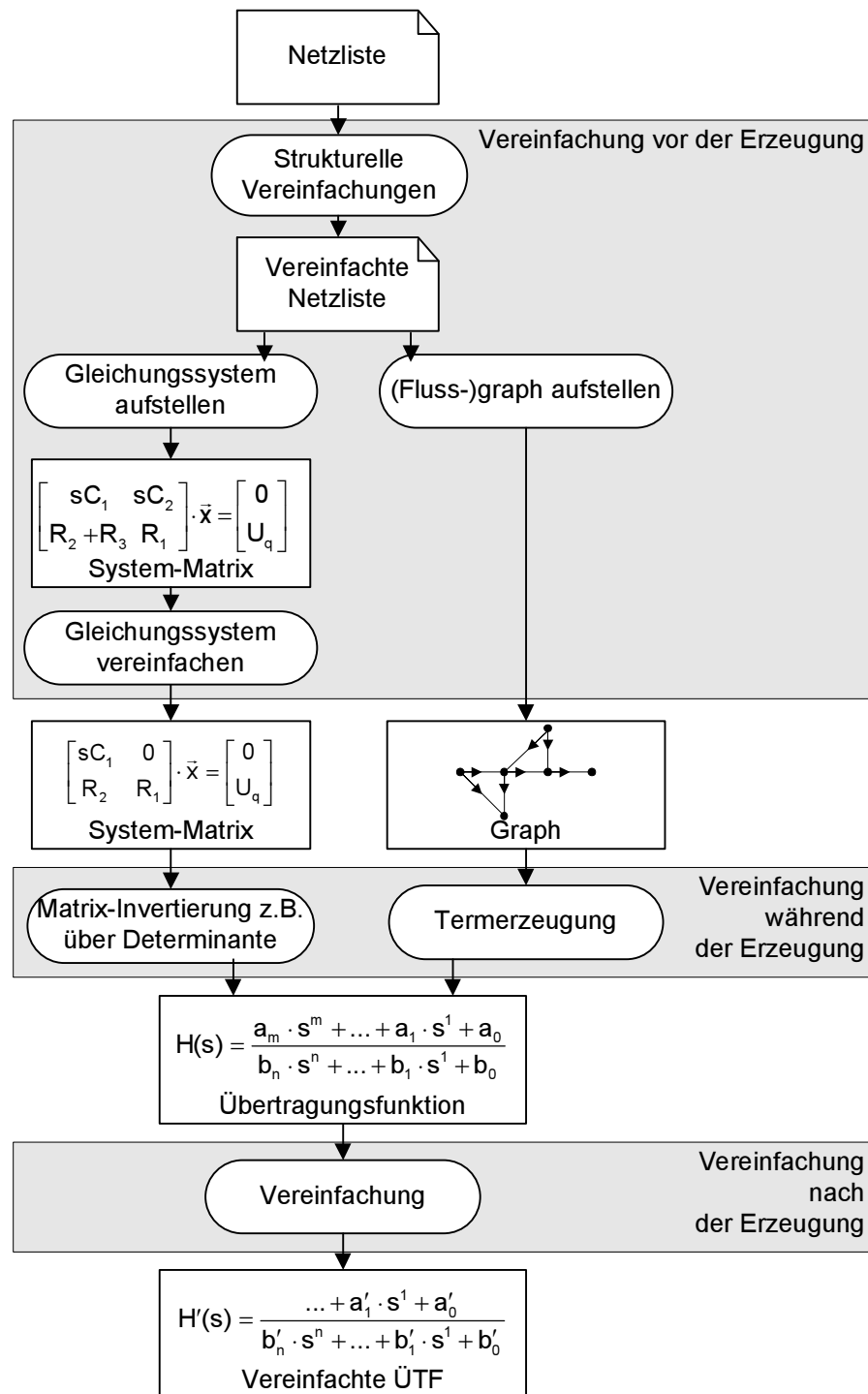


Bild 3.2: Ablauf der symbolischen Analyse linearer Schaltungen

Stromquelle aufgefasst werden kann, die von der Spannung über sich selbst gesteuert wird. Das Netzwerk aus Bild 3.1 verändert sich dann gemäß Bild 3.3 und erzeugt die in Bild 3.4 dargestellten Graphen.

Um die Determinante der Knotenadmittanzmatrix  $\underline{Y}$  zu berechnen, sind

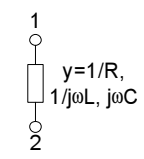
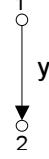
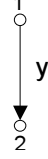
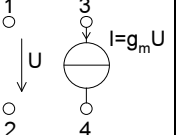
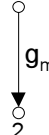
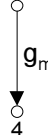
Element	Spannungsgraph	Stromgraph
 <p><math>y=1/R, 1/j\omega L, j\omega C</math></p>	 <p><math>y</math></p>	 <p><math>y</math></p>
 <p><math>I=g_m U</math></p>	 <p><math>g_m</math></p>	 <p><math>g_m</math></p>

Tabelle 3.1: Einträge in Spannungs- und Stromgraphen der Two-Graph-Method

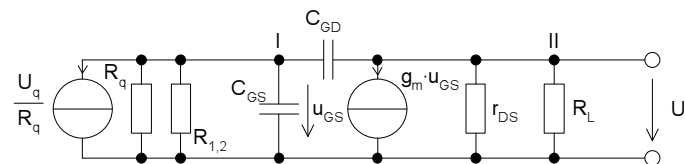


Bild 3.3: Geändertes Netzwerk aus Bild 3.1

zunächst jeweils alle Spannbäume von beiden Graphen zu berechnen. Spannbäume sind Bäume, die alle  $n$  Knoten mit minimaler Zahl von Kanten - also  $n-1$  - verbinden. Die Spannbäume sind z.B. durch eine Enumeration aller möglichen Bäume zu bestimmen. In unserem Beispiel von Bild 3.4 sind alle Spannbäume vom Spannungsgraph und Stromgraphen

$$S_{Sp} = \{y_3y_4, y_5y_4, y_3y_2, y_5y_2, y_2y_4, y_1y_2, y_1y_4\} \quad (3.5)$$

$$S_{St} = \{y_3y_4, y_3y_5, y_3y_2, y_2y_5, y_2y_4, y_1y_2, y_1y_5, y_1y_4\} . \quad (3.6)$$

Gemeinsame Spannbäume sind dann

$$S_{Gem} = \{y_3y_4, y_3y_2, y_5y_2, y_2y_4, y_1y_2, y_1y_4\}, \quad (3.7)$$

wobei die Knoten des Spannbaum  $y_5y_2$  im Stromgraphen in anderer Reihenfolge vorkommen.  $y_5y_2$  wird dennoch als gemeinsamer Spannbaum bezeichnet.

Die Determinante von  $\underline{Y}$  bestimmt sich als Summe aller Produktterme aller gemeinsamen Spannbäume (Beweis siehe [Lin91]) zu

$$|\underline{Y}| = \sum_{\text{alle gemeinsamen Spannbäume}} \prod_{\text{Kanten}} z_i y_i . \quad (3.8)$$

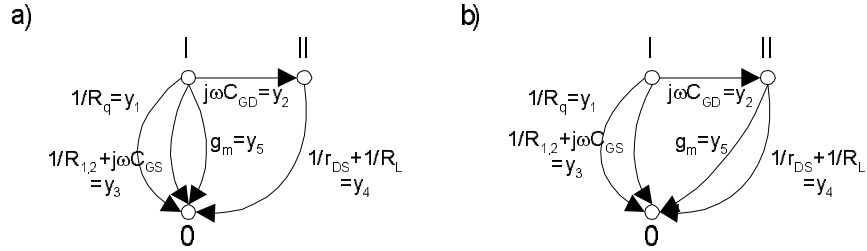


Bild 3.4: a) Spannungsgraph und b) Stromgraph für die Schaltung aus Bild 3.3

$z_i$  sind dabei Vorzeichen, die aus den Determinanten der Inzidenzmatrizen der jeweiligen Spannbäume berechnet werden. Für unser Beispiel mit dem Spannbaum  $y_5 y_2$  gilt

$$|\underline{I}_{Sp}| = I \begin{vmatrix} y_5 & y_2 \\ 1 & 1 \\ II & 0 & -1 \end{vmatrix} = -1, \quad |\underline{I}_{St}| = I \begin{vmatrix} y_5 & y_2 \\ 0 & 1 \\ II & 1 & -1 \end{vmatrix} = -1 \quad (3.9)$$

$$z_{y_5 y_2} = |\underline{I}_{Sp}| \cdot |\underline{I}_{St}| = 1. \quad (3.10)$$

Mit diesen Vorzeichen versehen ergibt sich für die Determinante von  $\underline{Y}$

$$|\underline{Y}| = 1 \cdot y_3 y_4 + 1 \cdot y_3 y_2 + 1 \cdot y_5 y_2 + 1 \cdot y_2 y_4 + 1 \cdot y_1 y_2 + 1 \cdot y_1 y_4 \quad (3.11)$$

$$= \left( \frac{1}{R_{1,2}} + j\omega C_{GS} \right) \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right) + \left( \frac{1}{R_{1,2}} + j\omega C_{GS} \right) j\omega C_{GD} \quad (3.12)$$

$$- g_m j\omega C_{GD} + j\omega C_{GD} \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right)$$

$$+ \frac{1}{R_q} j\omega C_{GD} + \frac{1}{R_q} \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right)$$

$$= -\omega^2 C_{GS} C_{GD} \quad (3.13)$$

$$+ j\omega \left( \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right) C_{GS} + \left( \frac{1}{r_{DS}} + \frac{1}{R_L} + \frac{1}{R_{1,2}} + \frac{1}{R_q} + g_m \right) C_{GD} \right)$$

$$+ \left( \frac{1}{R_{1,2}} + \frac{1}{R_q} \right) \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right).$$

### Adjunkte

Um die Übertragungsfunktion vom Eingang zum Ausgang zu berechnen, ist nach der Cramerschen Regel neben der Determinanten  $|\underline{Y}|$  auch die Adjunkte  $Y_{21}$  zum Element  $y_{12}$  zu bestimmen. Dies kann über eine Graphenmethode analog zur obigen Bestimmung der Determinanten geschehen [Mayeda72]. Dazu ist eine gesteuerte Admittanz derart dem Netzwerk hinzuzufügen, dass ein Zweig von Knoten I nach 0 im Stromgraphen und ein Zweig vom Ausgangsknoten II nach 0 im Spannungsgraphen hinzukommen.

Nun sind alle gemeinsamen Spannbäume zu bestimmen, die  $y$  enthalten

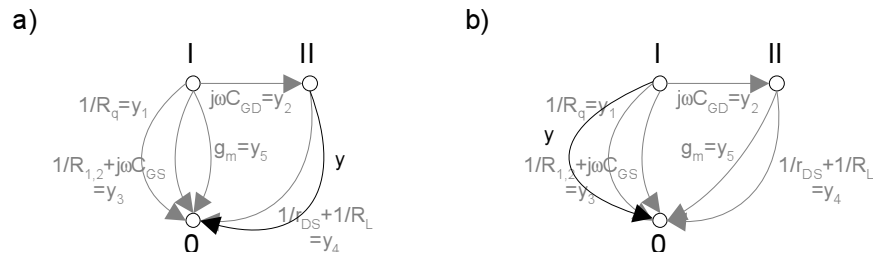


Bild 3.5: Veränderte Spannungs- (a) und Strom-(b)graphen zur Bestimmung der Adjunkten  $Y_{21}$  vom Knoten I zum Knoten II

$$S_{Sp,21} = \{yy_1, yy_2, yy_3, yy_5\} \quad (3.14)$$

$$S_{St,21} = \{yy_2, yy_4, yy_5\} \quad (3.15)$$

$$S_{21} = \{yy_2, yy_5\} . \quad (3.16)$$

Die Vorzeichen werden analog bestimmt zu

$$z_{yy2} = +1, \quad z_{yy5} = -1 . \quad (3.17)$$

Die Adjunkte wird nun geformt aus den Admittanzen dividiert durch  $y$ , so dass schließlich folgender Ausdruck entsteht

$$Y_{21} = +1 \cdot y_2 - 1 \cdot y_5 = j\omega C_{GD} - g_m . \quad (3.18)$$

Die ÜTF ergibt sich zu

$$\begin{aligned} H(s) &= \frac{U_2}{U_q} = \frac{Y_{12}}{|\underline{Y}|} \cdot \frac{1}{R_q} \quad (3.19) \\ &= \frac{\frac{1}{R_q} (j\omega C_{GD} - g_m)}{-\omega^2 C_{GS} C_{GD} + j\omega \left( \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right) C_{GS} + \left( \frac{1}{r_{DS}} + \frac{1}{R_L} + \frac{1}{R_{1,2}} \right. \right.} \\ &\quad \left. \left. \dots + \frac{1}{R_q} + g_m \right) C_{GD} \right) + \left( \frac{1}{R_{1,2}} + \frac{1}{R_q} \right) \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right)} \end{aligned}$$

Diese ist identisch mit der in Gleichung (3.3) angegebenen ÜTF.

Komplexität

Die Komplexität der graphenbasierten Algorithmen ist hauptsächlich durch die explizite Erzeugung aller Spannbäume bestimmt. Die Anzahl der möglichen Spannbäume wächst bei elektrischen Netzwerken in der Regel exponentiell mit der Zahl der Netzwerkknoten an. Für ein Netzwerk, das

als lineare Aneinanderreihung von Knoten mit jeweils zwei Kanten zum Vorgängerknoten aufgebaut ist, beträgt die Zahl der möglichen Spannbäume

$$n_{\text{Spannbäume}} = 2^{n_{\text{Knoten}}} . \quad (3.20)$$

Die Anzahl der Spannbäume entspricht ungefähr der Zahl der generierten Terme. Aus diesem Grunde steigt auch die Größe der exakten symbolischen Übertragungsfunktion näherungsweise exponentiell mit der Knotenzahl. Durch die Methode des Aufstellens sind Zähler und Nenner der Übertragungsfunktion vollständig ausmultipliziert. Dies ist in der Regel die Darstellung mit den meisten Ausdrücken. Eine faktorisierte Form, die durch andere Algorithmen gewonnen werden kann, kommt in der Regel mit weniger Ausdrücken aus.

**Aufhebungen** Es gibt zwei unterschiedliche Vorgänge, durch die sich zwei oder mehr erzeugte Ausdrücke exakt gegenseitig aufheben und deshalb gar nicht erst erzeugt werden müssen:

- Subtraktive Aufhebung innerhalb des Zählers bzw. Nenners und
- Kürzen von Faktoren zwischen Zähler und Nenner.

Die Erzeugung von Ausdrücken der ersten Art kann direkt bei der Aufstellung nach den graphenbasierten Methoden vermieden werden. Die Aufhebungen der zweiten Art sind durch die ausmultiplizierte Form nur schwer zu erkennen und werden erst durch einen Nachbearbeitungsschritt, der Faktorisieren und Kürzen beinhaltet, behandelt. Bei den matrixbasierten Methoden sind die Eigenschaften bezüglich der Aufhebungen genau entgegengesetzt, da sie häufig eine faktorisierte Form erzeugen.

**Vereinfachung während der Erzeugung** Um die entstehenden symbolischen Ausdrücke zu vereinfachen kann während der Termerzeugung z.B. durch die Two-Graph-Method die Erzeugung bestimmter (zu vernachlässigender) Terme verhindert werden. Dazu ist für die einzelnen Terme der Einfluss auf die ÜTF abzuschätzen. Dies kann wie in [DaVeWa99] über die Berechnung eines lokalen oder auch globalen Fehlers im Vergleich zu der numerischen Übertragungsfunktion erfolgen. Die Fehlerabschätzung erfolgt ohne dass die Terme explizit erzeugt werden. Schließlich entstehen nur die wichtigsten Terme.

### 3.2.1.2 Matrixbasierte Verfahren

Die matrixbasierten Methoden zur Übertragungsfunktionsberechnung stellen aus dem Netzwerk zunächst eine Systemmatrix und einen Erregungsvektor auf (z.B. Modified-Nodal-Approach, Tableau-Approach etc.). Für

das Beispiel aus Bild 3.1 ergibt sich durch einen Modified-Nodal-Approach zum Beispiel die folgende Systemgleichung.

$$\begin{bmatrix} 1 & 0 & \frac{1}{R_q} & -\frac{1}{R_q} \\ 0 & sC_{GD} & -sC_{GD} - sC_{GS} & \frac{1}{R_q} \\ 0 & -sC_{GD} & -\frac{1}{R_q} - \frac{1}{R_{1,2}} & \frac{1}{R_q} \\ 0 & -\frac{1}{r_{DS}} - \frac{1}{R_L} & sC_{GD} - g_m & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} i_{uq\_iout} \\ u_{drain} \\ u_{gate} \\ u_{gin} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ U_q \end{bmatrix} \quad (3.21)$$

Die Lösung des entstehenden Gleichungssystems geschieht in der Regel über die Cramersche Regel [PiShi00]. Dazu sind die Determinante der Systemmatrix und die Determinante einer Adjunkten symbolisch zu berechnen. Dies kann direkt über den Laplaceschen Entwicklungssatz geschehen: Für eine Spalte oder Zeile der Systemmatrix ergibt sich die Determinante als Summe über die Produkte aus Element  $A_{i,j}$  und dessen Adjunkten (Unterdeterminanten  $|A_{ij}|$ ). Hier gilt z.B. für die Entwicklung nach der Zeile  $i$

$$|A| = \sum_{j=1}^n A_{i,j} \cdot (-1)^{i+j} \cdot |A_{ij}|. \quad (3.22)$$

Dies kann wie in [SoAmHe93] durch ein Computeralgebrasystem geleistet werden. Da die Systemmatrizen in der Regel schwach besetzt sind, kann der Laplacesche Entwicklungssatz effizient angewendet werden. Es entsteht eine "Produkt von Summen"-Form. Für das obige Beispiel ist das die Determinante

$$\begin{aligned} |Y| &= y_{4,4} \cdot (-1)^8 |Y_{44}| = y_{4,4} \cdot y_{1,1} \cdot (-1)^2 ||Y_{44}|_{11}| = \\ &= y_{4,4} \cdot y_{1,1} \cdot \begin{vmatrix} y_{22} & y_{23} \\ y_{32} & y_{33} \end{vmatrix} \\ &= 1 \cdot 1 \cdot \left( (sC_{GD}(sC_{GD} - g_m)) \right. \\ &\quad \left. - \left( (-sC_{GD} - \frac{1}{r_{DS}} - \frac{1}{R_L}) \cdot (-sC_{GD} - sC_{GS} - \frac{1}{R_q} - \frac{1}{R_{1,2}}) \right) \right) \\ &= s^2 (\cancel{C_{GD}^2} - \cancel{C_{GD}^2} - C_{GD}C_{GS}) \\ &\quad + s \left( -C_{GD} \left( g_m + \frac{1}{R_q} + \frac{1}{R_{1,2}} + \frac{1}{r_{DS}} + \frac{1}{R_L} \right) - C_{GS} \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right) \right) \\ &\quad - \frac{1}{r_{DS}R_q} - \frac{1}{r_{DS}R_{1,2}} - \frac{1}{R_LR_q} - \frac{1}{R_LR_{1,2}}. \end{aligned} \quad (3.23)$$

Ist jeweils nur ein Element in der entsprechenden zu entwickelnden Zeile vorhanden, so entsteht bezüglich dieses Elements eine vollständig faktorierte Form.

Zur Bestimmung der Übertragungsfunktion steht noch die Bestimmung der Adjunkten  $Y_{24}$  zum Element  $y_{4,2}$  aus.

$$\begin{aligned}
 Y_{24} &= (-1)^6 \cdot \left| \begin{array}{ccc} 1 & \frac{1}{R_q} & -\frac{1}{R_q} \\ 0 & -sC_{GD} - sC_{GS} - \frac{1}{R_q} - \frac{1}{R_{1,2}} & \frac{1}{R_q} \\ 0 & sC_{GD} - g_m & 0 \end{array} \right| \\
 &= 1 \cdot \left( 0 - \frac{1}{R_q} (sC_{GD} - g_m) \right) = \frac{1}{R_q} (g_m - sC_{GD})
 \end{aligned} \tag{3.24}$$

Die ÜTF berechnet sich zu

$$H(s) = \frac{Y_{24}}{|Y|}, \tag{3.25}$$

welches auf einen zu Gleichung (3.19) identischen Ausdruck führt.

**Aufhebungen** Für unser Beispiel ist die Aufhebung einer Addition im Nenner der Übertragungsfunktion erfolgt (siehe Gleichung (3.23)). Aufhebungen durch Kürzen traten in diesem Beispiel nicht auf. Dies ist allerdings bei größeren Beispielen zu erwarten. Diese Aufhebungen lassen sich durch die faktorisierte Form leicht finden [HsuSec94]. Durch die faktorisierte Form ist die Übertragungsfunktion in der Regel kürzer als eine vollständig ausmultiplizierte.

**Komplexität** Die Laufzeitkomplexität der Algorithmen ist durch die Laufzeitkomplexität der Determinantenbestimmung dominiert. Die maximale Anzahl der Summanden der Determinanten einer vollbesetzten  $n \times n$  Matrix ist  $n!$ . In der Praxis sinkt diese Zahl jedoch durch die nicht besetzten Elemente der Matrix.

Algorithmische Verbesserungen sind möglich z.B. durch Speichern der schon berechneten Unterdeterminanten, um beim Aufstellen der Adjunkten Zeit zu sparen. Auch eine effiziente Datenstruktur zum Speichern und Evaluieren der Determinanten lässt sich angeben [PiShi00].

### 3.2.1.2.1 Lokale Vereinfachung vor der Matrixinvertierung

Die Anzahl der von 0 verschiedenen Elemente und die Komplexität dieser Elemente bestimmen entscheidend die Komplexität der Algorithmen zur Determinantenberechnung und die Größe der Übertragungsfunktion. Hier setzt ein Algorithmus an, der direkt versucht, die einzelnen Matrixelemente



vor der Matrixinvertierung zu vereinfachen [HsuSec94]. Dazu wird ein lokales relatives Fehlerkriterium verwendet, das nur die Änderung des untersuchten Matrixelements beim Entfernen eines Terms  $t_k$  des Matrixelements  $y_{i,j}$  betrachtet.

$$\varepsilon = \frac{y_{i,j} - t_k}{|y_{i,j}|}, t_k \in y_{i,j} \quad (3.26)$$

Der globale Fehler der berechneten ÜTF kann jedoch durch nichtlineare Fehlerfortpflanzung deutlich vom lokalen Fehler abweichen. Das Verfahren weist eine lineare Zeitkomplexität in Abhängigkeit von der Anzahl der Terme in der Matrix auf. Diese Anzahl ist z.B. beim Modified-Nodal-Approach proportional zur Anzahl der Bauelemente.

**Eigenschaften** Das Verfahren ist effektiv für kleine zugelassene Fehler, da damit kaum wesentliche nichtlineare Vergrößerungen des globalen Fehlers zu erwarten sind. Jedoch kann verfahrensinherent nie ein ganzes Matrixelement gelöscht werden.

### 3.2.1.2.2 Globale Vereinfachung vor der Matrixinvertierung

Eine globale Vereinfachung kann durch einen Algorithmus geleistet werden, der direkt versucht, die einzelnen Matrixelemente oder einzelne Terme von Matrixelementen zu Null zu setzen [SoHeDr93]. Eine globale, numerische Fehlerprädiktion ermöglicht vorab eine Reihenfolgeberechnung (Ranking) und damit eine spätere effektive Vereinfachung der Matrix für unterschiedliche Frequenzen und Parametersätze. Dazu wird die Systemmatrix einmal pro zu berechnendem Frequenzpunkt der nominellen Lösung invertiert. Der exakte Fehler  $\varepsilon$  des Entferns jedes Terms  $t_k$  eines Matrixelements  $y_{i,j}$  kann mit Hilfe des Sherman-Morisson-Theorems direkt ohne Matrizeninversion berechnet werden [Hennig00].

$$\Delta x_m = \frac{t_k y_{m,i}^{-1}}{1 - t_k y_{j,i}^{-1}} \cdot x_j \quad (3.27)$$

$$\varepsilon = \frac{x_m - \Delta x_m}{|x_m|} \quad (3.28)$$

Dabei sind die  $y_{m,i}^{(-1)}$  und  $y_{j,i}^{(-1)}$  die entsprechenden Elemente der inversen Systemmatrix  $Y^{-1}$ ,  $x_j$  ist das j-te Element des Lösungsvektors des Variablenvektors  $\vec{x}$  und  $x_m$  ist die Variable, die als Ausgang der Schaltung definiert wurde. Die exakte Berechnung der globalen Lösung verhindert die nichtlineare Vergrößerung lokaler Fehler und stellt auch sicher, dass durch Entfernen eines gesamten Matrixelements die Determinanten nicht singular werden.

Durch dieses Vorgehen können die zu entfernenden Terme in eine aufsteigende Reihenfolge gebracht werden. In der Regel lassen sich bei der anschließenden tatsächlichen Entfernung der Terme mehr Terme entfernen. Bei dieser Entfernung ist allerdings jedes Mal eine komplette Matrixinversion durchzuführen, um die sich fortpflanzenden Fehler zu berücksichtigen. Der gesamte Algorithmus ist in Bild 3.6 dargestellt.

Globale Vereinfachung (Systemmatrix, Erregungsvektor, Fehlerschranke)

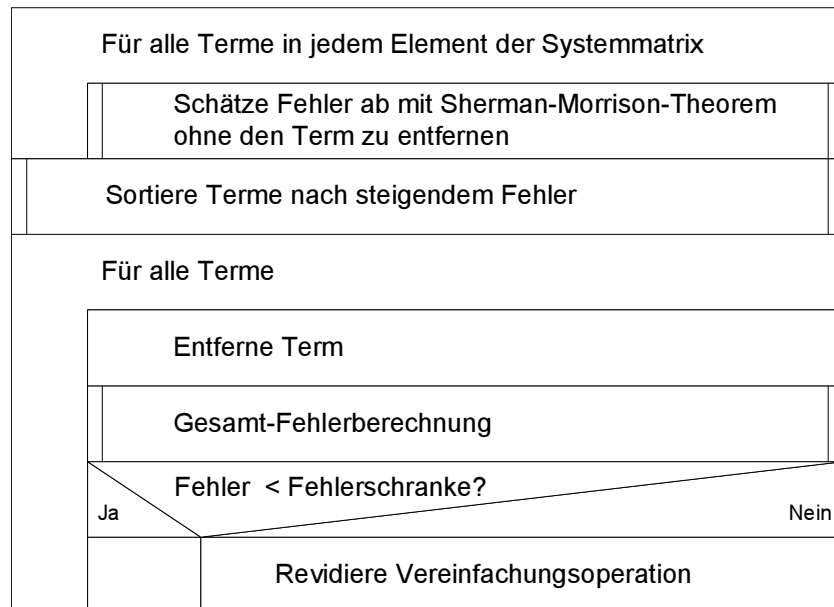


Bild 3.6: Algorithmus zur Vereinfachung einer Systemmatrix mit vorherigem Ranking der einzelnen Terme

Beispiel

Für das Beispiel aus Bild 3.1 wird die Systemmatrix aus Gleichung (3.21) vereinfacht zu

$$\begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & sC_{GD} & -\frac{1}{R_q} - \frac{1}{R_{1,2}} & \frac{1}{R_q} \\ 0 & -\frac{1}{r_{DS}} - \frac{1}{R_L} & -g_m & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} i_{uq\_iout} \\ u_{drain} \\ u_{gate} \\ u_{gin} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ U_q \end{bmatrix}. \quad (3.29)$$

Eine Lösung dieses Gleichungssystems liefert die einfachere ÜTF

$$H(s) = \frac{\frac{1}{R_q} (-g_m)}{j\omega (g_m C_{GD}) + \left( \frac{1}{R_{1,2}} + \frac{1}{R_q} \right) \left( \frac{1}{r_{DS}} + \frac{1}{R_L} \right)}. \quad (3.30)$$

Eigenschaften

Dieses Verfahren verhindert effizient die Erzeugung vieler Terme und verringert damit die dazu gehörige Rechenzeit. Es weist eine lineare Rechenzeitabhängigkeit von der Anzahl der Einträge in der Systemmatrix auf.

### 3.2.1.3 Vereinfachungsverfahren nach der Erzeugung

Ergänzend ist eine weitere Vereinfachung der entstehenden ÜTF - nach der symbolischen Invertierung bzw. nach der Termerzeugung durch die graphenbasierten Algorithmen - sinnvoll, da hier viele Terme z.B. durch Ausmultiplikation entstanden sein können, die einzeln vernachlässigt werden können. Dieses Vorgehen ist historisch gesehen das erste Vereinfachungsprinzip. Es gibt unterschiedliche Ansätze, eine ÜTF zu vereinfachen. Eine umfassende Darstellung findet sich in [FeRoHu97].

Eine einfache Methode ist es, den Nenner und Zähler der ÜTF jeweils auszumultiplizieren und die Koeffizienten der Potenzen von  $s$  als Summen zusammenzufassen [FeRoMa93]. Die einzelnen Summanden der Koeffizienten von  $s^i$  können unter Kontrolle eines lokalen oder globalen Fehlerkriteriums vernachlässigt werden.

$$H(s) = \frac{j\omega C_{GD}R_L - g_m R_L}{j\omega (C_{GD}R_L (R_q g_m + 1) + C_{GD}R_q) + \frac{R_L}{r_{DS}} + 1} \quad (3.31)$$

Gleichung (3.31) stellt das Ergebnis nach der ausschließlichen Anwendung der Vereinfachung nach der Erzeugung auf die exakte ÜTF aus Gleichung (3.19) dar.

## 3.2.2 Bewertung

Für lineare Schaltungen ist die symbolische Analyse gut etabliert. Sie hat einen Forschungsstand erreicht, der einige Alternativen aufgezeigt hat und auch schon zu kommerziellen Anwendungen geführt hat. Schaltungsentwickler können auf die Werkzeuge zugreifen. Es ist zu erwarten, dass durch den Einsatz im Entwurf die Produktivität des Entwicklers aus den in der Einleitung genannten Gründen gesteigert werden kann. Jedoch kann noch nicht von einer flächendeckenden Verbreitung der Werkzeuge gesprochen werden. Die Anstrengungen zur Einführung und Verbreitung dieser Werkzeuge sind daher weiterhin aufrechtzuerhalten.

In Forschung und Lehre sind die Werkzeuge zur symbolischen Analyse linearer Schaltungen gut etabliert. Sie eignen sich gerade für die Lehre besonders gut, da zum einen die Netzwerktheorie besser verstanden werden kann, weil sie von einer weiteren Seite beleuchtet wird. Zum anderen ist es sehr nützlich, beim Schaltungsentwurf die symbolische Analyse zu nutzen, um die sich ständig wiederholenden Berechnungen und Vernachlässigungen von Netzwerkfunktionen automatisiert durchführen zu können.

### Worksheet

In Anhang A.1 ist ein Worksheet mit der linearen symbolischen Analyse der als Beispiel gewählten Sourceschaltung zu finden. Zur Verdeutlichung des Ablaufs aus Bild 3.2 werden einige Zwischenergebnisse dargestellt.

### 3.3 Symbolische Analyse nichtlinearer Schaltungen

Bei der symbolischen Analyse nichtlinearer Schaltung ist noch nicht der für die linearen Schaltungen erzielte Entwicklungsstand erreicht. Dies liegt zum Teil an der mathematisch schwieriger zu behandelnden Darstellung durch nichtlineare Algebro-Differentialgleichungssysteme. Trotzdem ist auch hier ein Bedarf an symbolischen Ausdrücken für Zusammenhänge zwischen den Schaltungsparametern und -eigenschaften vorhanden.

Beispiel

In Bild 3.7 ist eine Differenzstufe dargestellt. An ihr soll exemplarisch das Vorgehen zur symbolischen Analyse nichtlinearer Schaltungen gezeigt werden.

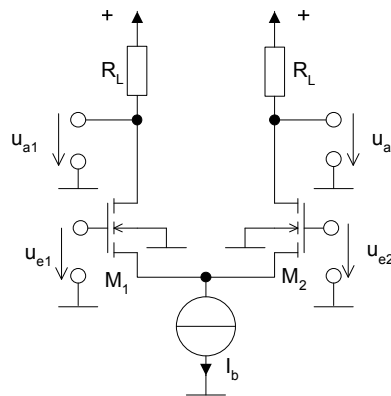


Bild 3.7: Differenzstufe

Die Ausgangsspannung am Ausgang  $u_{a2}$  kann für den Fall, dass die beiden Transistoren in Sättigung betrieben werden, zu

$$u_{a2} = R_L(u_{e1} - u_{e2}) \sqrt{\sqrt{\frac{W}{2L}\mu C'_{ox} I_b} - \frac{W}{2L}\mu C'_{ox}(u_{e1} - u_{e2})} - \frac{1}{2}R_L I_b + V_{DD} \quad (3.32)$$

berechnet werden. Aus dieser Gleichung lassen sich Aussagen über die Schaltung gewinnen. So kann zum Beispiel die Steigung im Arbeitspunkt oder der Klirrfaktor in Abhängigkeit vom Aussteuerungsbereich bestimmt werden. Erstere ergibt sich zu

$$\frac{\partial u_{a2}}{\partial (u_{e1} - u_{e2})} = R_L \cdot \sqrt{\frac{W}{2L}\mu C'_{ox} \cdot I_b}, \quad (3.33)$$

letzterer zu

$$k = \frac{1}{16} \frac{\frac{W}{2L} \mu C_{ox} (\hat{u}_{e2} - \hat{u}_{e1})^2 \cdot \sqrt{64 I_b^4 + 4 \frac{W^2}{4L^2} \mu^2 C_{ox}'^2 I_b^2 (\hat{u}_{e2} - \hat{u}_{e1})^4 + \dots}}{I_b^3}. \quad (3.34)$$

Der Klirrfaktor lässt sich unter Vernachlässigung höherer Potenzen der Eingangsspannungen vereinfachen zu

$$k \approx \frac{1}{2} \cdot \frac{\frac{W}{2L} \mu C_{ox}' (\hat{u}_{e2} - \hat{u}_{e1})^2}{I_b}. \quad (3.35)$$

Dieses Beispiel soll zur Motivation der symbolischen Analyse nichtlinearer Schaltungen beitragen. Die Aussagen, die hier gewonnen werden, wurden bis heute ausschließlich manuell für jede Schaltung und für jede Dimensionierung mit einer entsprechend anderen Vernachlässigung neu berechnet. Durch ein automatisches Vorgehen ist zum einen der Aufwand für die Erzeugung der Ausdrücke geringer zum anderen ist das automatische Verfahren weniger fehleranfällig. Nachteilig ist unter Umständen, dass die erzeugten Ausdrücke zu komplex sind und eine manuelle Nachbearbeitung notwendig wird.

### 3.3.1 Algorithmen

Verfahren zur symbolischen Analyse nichtlinearer Schaltungen sind erst in jüngster Zeit entwickelt worden [BoHeBa96], [SoHeTh99], [PoNäBo99]. Eine Übersicht ist in Bild 3.8 angegeben. Die strukturelle Vereinfachung vor dem Aufstellen des nichtlinearen Algebra-Differentialgleichungssystems ist konzeptionell ähnlich der schon in Abschnitt 3.2 erwähnten Methode. Die Kernmethoden basieren auf dem Konzept der direkten Vereinfachung eines nichtlinearen Algebra-Differentialgleichungssystems. Nach diesem Schritt wird zur Erzeugung eines Ausdrucks zum Teil eine weitere Ersetzung und Auflösung erforderlich. Der entstehende Ausdruck kann wiederum weiter vereinfacht werden.

Zu jedem Vereinfachungsschritt werden im folgenden die zugehörigen Algorithmen erläutert.

#### 3.3.1.1 Strukturelle Vereinfachung

Verfahren zur strukturellen Vereinfachung sind zum Teil schon im Abschnitt 3.2 erläutert worden. Diese Verfahren beinhalten eine Fehlerkontrolle, die wiederum von der Zielübertragungsfunktion abhängt und deshalb an die symbolische Analyse nichtlinearer Schaltungen angepasst werden muss. Eine Methode ist in [OIPoNä01] dargestellt.

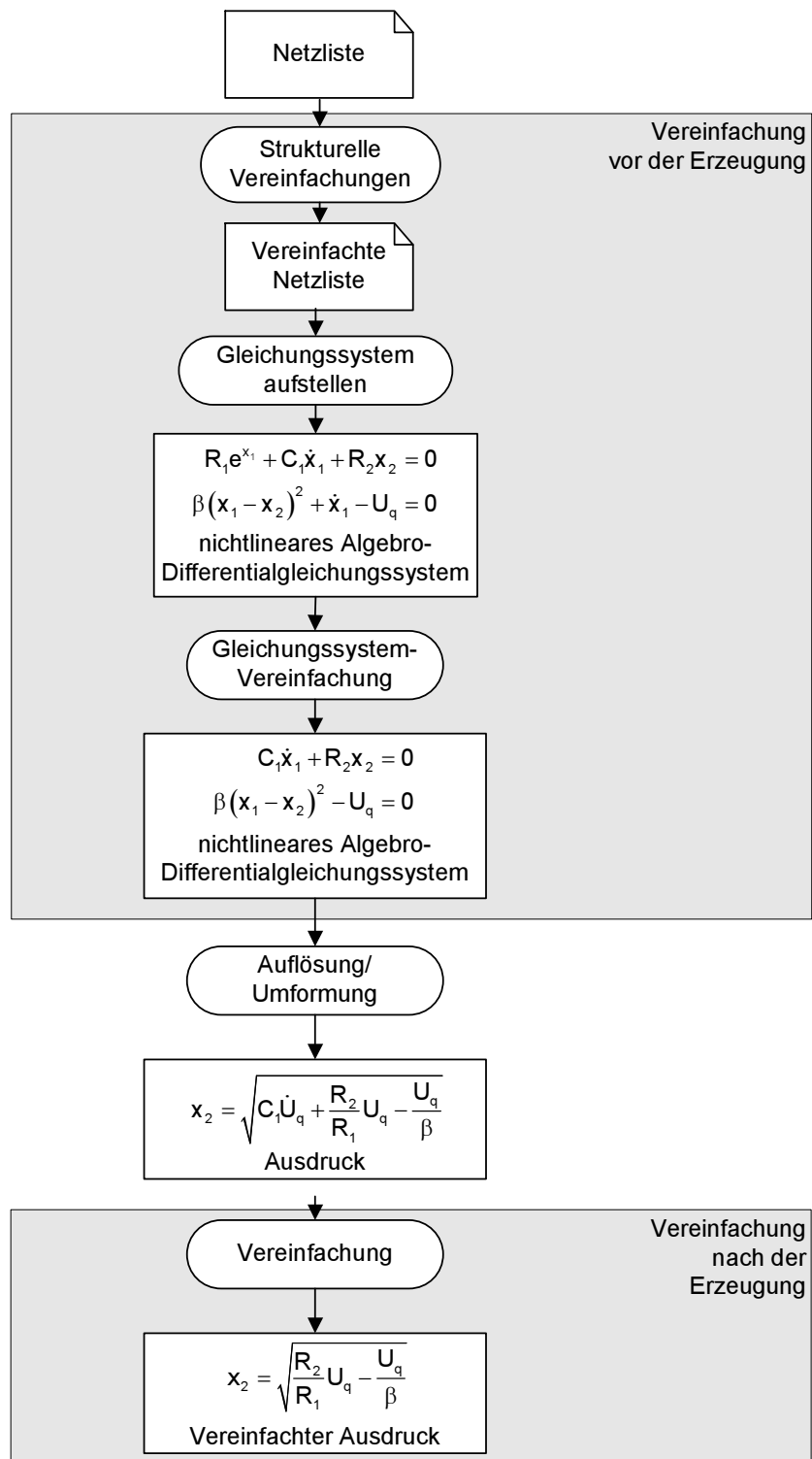


Bild 3.8: Einteilung der Algorithmen zur symbolischen Analyse nichtlinearer Schaltungen

Die Idee dieser Methode ist, in einer Netzliste enthaltene Bauelemente oder Gruppen von Bauelementen durch einfachere Verhaltensmodelle zu erset-

zen. Dazu wird auf der Netzlistenebene eine strukturelle Erkennung von Bauelementen oder Gruppen von Bauelementen in bestimmter Beschaltung durchgeführt. Zum Beispiel kann die Zusammenschaltung zweier Transistoren zu einem Stromspiegel erkannt werden. Anschließend werden die Transistoren durch ein Verhaltensmodell eines Stromspiegels ersetzt. Die zugehörigen Parameter des Verhaltensmodells werden aus Simulationsdaten oder aber direkt aus den Parametern der Transistornetzliste gewonnen. Durch die Verwendung von unterschiedlich genau modellierten Verhaltensmodellen ist eine Ersetzung passend zu den Genauigkeitsanforderungen möglich. Eine anschließende Fehlerkontrolle durch eine Simulation und eine Auswertung der Simulationsergebnisse gewährleisten die Zulässigkeit der Ersetzung. Im Fehlerfalle wird die Ersetzung rückgängig gemacht. Der Algorithmus ist in Bild 3.9 dargestellt.

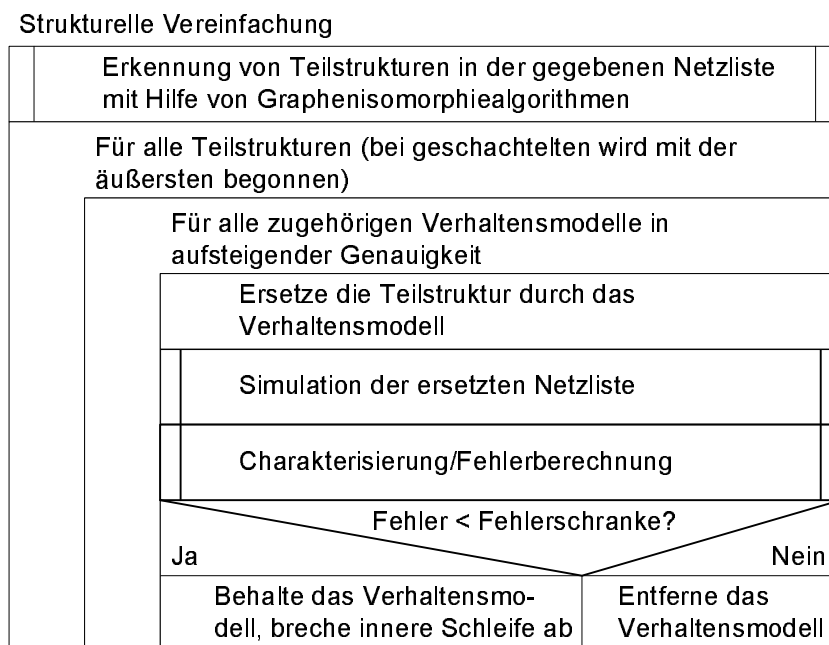


Bild 3.9: Algorithmus zur strukturellen Vereinfachung

#### Beispiel

In Bild 3.10 und Bild 3.11 ist ein Beispiel für die strukturelle Vereinfachung dargestellt. Die Stromspiegel in der Schaltung des Operationsverstärkers (OP) konnten jeweils durch verbundene Verhaltensmodelle ersetzt werden. Hierbei wird für den Eingangstransistor des Stromspiegels ein eigener Teil des Verhaltensmodells eingesetzt, um mehrere Ausgangstransistoren einzeln ersetzen zu können ( $M_2, M_3$ ).

Die Netzliste mit den eingesetzten Verhaltensmodellen benötigt weniger Simulationszeit. Weiterhin führt sie zu einer Reduktion der Anzahl der entstehenden Algebro-Differentialgleichungen um den Faktor 2.5.

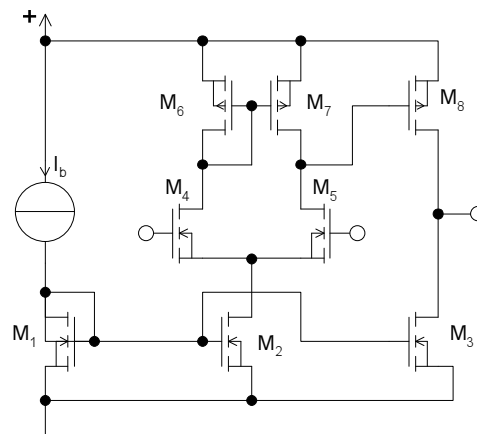


Bild 3.10: Netzliste eines Operationsverstärkers

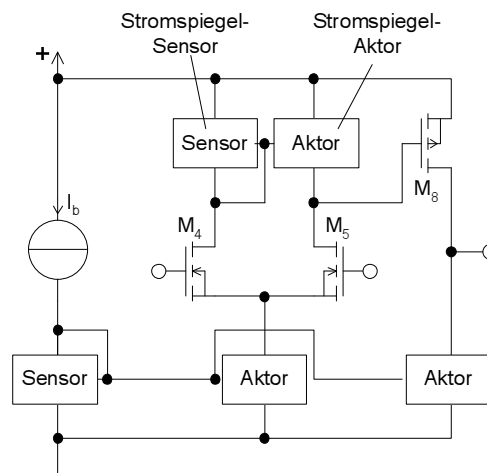


Bild 3.11: Durch Verhaltensmodelle ersetzte Netzliste des OP aus Bild 3.10

### 3.3.1.2 Vereinfachung des nichtlinearen Algebra-Differentialgleichungssystems

Das aus der Netzliste, den gegebenen symbolischen/numerischen Verhaltensmodellen und einer symbolischen Bauelemente-Bibliothek aufgestellte nichtlineare Algebra-Differentialgleichungssystem kann durch verschiedene Verfahren vereinfacht werden.

Das Grundkonzept ist eine simulationsbasierte Vereinfachung. Der zugehörige Algorithmus wird in Bild 3.12 dargestellt.

Jede Vereinfachung wird durch eine anschließende Simulation und Fehlerberechnung des Algebra-Differentialgleichungssystems überprüft und gegebenenfalls zurückgenommen. Der oben angegebene Algorithmus ist so nicht zwingend notwendig. Es könnte als Zielschranke nicht ein Fehlerwert angegeben werden sondern z.B. die Komplexität des DGL-Systems. Dann sollten die Vereinfachungsoperationen allerdings in einer bestimmten Reihenfolge – in aufsteigender vermuteter Fehlergröße – durchgeführt werden.



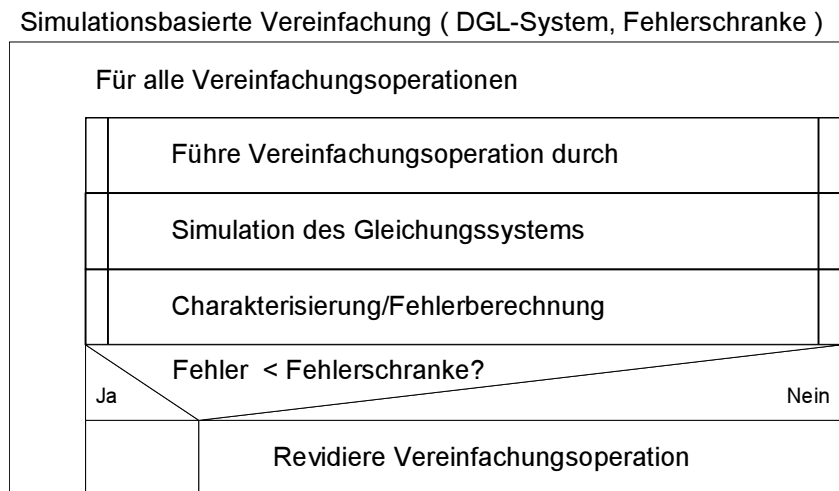


Bild 3.12: Grundalgorithmus zur Vereinfachung eines Algebra-Differentialgleichungssystems

#### Reihenfolge

Auch für die symbolische Analyse mit einer festen Fehlerschranke als Vorgabe ist für den Erfolg der Vereinfachungsoperationen in der Regel auch deren Anwendungsreihenfolge wesentlich. Es ist z.B. möglich, dass eine erfolgreiche Vereinfachungsoperation zwei weitere verhindert, die in anderer Reihenfolge durchgeführt hätten werden können und ein über alles gesehenes besseres Ergebnis erzielt hätten. Die zugehörigen Algorithmen führen - wie schon in Abschnitt 3.3.1.2.2 beschrieben - für jede Vereinfachungsoperation eine Fehlerabschätzung durch, ohne die Vereinfachungsoperation zu fixieren.

#### Fehlerkontrolle

Um eine Fehlerkontrolle und damit eine Zulässigkeitsüberprüfung einer Operation durchführen zu können, ist eine Beurteilung der Lösungen des DGL-Systems nötig. Dies kann über eine Simulation erfolgen. Dazu ist das zu untersuchende DGL-System mit einem entsprechenden Simulator unter Anlegung von sinnvollen Erregungen zu simulieren. Die entstehenden Signale können über Auswertefunktionen beurteilt und mit dem Original-DGL-System verglichen werden. Wichtige Konzepte zur Einsetzbarkeit sind die folgenden [NäPpHe99] (siehe auch Abschnitt 3.3.3) :

- Einbetten des DGL-Systems in eine Testbeschaltung (test bench), die eine unterschiedliche Beschaltung (z.B. rückgekoppelt oder offen) und eine Versorgung mit unterschiedlichen Signalquellen ermöglicht.
- Einfache Fehlerberechnungsfunktionen, die auf Ausgangskurvenverläufen der DC-, AC- oder Transienten-Analyse operieren. Dies können z.B. mittlere Fehler, Kreuzkorrelationen oder Hausdorffdistanzen sein.
- Zur Verfügungstellung eines Satzes von Eigenschaftsberechnungsfunktionen wie z.B.: Slew Rate, Offset usw. Da diese die Schaltungseigenschaften charakterisieren und oft ein Teil der Spezifikation sind,

sind sie sehr gut als Fehlerkriterium geeignet. Ein erzeugter symbolischer Ausdruck sollte ja möglichst die wichtigsten Schaltungseigenschaften genau approximieren.

Ein wesentlicher Teil der Konzepte zur Vereinfachung lässt sich den Vereinfachungsoperationen zuordnen. Dazu gehören termorientierte Vereinfachungsoperationen und globale Vereinfachungsoperationen. Diese werden in den Unterabschnitten 3.3.1.2.1 und 3.3.1.2.2 erläutert.

### 3.3.1.2.1 Termorientierte Vereinfachungsoperationen

Die termorientierten Vereinfachungsoperationen arbeiten lokal auf einzelnen Termen des DGL-Systems. Es können u.a. folgende Operationen durchgeführt werden.

- Streichung eines Terms (in der Regel bei Summen)

$$\begin{aligned} & \dots \\ & \dots + \frac{kT}{q} \ln \left( 1 + e^{\frac{u_I - u_{II}}{kT/q}} \right) + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \quad (3.36) \\ & \dots \end{aligned}$$

- Taylorreihenentwicklung eines Terms: Abbruch nach dem ersten (Konstantsetzung) oder zweiten (Linearisierung) Glied.

$$\begin{aligned} & \dots \\ & \dots + \frac{kT}{q} \ln \left( 1 + e^{\frac{u_I - u_{II}}{kT/q}} + \boxed{3,4 + 2,7 \cdot (u_I - u_{II})} \right) \quad (3.37) \\ & \quad + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \\ & \dots \end{aligned}$$

Im Beispiel wird die Exponentialfunktion durch eine Gerade angenähert. Die Zahlenwerte ergeben sich aus Differentiation des Ausdrucks und dem anschließenden Einsetzen der numerischen Arbeitspunktwerte, da diese in der Regel nicht in symbolischer Form vorliegen. Eine genauere Approximation mit dem dritten Glied erscheint nicht sinnvoll, da die Ausdrücke dann in der Regel komplexer sind als der Ursprungsausdruck. Besser ist daher das folgende Vorgehen.

- Ersetzen eines komplexen Terms/einer komplexen Funktion durch eine andere approximierende Funktion. Im folgenden Beispiel wird der komplexe Ausdruck  $\ln(1 + e^x)$  durch eine Approximation mit der Heaviside-Funktion angenähert.

$$\begin{aligned} & \dots \\ & \dots + \frac{kT}{q} \cdot \ln \left( 1 + e^{\frac{u_I - u_{II}}{kT/q}} \right) \cdot \boxed{\left( \text{Heaviside} \left( \frac{u_I - u_{II}}{kT/q} \right) \cdot \left( \frac{u_I - u_{II}}{kT/q} \right) \right)} \\ & \quad + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \\ & \dots \end{aligned} \quad (3.38)$$

Die zu ersetzenden Terme/Funktionen werden in einer Liste mit ihren potentiellen Ersetzungsausdrücken vorab dem Algorithmus mitgegeben. Da Transistorschaltungen auf den in der Bibliothek vorhandenen Transistormodellen basieren, kann diese Liste z.B. durch Inspektion der in den Transistormodellen vorhandenen Gleichungen manuell erzeugt werden.

- Konstantsetzung eines Terms (z.B. bei Produkten). Hiermit kann z.B. der Nenner im Argument der Heaviside-Funktion von Gleichung (3.38) eliminiert werden:

$$\begin{aligned} & \dots \\ & \dots + \frac{kT}{q} \left( \text{Heaviside} \left( \frac{u_I - u_{II}}{\cancel{\frac{kT}{q}} \boxed{1}} \right) \cdot \left( \frac{u_I - u_{II}}{kT/q} \right) \right) + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \\ & \dots \end{aligned} \quad (3.39)$$

Alle diese Operationen können nacheinander auf den gleichen Term angewandt werden.

**Rekursion** Die Vereinfachungsoperationen sind, wie die Beispiele zeigen, nicht nur in der obersten Ebene der mathematischen Ausdrücke möglich, sondern sie können rekursiv in den Termen angewendet werden. Eine Abarbeitungsreihenfolge von außen nach innen, die dieser Rekursion entspricht ist sinnvoll, da durch Elimination/Approximation eines großen äußeren Terms das Überprüfen derselben für den inneren Term eingespart werden kann.

**Term-Paare** Außerdem können Operationen auf Paaren von Termen durchgeführt werden. Dabei können zwei Terme, die einzeln einen jeweils großen Fehler verursachen, bei gleichzeitigem Entfernen einen wesentlich geringeren Fehler aufweisen. Dies erscheint z.B. bei gepaarten (matchenden) Transistoren sinnvoll. Die Zahl solcher Paare steigt jedoch exponentiell mit der Zahl der zu untersuchenden Terme. Eine Vorauswahl aufgrund der Netzlisteninformation ist daher zwingend erforderlich.

### 3.3.1.2.2 Globale Vereinfachungsoperationen

Globale Vereinfachungen betreffen das ganze Gleichungssystem. Hierzu gehören z. B. die folgenden Operationen:

- Streichen von Parametern

$$\begin{aligned} & \dots \\ & \dots + I_F \left( e^{\frac{u_I - u_{II}}{kT/q}} - 1 \right) + \cancel{\left( e^{\frac{u_I - u_{IV}}{kT/q}} - 1 \right)} + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \quad (3.40) \\ & \dots \end{aligned}$$

Im obigen Beispiel wird der Parameter  $I_R$  von allen Bipolartransistoren gleichzeitig zu Null gesetzt. Es können auch komplexere Operationen, wie das Eliminieren von Bahnwiderständen durchgeführt werden.

- Exakte Elimination einer Variablen durch Auflösen und Einsetzen einer Gleichung. Im Beispiel wird nach Variable  $u_I$  aufgelöst und eingesetzt.

$$\begin{array}{l}
 \dots \\
 \dots \frac{u_I}{R_1} i_q = 0 \\
 \dots + I_F \left( e^{\frac{\boxed{R_1 i_q} - u_{II}}{kT/q}} - 1 \right) + \frac{\boxed{R_1 i_q} - u_{IV}}{R_1} + \dots = 0 \quad (3.41) \\
 \dots
 \end{array}$$

Die Elimination einer Variablen ist, obwohl sie exakt ist, nicht immer möglich, da mathematisch gesehen Nebenlösungen entstehen können oder die numerische Lösbarkeit des DGL-Systems schlechter werden kann.

- Konstantsetzen und damit Elimination einer Schaltungsvariablen  $x_i$  in Verbindung mit der Elimination einer Gleichung.

$$\begin{array}{l}
 \dots \\
 \dots \frac{u_I}{R_1} i_q = 0 \\
 \dots + I_F \left( e^{\frac{\boxed{1.23} - u_{II}}{kT/q}} - 1 \right) + \frac{\boxed{1.23} - u_{IV}}{R_1} + \dots = 0 \quad (3.42) \\
 \dots
 \end{array}$$

Die zu streichende Gleichung ist nicht immer eindeutig zu finden. Ein Durchgehen der möglichen Gleichungen erscheint sinnvoll.

- Streichen aller Ableitungen einer Schaltungsvariablen  $\dot{x}_i$ . Man kann dies auch einzeln tun, erreicht aber durch das gemeinsame Streichen von Ableitungen bei Variablen, deren dynamisches Verhalten einen sehr geringen Einfluss auf das Schaltungsverhalten hat, einen Lauf-

zeitvorteil, weil nicht jedes Auftreten einzeln geprüft werden muss.

$$\begin{aligned}
 & \dots \\
 & \dots \cancel{(C_1 + C_2)} \overline{u_{II}} + I_F \left( e^{\frac{u_I - u_{II}}{kT/q}} - 1 \right) + \frac{u_I - u_{IV}}{R_1} + \dots = 0 \\
 & + \cancel{C_1} \overline{u_{II}} + \frac{u_{II} + u_{III}}{R_4} = 0 \\
 & \dots
 \end{aligned} \tag{3.43}$$

Transistor-  
modell

Ein Großteil der Gleichungen, die das eine Schaltung beschreibende Algebra-Differentialgleichungssystem ausmachen, beschreibt die Transistormodellgleichungen. Sie sind deshalb so umfangreich, weil alle Betriebsbereiche modelliert werden müssen, obwohl der einzelne Transistor sich zu einem definierten Zeitpunkt nur in einem bestimmten Betriebsbereich befinden kann. An dieser Stelle kann eine Vereinfachung ansetzen. Es sind gezielt die Gleichungen aus dem DGL-System zu entfernen, die den nicht benötigten Betriebsbereich beschreiben. Dies kann global für alle Transistoren oder aber auch für nur einen Transistor erfolgen.

### 3.3.1.3 Vereinfachung nach der Auflösung

Nachdem alle Vereinfachungsoperationen durchgeführt worden sind, bleibt häufig ein DGL-System bestehen, das noch mehrere Gleichungen und damit auch Variablen enthält. Man ist jedoch an einer einzigen Ein-/Ausgangsgleichung interessiert.

Automatisch

Eine automatische Auflösung der Gleichungen durch ein Computeralgebrasystem ist bis zu einem gewissen Grad möglich. Dies geschieht durch Auflösen und Einsetzen der Gleichungen ineinander. Manchmal müssen mehrere alternative Einsetzungsmöglichkeiten untersucht werden. Ein Algorithmus, der versucht, einen möglichst kurzen Ausdruck durch rekursives Einsetzen der aufgelösten Gleichungen zu bestimmen, ist in Bild 3.13 dargestellt. Mehrfache Lösungen z.B. von quadratischen Gleichungen werden nicht eingesetzt, da dann die Korrektheit des Ergebnisses nach dem Einsetzen nicht mehr gewährleistet ist.

Durch die Rekursion erfasst der Algorithmus alle Möglichkeiten der Einsetzungen. Er weist jedoch eine exponentielle Laufzeitkomplexität in der Zahl der Gleichungen/Variablen auf. Aus diesem Grund wird eine heuristische Steuerung der Auswahl der nächsten einzusetzenden Gleichung verwendet, die nur Einsetzungen, die die Länge des DGL-Systems - gezählt in ASCII-Zeichen - reduzieren, erlaubt. Damit ist recht schnell ein kurzes - allerdings nicht das optimal kurze - DGL-System zu errechnen.

Sind diese Einsetzungen erfolgt, entstehen zum Teil neue Ausdrücke, die eventuell wieder vernachlässigt werden können. Es ist dann wieder ein Vereinfachungsalgorithmus aus Abschnitt 3.3.1.2 anzuwenden.

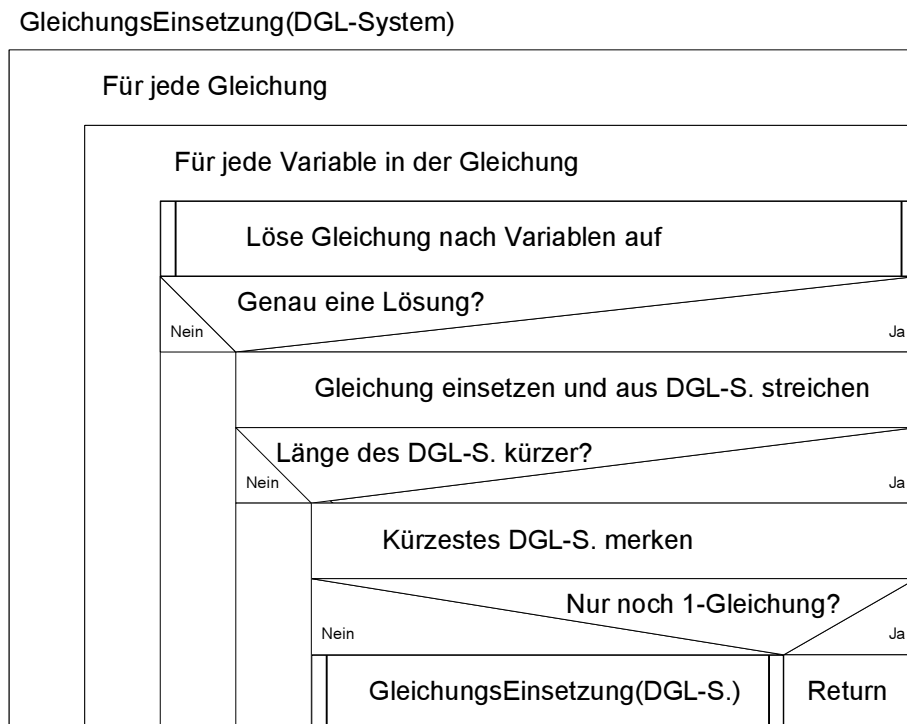


Bild 3.13: Algorithmus zum längengesteuerten exakten Vereinfachen eines DGL-Systems durch Einsetzen von Gleichungen

Um ein möglichst überschaubares Ergebnis zu bekommen, ist für jeden speziellen Zweck der symbolische Ausdruck speziell zu vereinfachen. Wenn man z.B. nur an dem Wert der Ausgangsspannungsbegrenzung interessiert ist, kann man alle Ableitungen nach der Zeit eliminieren und das entstehende nichtlineare statische Gleichungssystem weiter vereinfachen. Dies wird durch die dem Problem angepasste Auswahl der Testbeschaltung, Simulationsart und Fehlerberechnung automatisch erreicht.

Manuell

Unter Umständen ist eine manuelle Nachbearbeitung nötig. Computeralgebrasysteme können in der Regel schwierige Ersetzungen wie z.B.  $\tanh(x) = \frac{e^x - e^{-x}}{e^x + e^{-x}}$  nicht automatisch finden.

### 3.3.2 Beispiel

Für die Anwendung der oben angesprochenen Vereinfachungsoperationen soll hier ein detailliertes Beispiel vorgestellt werden. Bei der Beispielschaltung handelt es sich um einen zweistufigen Operationsverstärker (siehe Bild 3.14). Modelliert wurden die Transistoren dieses OPs durch ein auf die symbolische Analyse angepasstes Transistormodell, welches konstante Kapazitäten und vier Betriebsbereiche (Linear, Sättigung, Subthreshold, Ausgeschaltet) modelliert. Das Gleichungssystem hat 57 Gleichungen und eine ASCII-Länge von 7404 Zeichen.

Slew-Rate

Ziel soll hier sein, einen symbolischen Ausdruck für die positive Slew

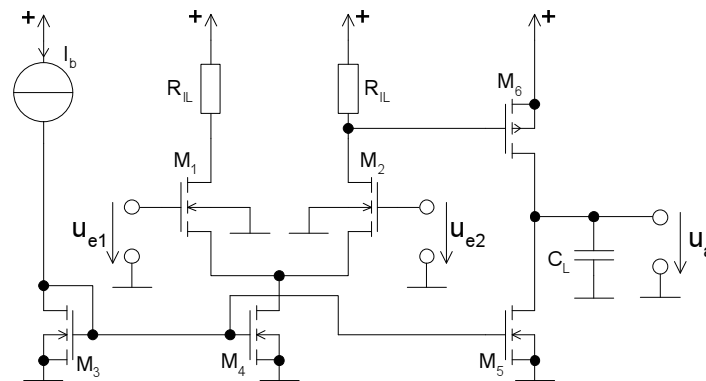


Bild 3.14: Zweistufiger Operationsverstärker zur Berechnung der Slew-Rate

Rate des OPs, das heißt die Anstiegsgeschwindigkeit für eine ansteigende Ausgangsspannung zu gewinnen. Die Slew-Rate ist eine Eigenschaft, die nur durch das nichtlineare Algebra-Differentialgleichungssystem korrekt beschrieben wird, da das Zeitverhalten gemessen wird und die Größe des Anstiegs durch die nichtlinearen Strombegrenzungen der Transistoren bestimmt wird. In unserem Beispiel fließt durch  $M_6$  bei positiver Ausgangsansteuerung ein Strom der die Ausgangskapazität  $C_L$  auflädt. Wie groß der Strom durch  $M_6$  ist, wird wiederum durch die Gate-Source-Spannung an  $M_6$  bestimmt. Diese wird von der Differenzstufe  $M_1, M_2$  eingestellt.

Eingangsstimuli	Um einen korrekten und einfachen symbolischen Ausdruck für die positive Slew-Rate zu erhalten, ist zunächst die richtige Beschaltung und Fehlerkontrolle für den OP zu bestimmen. Im Falle der Slew-Rate ist dazu ein Sprung am Eingang und eine transiente Simulation des OPs erforderlich. Die Kurvenform am Ausgang kann in diesem Fall mit der Hausdorffdistanz zwischen den Kurven bestimmt werden. Die Signale der ursprünglichen Schaltung sind in Bild 3.15 a) dargestellt. Es wird nur eine kurze Zeitspanne simuliert. Dies hat den Vorteil einer verkürzten Laufzeit der symbolischen Analyse. Weiterhin wird dadurch sichergestellt, dass die Ausgangsspannung nicht in die Begrenzung läuft, was vermieden werden muss, da sonst auch die symbolischen Ausdrücke, die die Begrenzung beschreiben, nicht vernachlässigt werden können und damit der Ausdruck für die Slew-Rate unnötig komplex wird.
Vereinfachung	Die Vereinfachung wurde 4-stufig durchgeführt, wobei einem Vereinfachungsschritt immer ein Auflöse- und Einsetzschrift folgt (siehe Tabelle 3.2).
Ergebnis	Bei der oben angegebenen Aussteuerung um $\pm 0,05$ V wird der folgende

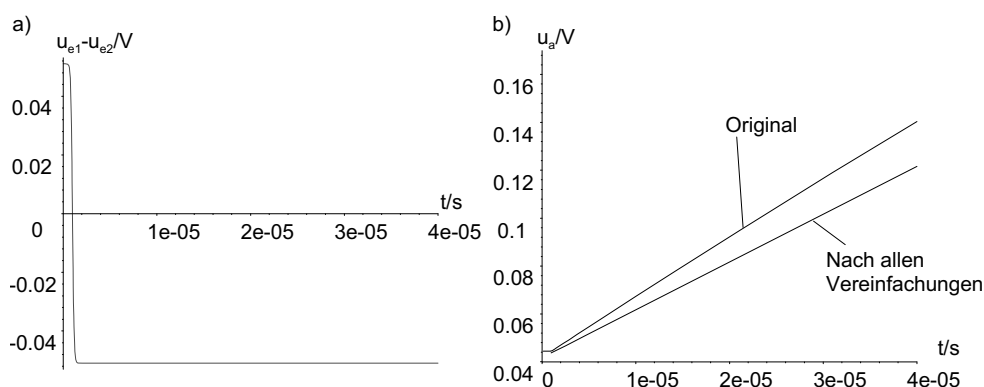


Bild 3.15: a) Eingangsstimuli, b) Ausgangssignale vor und nach der Vereinfachung

Automatische Vereinfachung	Anzahl Gleichungen	ASCII-Länge
Keine Vereinfachung	57	7404
Komplexe Funktionen, Ausdrücke	21	1465
Einsetzen und Eliminieren	3	335
Ausdrücke	3	325
Einsetzen und Eliminieren	1	195

Tabelle 3.2: Automatische Vereinfachungsschritte des DGL-Systems des OPs aus Bild 3.14

symbolische Ausdruck bestimmt

$$SR = \frac{1}{2} \frac{K' \left( \frac{1}{2} K' (U_b + u_{e1} - u_{e2} - U_{Source} - V_{TO})^2 (1 + \lambda_6 V_{DD}) R_L - V_{TO} \right)^2}{C_L} \quad (3.44)$$

mit  $K' = \frac{W_6}{L_6} \mu C'_{ox}$ .

In diesem Ausdruck ist die Eingangsspannung  $u_{e1} - u_{e2}$  noch enthalten. Das bedeutet, dass die Größe der Eingangsspannung noch Auswirkungen auf die Anstiegsgeschwindigkeit des Ausgangs hat, also noch nicht alle Transistoren in der Begrenzung sind.

Legt man einen größeren Eingangssprung von  $\pm 0,2$  V an, ergibt sich folgender noch kürzerer Ausdruck (74 Zeichen)

$$SR = \frac{1}{2} \frac{K' I_b R_L (I_b R_L - 2V_{TO})}{C_L} \quad (3.45)$$

Alle Transistoren sind in der Begrenzung. Wie zu erwarten, ergibt sich ein Zusammenhang, der von  $I_b$  abhängt. Wertet man den Ausdruck (3.45) numerisch aus, ergibt sich eine Slew-Rate von  $6,8 \text{ V}/\mu\text{s}$ . Die Simulation der



Original-Schaltung ergibt einen Wert von  $8,1 V/\mu s$ . Die Werte liegen für einen so kurzen Ausdruck sehr dicht beieinander.

Worksheet In Anhang A.2 ist ein Worksheet mit dem hier erläuterten Beispiel zu finden.

### 3.3.3 Verhaltensmodellgenerierung

Der Grundalgorithmus zur symbolischen Analyse nichtlinearer Schaltungen kann ebenfalls für die automatische Verhaltensmodellgenerierung eingesetzt werden [NäPpHe99]. Ziel der Verhaltensmodellgenerierung ist hauptsächlich die schnellere Simulation einer Schaltung. Es kommt dabei nicht darauf an, möglichst kurze Ausdrücke und wenige Gleichungen zu gewinnen. Unter bestimmten Umständen sind mehr Gleichungen schneller zu simulieren.

Weiterhin kann es erwünscht sein, Modelle der Schaltung zu erzeugen, die nicht auf die Struktur derselben hinweisen, z.B. bei zur Verfügungstellung eines Simulationsmodells für einen Kunden. Auch dies leisten Verhaltensmodelle. In der Regel werden Verhaltensmodelle in einer Verhaltensbeschreibungssprache (siehe Kapitel 4) aufwändig manuell erzeugt. Dies lässt sich durch den Einsatz der automatischen Verhaltensmodellgenerierung verhindern. Das Vorgehen und die Unterschiede zur reinen symbolischen Analyse sollen hier dargestellt werden.

Testbeschaltung Wesentlich für die Verhaltensmodellerzeugung ist, dass die Funktion des Modells für alle Betriebsbereiche und Beschaltungszustände gewährleistet ist. Es müssen alle Eigenschaften in einem Modell (DGL-System) modelliert sein. Dessen Überprüfung kann effizient durch eine umgebende Testbeschaltung erreicht werden, die die Schaltung in unterschiedlichen Beschaltungen ohne Änderung der Netzliste nur durch Verwendung von Schaltern betreiben kann.

Bei der symbolischen Analyse ist im Gegensatz dazu häufig nur eine Beschaltung nötig, da bei ihr jeweils nur ein möglichst kompakter Ausdruck für eine Eigenschaft gewonnen werden soll. Für die Analyse mehrerer Eigenschaften sind mehrere angepasste Analysen notwendig.

Weiterhin ist für die Verhaltensmodellgenerierung die korrekte Modellierung mehrerer Ein- und Ausgänge (Multiple Input Multiple Output, MIMO) vorzusehen. Eine Beispielttestbeschaltung ist in Bild 3.16 gegeben. Dort ist ein OP mit 5 Beschaltungsknoten in eine umgebende Testschaltung eingebettet.

Das Konzept der Testbeschaltung wird auch bei anderen Werkzeugen z.B. zur automatischen Charakterisierung oder bei der automatischen Synthese verwendet.

Fehlerkontrolle Die Fehlerkontrolle verwendet die schon in Abschnitt 3.2.1 vorgestellten

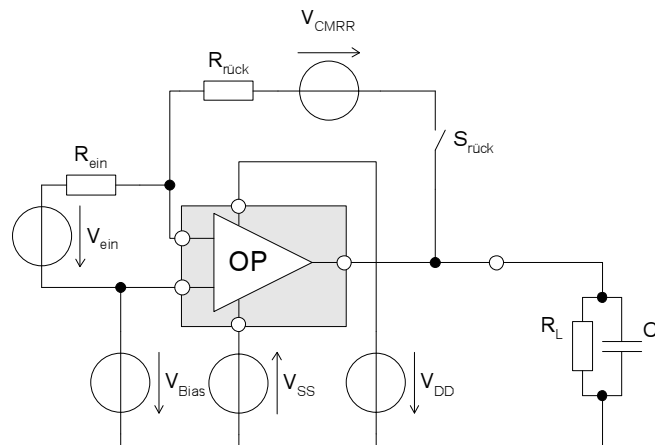


Bild 3.16: Testbeschaltung eines Operationsverstärkers

Methoden. Es wird eine Kombination aus Beschaltung, Erregungsdefinition der Quellen, Simulationsart und Eigenschaft angewählt. In Tabelle 3.3 sind Beispiele für diese Kombinationen gegeben.

Beschaltung	Erregungen der Quellen	Simulationsart	Eigenschaft
$S_{\text{Rück}} = \text{offen},$ $R_{\text{Rück}} = 100\text{ k}\Omega$	$V_{\text{Ein}} = \text{AC},$ $V_{\text{CMRR}} = 0,$ $V_{\text{Bias}} = 0$	AC	Verstärkung
$S_{\text{Rück}} = \text{zu},$ $R_{\text{Rück}} = 0\Omega$	$V_{\text{Ein}} = \text{Puls},$ $V_{\text{CMRR}} = 0,$ $V_{\text{Bias}} = 0$	Transient	Slew-Rate
$S_{\text{Rück}} = \text{zu},$ $R_{\text{Rück}} = 0\Omega$	$V_{\text{Ein}} = 0,$ $V_{\text{CMRR}} = 0,$ $V_{\text{Bias}} = \text{DC}$	DC-Transfer	Common-Mode Input Range

Tabelle 3.3: Mögliche Fehlerkontrollkombinationen für die Testbeschaltung

Alle Fehlerkontrollkombinationen müssen im Vereinfachungsalgorithmus (siehe Bild 3.12) an der Stelle der Charakterisierung/Fehlerkontrolle nacheinander durchgeführt werden. Nur wenn jeder für sich die gesetzte Fehler-schranke einhält, ist die Vereinfachung gültig. Damit ist unter Umständen je Vereinfachung ein ganzer Satz an Simulationen zu berechnen.

Reihenfolge

Um die durch die umfangreichen Fehlerkontrollen entstehende hohe Modellierungszeit zu senken, kann auch eine Reihenfolgebestimmung sinnvoll sein. Sie verkürzt die Simulationsaufrufe durch eine unvollständige/abgebrochene Berechnung.

Beispiel

Für einen MOS-Operationsverstärker mit 8 Transistoren lassen sich mit der obengenannten Methode die in Tabelle 3.4 dargestellten Ergebnisse erzielen.

<b>Eigenschaft</b>	<b>Original-DGL-System</b>	<b>Vereinfachtes DGL-System</b>
Anzahl Terme	2165	637
Anzahl Gleichungen	54480	9787
Simulationszeit	1 s	0,32 s

Tabelle 3.4: Ergebnis für die Verhaltensmodellgenerierung eines MOS-OPs

Ausgabe	Das entstehende Verhaltensmodell sollte in einer Verhaltensbeschreibungssprache abgelegt werden. Hier bietet sich z.B. VHDL-AMS an. Mit dieser Sprache können direkt die nichtlinearen Differentialgleichungssysteme beschrieben werden. Weiterhin ist die Kapselung in einem eigenen, austauschbaren Modell mit elektrischen Knoten nach außen leicht möglich.
Numerische Verfahren	Neben diesen gleichungsbasierten und deshalb physikalisch genannten Verhaltensmodellierungsverfahren existieren eine Reihe numerischer Verfahren zur Verhaltensmodellgenerierung. Sie weisen häufig eine wesentlich größere Simulationszeitbeschleunigung auf, können aber komplexere Systeme mit mehreren inneren Energiespeichern und Nichtlinearitäten schlecht nachbilden, da die interne numerische Datentabelle eine Dimension je Energiespeicher aufweisen muss. In [Paroda97] wird aus einer solchen Datentabelle eine Approximation durch radiale Basisfunktionen errechnet. Diese kann als Verhaltensmodell verwendet werden.

### 3.3.4 Bewertung

Die Verfahren zur symbolischen Analyse und Verhaltensmodellgenerierung nichtlinearer analoger Schaltungen stehen erst am Anfang ihrer Entwicklung. Sie können als grundlegende Werkzeuge für verschiedenste Aufgaben genutzt werden.

Erwartungsgemäß sind die Ergebnisse noch nicht so gut wie bei den linearen Schaltungen. Die Schaltungsgröße bei der noch ein Ausdruck für einen nichtlinearen Zusammenhang in einer Gleichung gewonnen werden kann, ist noch eingeschränkt. Diese Grenze muss durch Weiterentwicklungen nach oben verschoben werden. Der Einsatz ist jedoch auch jetzt schon zur Unterstützung im manuellen Entwurf oder bei der automatischen Synthese sinnvoll.

Die automatische Verhaltensmodellgenerierung hat traditionell einen höheren Stellenwert, da die Verhaltensmodelle seit einigen Jahren regelmäßig in der (System-) Simulation eingesetzt werden. Hierbei ist das oben dargestellte Verfahren ein genaues Verfahren, welches das Potenzial zur Erzeugung parametrierter Verhaltensmodelle besitzt. Die Simulationszeitbeschleunigungen sind bei anderen Verfahren wie z.B. bei Tabellenmodellen unter Umständen deutlich höher.

## 4 Verhaltensbeschreibungssprachen

Eine Verhaltensbeschreibungssprache oder Hardware-Beschreibungssprache ist eine formale Sprache, die speziell auf die Beschreibung der Funktion/dem Verhalten einer elektronischen Schaltung auf hoher Abstraktionsebene zugeschnitten ist. Sie bietet ebenfalls die Möglichkeit, Strukturen zu beschreiben. Sie ist dabei gut für den Menschen lesbar und schreibbar. Sie zeichnet sich durch mächtige, den Programmiersprachen zum Teil ähnliche Sprachelemente aus, z.B.:

- Kontrollstrukturen (if then else, for, while, Unterprogramme ...),
- Operatoren (+, -, \*, /,  $\frac{\partial}{\partial t}$ ,  $\wedge$ ,  $\vee$ , ...)

Es gibt verschiedene Verhaltensbeschreibungssprachen, die fast alle mit einem zugehörigen Simulator verknüpft sind "MAST" (Simulator: Saber) [Analogy93], "FAS" (Eldo) [Anacad91], "Spectre HDL" (Spectre) [Cadence94]. Ein Standard, der nicht an einen Simulatorhersteller gekoppelt ist, ist "VHDL-A" [ChBa96]. Die ersten kommerziellen Simulatoren sind ungefähr seit dem Jahr 2000 erhältlich.

### 4.1 Modellierung

Modelle Um eine Simulation durchführen zu können, muss man ein mathematisches Modell der Wirklichkeit schaffen, welches per Hand oder im Rechner berechnet werden kann. Für die einfachen und als ideal angenommenen Bauelemente wie z.B. Widerstand, Kondensator und Spannungsquelle aus Bild 2.11 sind die Gleichungen leicht hinzuschreiben. Schwieriger wird es für nichtlineare Elemente wie Dioden u. Transistoren. Auf die Modellierung und ihre historische Entwicklung soll nun eingegangen werden.

#### 4.1.1 Historie der Modellierung

1973 : SPICE

Erster Schaltungssimulator mit integrierten Bauelementmodellen. Diese sind in FORTRAN im Simulator hart codiert. Modelle sind u.a.:

- Spannungsquellen, Widerstand, Kapazität, ...
- Bipolartransistor: Gummel-Poon-Modell
- MOS-Transistor: Shichman-Hodges-Modell

1974 : Makromodelle

Dies sind Modelle von größeren Schaltungsblöcken aus SPICE Bauelementen. Bekanntestes Modell ist das Boyle-Operationsverstärkermodell.

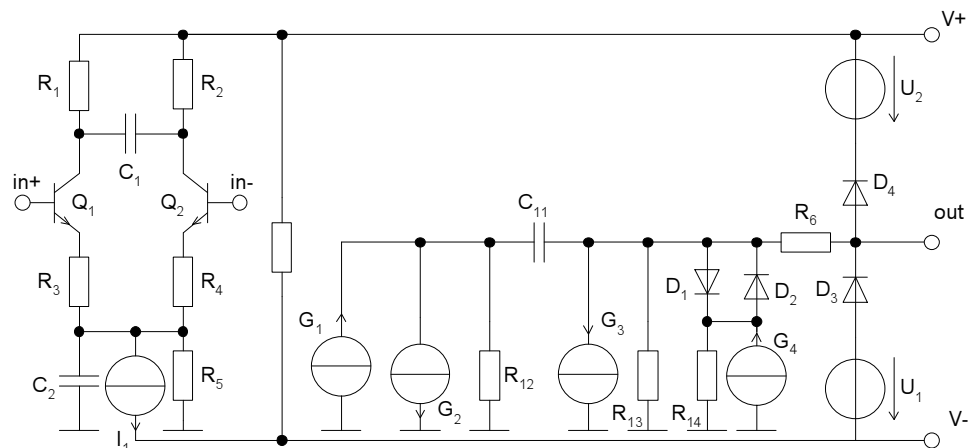


Bild 4.1: Boyle OP-Makromodell

1990 : MAST

Verhaltensmodellierungssprache des Simulators Saber [Vlach90].

Die Modelle können direkt in der Sprache MAST mathematisch/algorithmisch beschrieben werden. Dies ist eine der ersten Verhaltensbeschreibungssprachen für analoge Schaltungen.

```

template multiplizierer in1 in2 out
electrical in1, in2, out
{
equations
  {
    i(out) += i(in1)*i(in2)
  }
}

```

Bild 4.2: MAST-Verhaltensmodell eines Multiplizierers

199X : Weitere analog HDLs wie Verilog-A, ELDO-FAS, HDL-A.

1999 : VHDL-AMS

(VHSIC **HDL-AMS**, Very high speed integrated circuit **hardware** description language - analog **mixed-signal** extension)

Dies ist eine Erweiterung der für digitale Schaltungen schon lange als Standard verwendeten Sprache VHDL auf analoge Schaltungen. Die Beschreibung von Verhaltensmodellen und Struktur (Netzlisten) auch im Zusammenspiel mit digitalen Schaltungsteilen ist möglich.

#### 4.1.2 Modellierungsmethodik

Die verschiedenen Modelle lassen sich bezüglich der Art ihrer Entstehung und Beschreibung einteilen. Die folgenden Begriffe bilden jeweils paarwei-

se Gegensätze.

- physikalisch:

Eine mathematische Beschreibung nähert die bekannten physikalischen Zusammenhänge an.

- empirisch:

Annahme einer parametrisierten Gleichung – meist ein regelungstechnisches Systemmodell - resultierend aus dem von außen erscheinenden Systemverhalten. Anschließende Anpassung der Parameter durch Vergleich mit Messungen am Bauelement.

- strukturell:

Beschreibung über Netzlisten bestehend aus Bauelementen.

- funktionell:

Mathematische und/oder algorithmische Beschreibung des Verhaltens.

Beispiele	physikalisch	empirisch
<b>Strukturell</b>	Boyle OP-Modell	Kleinsignal-ESB für einen Transistor
<b>Funktionell</b>	Gummel-Poon-Transistormodell	Übertragungsfunktion 2. Ordnung für OP

Tabelle 4.1: Beispiel für die unterschiedlichen Modellarten

Genauigkeit  $\Leftrightarrow$   
Geschwindigkeit

Ein wesentliches Ziel beim Einsatz von Verhaltensmodellen ist die Steigerung der Simulationsgeschwindigkeit, die um Faktoren höher liegen sollte als die Simulationsgeschwindigkeit einer Transistornetzliste. Gefordert ist allerdings auch eine hohe Genauigkeit, welche durch die Berücksichtigung von immer mehr Effekten erhöht werden kann. Das hat eine Verringerung der Simulationsgeschwindigkeit zur Folge. Hier muss je nach Anforderung ein Kompromiss zwischen den beiden gegensätzlichen Forderungen gefunden werden.

Verhaltensmodell-  
generierung

Ein Verhaltensmodell kann auch automatisch aus einer fertig dimensionierten Netzliste generiert werden. Ein Ansatz für nichtlineare dynamische Schaltungen beschreibt [BoHeBa96]. Die entstandenen Modelle dienen hauptsächlich zur Beschleunigung von Simulationen ganzer Systeme auf hoher Abstraktionsebene.

## 4.2 VHDL-AMS

Historie

1987 wurde die Sprache VHDL vom IEEE standardisiert. Sie dient zur Beschreibung von digitalen Schaltungen. Besonders in Europa hat sie eine

große Verbreitung gefunden. 1992 wurde in der IEEE DASC 1076.1 Working Group der Entschluss gefasst, auch analoge Schaltungen mit VHDL beschreiben zu wollen. Die erweiterte Sprache heißt VHDL-AMS. Eine Einführung bietet [BeLeRo95].

Verwendungszweck

- Systementwurf

80% aller Platinenentwürfe und 60% des ASIC (Application Specific Integrated Circuit) Entwurfs sind Mixed-Signal (analog-digital) Schaltungen. Hier kann VHDL-AMS zur Beschreibung und Dokumentation genutzt werden.

- Systemverifikation

Die Entwürfe können durch Verwendung von Simulatoren überprüft werden. Mixed-Signal-Simulationen sind explizit im Standard vorgesehen. Durch Beschreibung von nicht elektrischen Komponenten aus der Mechanik, Hydraulik usw. kann ein ganzes System verifiziert werden.

- Automatische Synthese

Diese ist zur Zeit nur für digitale Schaltungsteile möglich. Es wird ausgehend von einer Beschreibung in VHDL auf hoher Ebene eine Schaltung auf Gatterebene erzeugt. Dies verringert die Zahl der manuellen Arbeitsschritte für den Entwurf integrierter digitaler Schaltungen erheblich und wird heute als Standardwerkzeug eingesetzt.

#### 4.2.1 Umfang und Eigenschaften

Mit VHDL-AMS können Schaltungen von der elektrischen Ebene bis zur algorithmischen Ebene in funktioneller und struktureller Sicht beschrieben werden (siehe Y-Diagramm in Bild 2.1). Der Sprachumfang umfasst die folgenden Punkte.

Beschreibungsmöglichkeiten

- Struktur:

- Netzlisten
- Hierarchie

- Verhalten:

- Gleichungen
- Zuweisungen
- Kontrollstrukturen
- sequentiell/nebenläufig

- Architekturauswahl

Nach Definition einer einheitlichen Schnittstelle (Entity) können gleichzeitig unterschiedliche Architekturen für eine Schaltung beschrieben werden. Die Auswahl der tatsächlich zu verwendenden Architektur findet durch eine Konfigurationsanweisung statt. Damit ist innerhalb eines Entwurfs die gleichzeitige Verwendung einer Schaltung in verschiedenen Repräsentationsformen (Verhaltensmodell, Transistornetzliste, Gatternetzliste ...) möglich.

- Eigenschaften
- Die Sprache ist stark typisiert, d.h. für jede Variable ist explizit ein definierter Datentyp anzugeben.
  - Zusätzlich zum Sprachstandard gelieferte Packages definieren grundlegende Typen und Funktionen (IEEE.STD\_LOGIC IEEE.MATH\_REAL usw.)
  - Es gibt jeweils definierte Teilmengen des Sprachstandards, die zur
    - Synthese
    - Simulationgeeignet sind.

#### 4.2.2 Beispiel Operationsverstärker

In Bild 4.3 ist ein ideales Verhaltensmodell eines Operationsverstärkers vorgestellt. In Bild 4.4 ist ein Verhaltensmodell mit einigen realen Eigenschaften wiedergegeben. Nach Belieben kann das Verhalten des Operationsverstärkers durch Hinzufügen von weiteren Effekten einer tatsächlichen Schaltung angepasst werden.



```

Library IEEE; -- Bibliotheksaufruf
Use IEEE.math_real.all; -- Einbinden eines Packages
entity opamp is -- Deklaration eines
    port (terminal inplus, -- Operationsverstaerkers
           inminus, output: -- mit 3 Anschluessen.
           electrical);
end opamp;

architecture ideal of opamp is -- Definition eines Aufbaus
                                     -- des Operationsverstaerkers.
    quantity voltage_input -- Deklaration eines
        across curent_input -- Eingangsstroms und einer
        through inplus to -- Eingangsspannung.
            inminus;

    quantity current_output -- Deklaration des
        through output to ground; -- Ausgangsstroms.
begin
    voltage_input == 0.0; -- Eingangsspannung wird auf
                           -- 0 gezwungen.
    current_input == 0.0; -- Eingangsstrom ist 0.
                           -- Dem Ausgangsstrom
                           -- current_output wird nichts
                           -- zugewiesen, damit stellt
                           -- er sich frei ein.
end ideal;

```

Bild 4.3: Beschreibung eines idealen Operationsverstärkers in VHDL-AMS

```

architecture two of opamp is
    quantity voltage_input
        across inplus to inminus;
    quantity voltage_output
        across current_output
        through output to ground;
begin
    voltage_output ==
        100000.0*voltage_input -- Verstaerkung 100000
        + 10.0*current_output; -- Ausgangswiderstand 10 Ohm
end two;

```

Bild 4.4: Verhaltensmodell eines Operationsverstärkers mit endlicher Verstärkung und Ausgangswiderstand

## 5 Bauelementmodelle

Sowohl für das eigene Verständnis als auch für die Simulation elektrischer Schaltungen ist es notwendig, die realen Bauelemente durch Modelle zu beschreiben. In vielen Fällen reichen vereinfachte und/oder idealisierte Modelle aus. Dazu werden im physikalischen Modellierungsstil zunächst Gleichungen für das Verhalten des Bauelements aufgestellt. Diese Gleichungen, die letztlich das Strom- Spannungsverhalten an den Klemmen beschreiben (Kompaktmodelle), enthalten viele freie Parameter, die sich auf geometrische Abmessungen des Bauelements beziehen und/oder von Materialeigenschaften abhängen. Man kann die Parameter aus den bekannten Abmessungen und Materialeigenschaften bestimmen oder aber durch Parameterextraktion an ein gemessenes Verhalten anpassen.

Parameter-  
extraktion

Verschiedene Größen der Bauelemente werden gemessen. Es entstehen Kennlinien oder Kennlinienscharen. Ein Parameteroptimierungsprogramm simuliert das Modell des Bauelements und vergleicht die entstehenden Kennlinien mit den gemessenen. Bei Abweichungen wird durch ein Optimierungsverfahren der Parametersatz verändert. Dieser Prozess wiederholt sich, bis ein Optimum erreicht ist.

Falls das Bauteil noch nicht gefertigt ist oder die Messung durch Störungen und parasitäre Effekte zu schlecht ist, können mit Hilfe sogenannter Device-Simulatoren Kennlinien berechnet werden.

Device-  
Simulation

Sie verwenden beispielsweise Finite-Elemente-Verfahren um mit Hilfe von Dotierprofil, Schichtenabfolge und geometrischen Abmessungen des Bauelementes die Strom-Spannungskennlinien des Bauelements zu simulieren.

Im folgenden sollen für die wichtigsten Bauelemente zunächst genaue Modelle und anschließend vereinfachte Ersatzschaltbilder (ESBs) angegeben werden. Die ESBs können in verschiedenen Genauigkeitsabstufungen für den Entwurf verwendet werden. Weiterhin werden einfache Zusammenhänge für die wichtigsten Kenngrößen der ESBs entwickelt.

### 5.1 Transistormodelle

Für integrierte Schaltungen haben Transistormodelle eine große Bedeutung. Sie sind sehr gut untersucht und ihre Modellierung wird ebenfalls gut beherrscht. Das Verhalten von anderen Bauelementen kann in der Regel durch ein vereinfachtes Transistormodell hergeleitet werden. Dies wird in den letzten Abschnitten dieses Kapitels am Beispiel erläutert.

Strom-  
formulierung

Die Gleichungen für die Transistor-Modelle sind in der Regel so aufgestellt, dass die Ströme an den Anschlüssen als Funktionen der Spannungen berechnet werden.

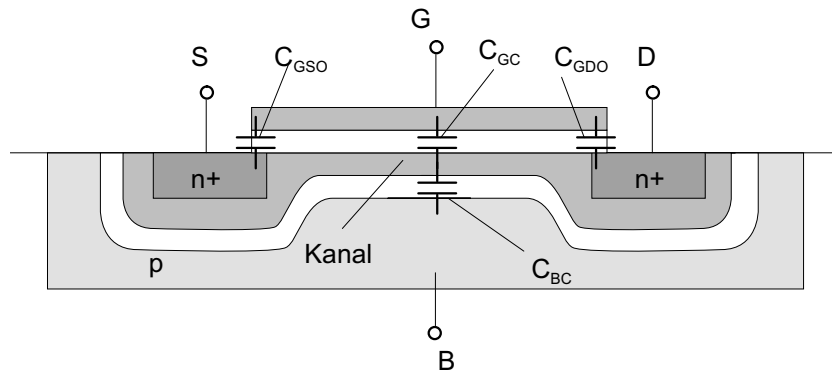


Bild 5.1: n-Kanal MOS-Transistor

### 5.1.1 MOS-Transistor

Funktion	Der n-Kanal-MOS-Transistor (Bild 5.1) besteht aus zwei hoch dotierten n+ Gebieten für Source und Drain. Dazwischen bildet sich im leitenden Zustand ein Kanal aus negativen Ladungsträgern aus. Zwischen dem Kanal und dem p-dotierten Substrat (Bulk) entsteht eine Verarmungszone. Diese weist eine Kapazität $C_{BC}$ auf. Zum Gate hat der Kanal die Kapazität $C_{GC}$ , die durch die Oxidschicht gebildet wird und im Gegensatz zur Kapazität des gesperrten pn-Übergangs nicht von der Spannung abhängt. Das Gate hat jeweils zu Source und Drain die Overlap-Kapazitäten $C_{GDO}$ und $C_{GSO}$ . Die Spannungen über den Kapazitäten $C_{BC}$ und $C_{GC}$ kontrollieren die Ladung im Kanal und damit den Stromfluss. Damit überhaupt ein Strom fließen kann, muss die Gate-Source-Spannung einen bestimmten Wert überschreiten. Dies ist die Schwellspannung $V_T$ (Threshold-Voltage).
Gate-Kapazität	Die Größe der Gate-Kanal-Kapazität lässt sich aus der Länge (L) und der Breite (W) des Transistors bestimmen ( $\epsilon_{ox}$ = Dielektrizitätskonstante, $t_{ox}$ = Oxiddicke).

$$C_{GC} = W \cdot L \cdot C'_{ox} \quad (5.1)$$

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (5.2)$$

Schwellspannung	Die Schwellspannung setzt sich aus der Spannung $V_{TO}$ und einem von der Bulk-Source Spannung abhängigen Term (Body-Effekt) zusammen.
-----------------	---

$$V_T = V_{TO} \pm \gamma(\sqrt{2|\phi_S| - u_{BS}} - \sqrt{2|\phi_S|}) \quad (5.3)$$

$\phi_S$  ist das von der Dotierung abhängige Oberflächenpotential,  $\gamma$  ist der Bodyfaktor. Das + gilt für n-Kanal- und das – für p-Kanal-Transistoren.

Kennlinienfeld	Am Kennlinienfeld lassen sich die drei Betriebsbereiche des MOS-
----------------	--

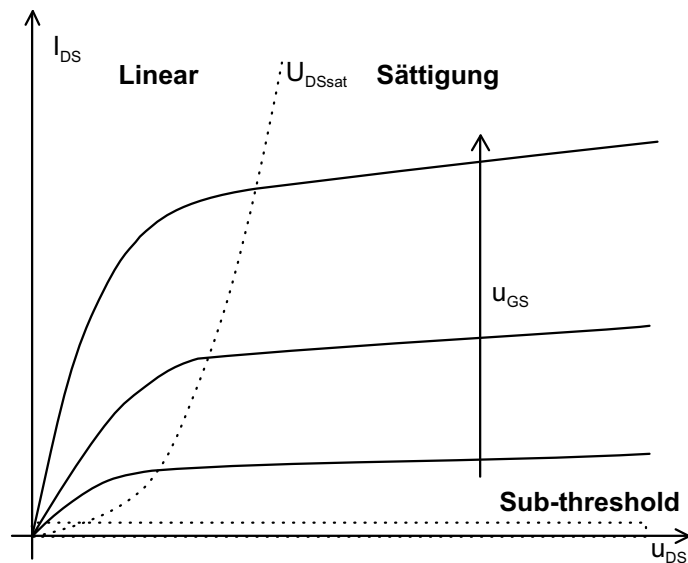


Bild 5.2: Kennlinienfeld eines n-Kanal MOS-Transistors

Transistors aufzeigen.

$U_{DSsat}$

Der Transistor tritt vom linearen in den Sättigungsbereich über wenn:

- die Drain-Source-Spannung  $u_{DS}$  größer als die Sättigungsspannung wird:  $u_{DS} \geq u_{DSsat} = u_{GS} - V_T$ ,
- d.h. der Kanal an der Drain-Seite abgeschnürt wird
- und damit der Drain-Strom  $i_{DS}$  weitgehend unabhängig von der Drain-Source-Spannung  $u_{DS}$  wird.

Linearer Bereich Der Drain-Strom berechnet sich im linearen Bereich in erster Näherung zu

$$i_{DS} = \frac{W}{L} \mu C'_{ox} \left( u_{GS} - V_T - \frac{u_{DS}}{2} \right) u_{DS}. \quad (5.4)$$

Für sehr kleine  $u_{DS}$  verhält sich der Transistor annähernd wie ein Widerstand  $R_{DS}$  zwischen Source und Drain, der über die Gate-Spannung in seiner Größe gesteuert wird. Die Inversionsladung ist im Kanal näherungsweise überall gleichverteilt. Der Term  $\frac{u_{DS}}{2}$  in der Gleichung kann vernachlässigt werden, und man erhält eine Gleichung mit idealem Widerstandsverhalten.

Für größere  $u_{DS}$  nimmt die Inversionsladung zum Drainanschluss hin ab. Es entsteht ein Kanal, der im vertikalen Querschnitt eine Dreiecksform aufweist. Auf der Sourceseite wird die Inversionsladung durch die volle  $u_{GS}$  Spannung erzeugt, während auf der Drainseite die Spannung  $u_{GS} - u_{DS}$  über dem Kanal anliegt. Gemittelt liegt über dem Kanal also die Spannung  $u_{GS} - \frac{u_{DS}}{2}$  an. Als Folge erhöht sich der Widerstand mit steigendem  $u_{DS}$ , und eine Abflachung der idealen Widerstandsgeraden tritt ein (Bild 5.2).

Sättigung Die Stromgleichung für den Sättigungsbereich ergibt sich in erster Näherung zu

$$i_{DS} = \frac{1}{2} \frac{W}{L} \mu C'_{ox} (u_{GS} - V_T)^2 (1 + \lambda u_{DS}). \quad (5.5)$$

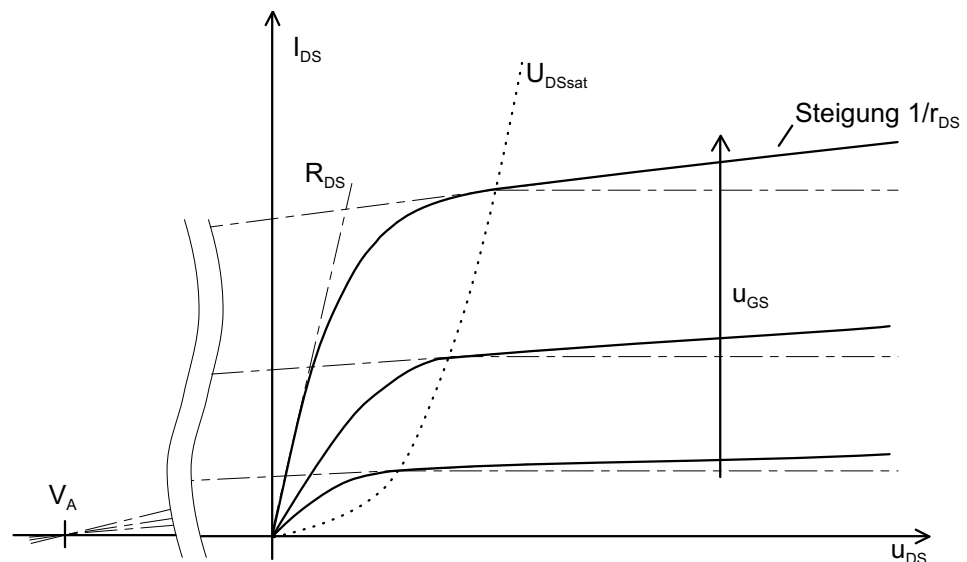


Bild 5.3: Early-Spannung im Kennlinienfeld eines n-Kanal MOS-Transistors

Der letzte Korrekturterm beschreibt die Steigung der Geraden in Bild 5.3. Der Faktor  $\lambda$  wird i.A. empirisch gewonnen. Dieser Korrekturfaktor hat besonders bei Transistoren mit kurzen Kanallängen einen großen Einfluss (short channel effect). Er ist der Kehrwert der als Schnittpunkt der Tangenten auf der x-Achse definierten Early-Spannung  $V_A$ .

$$\lambda = \frac{1}{V_A} \quad (5.6)$$

Um die Abhängigkeit von der Kanallänge mitzumodellieren, wird die Early-Spannung durch eine Konstante  $V_E$  multipliziert mit der Kanallänge ersetzt.

$$\lambda = \frac{1}{V_A} = \frac{1}{V_E \cdot L} \quad (5.7)$$

Sub-threshold Liegt die Gate-Spannung unterhalb der Schwellspannung  $V_T$ , spricht man vom Sub-threshold-Bereich, das heißt, es gibt nur sehr wenig Inversionsladungsträger im Kanal. Der Stromverlauf ist in diesem Bereich nahezu unabhängig von  $u_{DS}$ . Da die Ladungsträgerkonzentration exponentiell mit

sinkendem  $u_{GS}$  abnimmt, fällt auch der Drainstrom exponentiell ab.

$$i_{DS} = \frac{W}{L} \cdot I_{Sub0} \cdot e^{\left(\frac{u_{GS}-V_T}{kT/q}\right)} \cdot \left(1 - e^{\left(\frac{-u_{DS}}{kT/q}\right)}\right) \quad (5.8)$$

$I_{Sub0}$  ist ein Parameter, der durch Messung bestimmt wird,  $kT/q$  ist die Temperaturspannung.

Der Verlauf von  $i_{DS}$  über  $u_{GS}$  ist in Bild 5.4 dargestellt. Dies entspricht einem Schnitt durch das Kennlinienfeld von Bild 5.2 für ein konstantes  $u_{DS}$ . In dieser Darstellung kann man sehr gut die drei Betriebsbereiche erkennen. Sie werden zum Teil auch nach dem Ladungszustand im Kanal bezeichnet. Im Subthresholdbereich liegt schwache Inversion (weak inversion) im Kanal vor. Im Sättigungs- und linearen Bereich liegt starke Inversion (strong inversion) im Kanal vor.

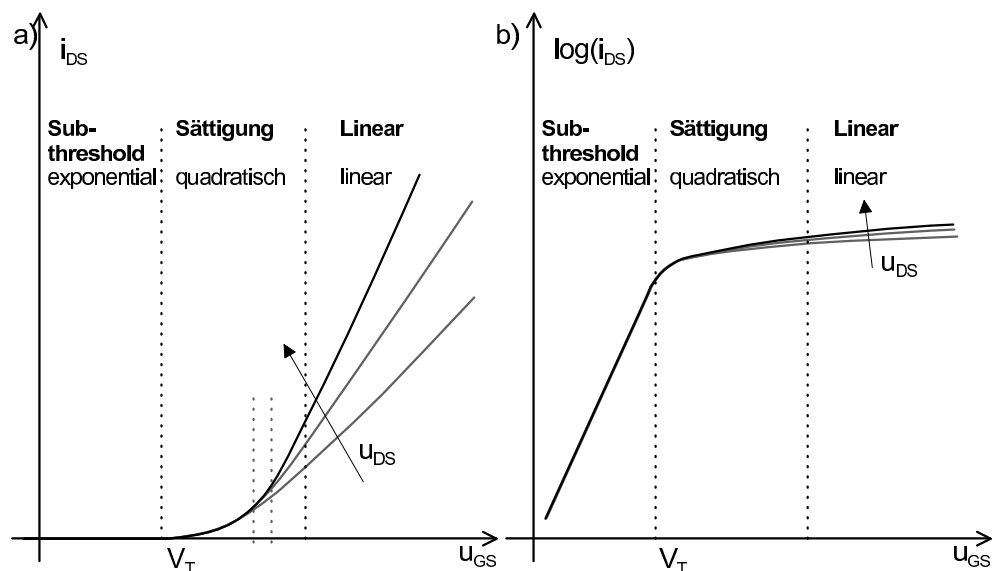


Bild 5.4:  $i_{DS}$  a) linear b) logarithmisch über  $u_{GS}$  für ein konstantes  $u_{DS}$

### 5.1.1.1 Ersatzschaltbilder

Ersatzschaltbilder (ESB) dienen zur Simulation und zum manuellen Entwurf von Transistorschaltungen. Dabei wird je nach Betriebsart und Genauigkeitsanforderungen ein anderes ESB genommen.

Großsignalmodell

Das Großsignalverhalten kann z.B. durch ein Modell, welches je nach anliegenden Spannungen die Stromgleichungen ((5.4)-(5.8)) für die unterschiedlichen Arbeitsbereiche implementiert, beschrieben werden. Wichtig ist hierbei nur, dass die Übergänge der Ströme stetig sind.

Kleinsignalmodell

Noch einfacher ist das Kleinsignalmodell des Transistors. Es nähert in ei-

nem gegebenen Arbeitspunkt die Stromgleichung für einen bestimmten Arbeitsbereich an. Ein ESB einer sehr einfachen Genauigkeitsstufe ist in Bild 5.5 dargestellt.

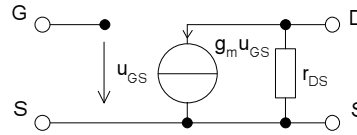


Bild 5.5: Einfaches Kleinsignal-ESB für den MOS-Transistor

$g_m, r_{DS}$

Die Steilheit  $g_m = \frac{\partial i_{DS}}{\partial u_{GS}}$  wird durch die Steigung der Kurve  $i_{DS}$  über  $u_{GS}$  (Bild 5.4) bestimmt. Der Ausgangswiderstand  $r_{DS} = \frac{\partial u_{DS}}{\partial i_{DS}}$  entspricht dem Kehrwert der Steigung im Ausgangskennlinienfeld (Bild 5.2). Die Werte dieser Ersatzgrößen sind für die drei Arbeitsbereiche Sub-threshold, linearer Bereich und Sättigung in Tabelle 5.1 aufgeführt:

	Sub-threshold	Linearer Bereich	Sättigung
$g_m$	$\frac{W}{L} \frac{I_{D0}}{kT/q} e^{\left(\frac{u_{GS} _{AP}}{kT/q}\right)}$	$\frac{W}{L} \mu C'_{ox} u_{DS} _{AP}$	$\sqrt{2 \frac{W}{L} \mu C'_{ox} i_{DS} _{AP}}$ oder $\mu C'_{ox} \frac{W}{L} (u_{GS} _{AP} - V_T)$
$r_{DS}$	$\infty$	$\frac{1}{\frac{W}{L} \mu C'_{ox} (u_{GS} _{AP} - V_T - u_{DS} _{AP})}$	$\frac{1}{\lambda i_{DS} _{AP}}$

Tabelle 5.1: Die Größen  $g_m$  und  $r_{DS}$  des MOS-ESBs

Kapazitäten

Um das Wechselstromverhalten besser wiedergeben zu können, sind Kapazitäten im ESB hinzuzunehmen.

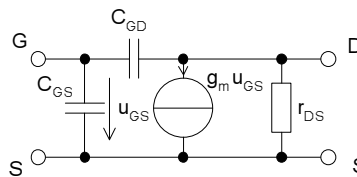


Bild 5.6: ESB des MOS-Transistors mit Kapazitäten

Die Drain-Source-Kapazität kann meist vernachlässigt werden. Die Kapazitäten  $C_{GS}$  und  $C_{GD}$  berechnen sich in erster Näherung aus den in Abschnitt 5.1.1 angegebenen Kapazitäten.

$C_{GDO}$  und  $C_{GSO}$  werden beim Transistormodell direkt als Parameter angegeben,  $C_{GC}$  berechnet sich nach Gleichung (5.1). Die Faktoren 1/2 und 2/3 sind aus Feldberechnungen gewonnene Näherungen, die die Ladungsverteilung im Kanal berücksichtigen.

	Sub-threshold	Linearer Bereich	Sättigung
$C_{GS}$	$C_{GSO} + 2/3 C_{GC}$	$C_{GSO} + 1/2 C_{GC}$	$C_{GSO} + 2/3 C_{GC}$
$C_{GD}$	$C_{GDO}$	$C_{GDO} + 1/2 C_{GC}$	$C_{GDO}$

Tabelle 5.2: Verteilung der parasitären Kapazitäten auf die ESB-Kapazitäten

### 5.1.1.2 Rauschen

Bevor das Rauschen des MOS-Transistors behandelt wird, hier ein kurzer Abriss über die Rauscharten [DemSaV98]. Das Rauschen wird, da es sich um einen stochastischen Vorgang handelt, durch eine Rauschspannungsdichte (Rauschstromdichte) beschrieben. Die Rauschspannungsdichte  $\overline{du_N^2}$  (Rauschstromdichte  $\overline{di_N^2}$ ) gibt die auf ein infinitesimal schmales Frequenzband  $df$  bezogene mittlere quadratische Rauschspannung (Rauschstrom) an. Die mittlere Rauschspannung in einem gegebenen Frequenzband wird dann zu

$$\bar{u} = \sqrt{\int_{f_1}^{f_2} \overline{du_N^2}} \quad (5.9)$$

berechnet.

Es gibt verschiedene Rauschursachen, die sich in einem Bauelement überlagern können. Diese werden im folgenden vorgestellt.

#### Thermisches Rauschen

Thermisches Rauschen (thermal noise) ist weißes (über der Frequenz gleich verteiltes) Rauschen und entsteht z.B. in einem Widerstand durch die thermische Eigenbewegung der Elementarteilchen. Es erzeugt eine Rauschspannungsdichte von

$$\overline{du_R^2} = 4kTR \cdot df. \quad (5.10)$$

#### Schrotrauschen

Schrotrauschen (shot noise) ist ebenfalls weißes Rauschen. Es entsteht bei einem Stromfluss in einem pn-Übergang durch die nicht gleichmäßig eintretenden Ladungsträger in dessen (starkes) Feld. Es hängt nicht von der Temperatur ab. Es wird durch eine Rauschstromdichte beschrieben.

$$\overline{di_D^2} = 2qI_D \cdot df \quad (5.11)$$

Ein typisches Bauelement, welches Schrotrauschen aufweist, ist die Diode.

#### Funkelrauschen

Funkelrauschen (flicker noise) ist  $1/f$  Rauschen oder auch rosa Rauschen. Seine Rauschleistung fällt mit dem Kehrwert der Frequenz ab. Es tritt sowohl bei pn-Übergängen als auch bei Widerständen auf. Die Ursachen



können unterschiedlicher Natur sein. Beim MOS-Transistor ist die Ursache z.B. die Rekombination von Ladungsträgern an Fehlstellen der Kanal-Oxid-Grenzschicht. Für einen integrierten, planaren Widerstand berechnet sich das Funkelrauschen zu

$$\overline{du_{RF}^2} = KF_R \frac{R_{\square}^2}{A_R} U_R^2 \frac{df}{f}. \quad (5.12)$$

$A_R$  ist dabei die Fläche des Widerstands,  $R_{\square}$  dessen Schichtwiderstand,  $U_R$  die DC-Spannung über dem Widerstand und  $KF_R$  eine technologieabhängige Konstante.

#### 5.1.1.2.1 Maßzahlen

**Signal-Rausch-Abstand** Der Signal-Rausch-Abstand SNR (signal to noise ratio) wird durch das Verhältnis der Leistungen vom Nutzsignal zum Störsignal angegeben.

$$SNR = \frac{P_{Nutz}}{P_{Stör}} = \frac{u_{Nutz,eff}^2}{\int_1^2 \overline{du_{Stör}^2} \cdot df} \quad (5.13)$$

Er wird häufig in dB angegeben:  $SNR_{dB} = 10 \cdot \log SNR$ .

**Rauschzahl** Die mittlere Rauschzahl gibt die Verminderung des Signal-Rausch-Abstands über einem Schaltungsteil an. Sie ist damit ein Verhältnis vom Signal-Rausch-Abstand am Eingang des Schaltungsteils zum Signal-Rausch-Abstand am Ausgang.

$$F = \frac{SNR_{Eingang}}{SNR_{Ausgang}}, \quad F_{dB} = 10 \cdot \log F$$

#### 5.1.1.2.2 Rauschen des MOS-Transistors

**Thermisches Rauschen** Der MOS-Transistor kann durch zwei Rauschquellen beschrieben werden. Zum einen gibt es das thermische Rauschen der Ladungsträger im Kanal. Da der Kanal kein homogener Widerstand ist und auch vertikale Felder einwirken, wird das Rauschen auf ca. 2/3 des reinen Widerstandsrauschens gedämpft. Es kann aus  $g_m$  zu

$$\overline{di_{DS}^2} = \frac{8kT}{3} g_m \cdot df \quad (5.14)$$

berechnet werden.

**1/f Rauschen** Die zweite Rauschquelle eines MOS-Transistors ist ein 1/f Rauschen, wel-

ches sich durch eine äquivalente Rauschspannungsquelle am Eingang von

$$\overline{du_{i_{DS}1/f,in}^2} = \frac{KF_F}{W \cdot L \cdot (C'_{ox})^2} \cdot \frac{1}{f} \cdot df \quad (5.15)$$

darstellen lässt.  $KF_F$  ist eine Konstante und beträgt bei MOS-Transistoren ungefähr  $4 \cdot 10^{-31} \frac{C^2}{cm^2}$ .

Bezogene  
Rauschquelle

Es ist üblich, das Rauschen auf den Eingang zu beziehen. Dies ist in Bild 5.7 dargestellt. Die Rauschstromquelle  $di_{DS}^2$  kann durch eine Rauschspannungsquelle am Eingang des MOS-Transistors mit dem Wert

$$\overline{du_{i_{DS},in}^2} = \frac{8kT}{3} \frac{1}{g_m} \cdot df \quad (5.16)$$

umgerechnet werden.

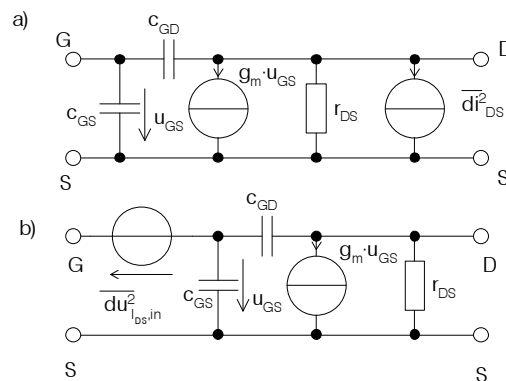


Bild 5.7: a) MOS-ESB mit Rauschquelle für den Drainstrom, b) Rauschquelle umgerechnet auf den Eingang als Spannungsrauschquelle

### 5.1.2 Bipolar-Transistor

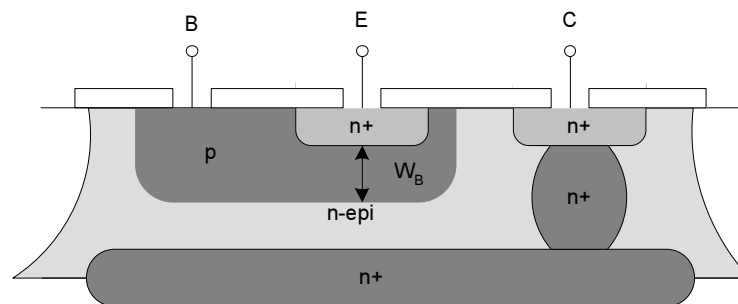


Bild 5.8: Schnittbild eines npn-Transistors

Funktion

Der Bipolar-Transistor ist trotz zunehmender Verbreitung des MOS-

Transistors ein wichtiges Bauteil - gerade für analoge Schaltungen - geblieben. Er wird bei schnellen Schaltungen und für Leistungsanwendungen eingesetzt, da er eine sehr hohe Spannungsverstärkung aufweist. Außerdem lässt sich mit dem pn-Übergang eine präzise Bandlücken(Bandgap)-Schaltung aufbauen.

Ein vertikaler npn-Transistor ist in Bild 5.8 als Schnittbild und in Bild 5.9 als Prinzip dargestellt. Er besteht aus zwei pn-Übergängen deren gemeinsames p-Gebiet die dünne Basis bildet. Im normalen Betrieb ist der Basis-Emitter Übergang im Durchlassbereich der Diode betrieben, während die Basis-Kollektor-Diode sperrt. Fließt ein Strom vom Emitter in die Basis, so sind viele Minoritätsträger (hier die Elektronen) in der Basis vorhanden. Diese werden zu einem großen Teil vom elektrischen Feld in der Basis-Kollektor-Raumladungszone zum Kollektor hin beschleunigt. Damit wird mit einem kleinen Basisstrom ein großer Kollektorstrom gesteuert.

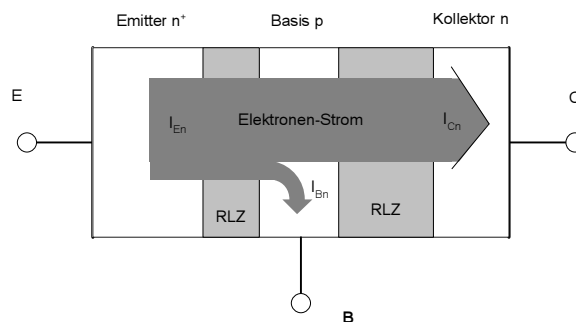


Bild 5.9: Elektronen und Löcherstrom im leitenden npn-Transistor

- Kennlinienfeld** Das Kennlinienfeld (siehe Bild 5.10) zeigt ein ähnliches Verhalten wie das des MOS-Transistors. Auch hier gibt es einen Bereich mit konstanter Steigung, der durch einen differentiellen Ausgangswiderstand  $r_0$  angenähert werden kann. Es gibt keinen Sub-threshold-Bereich.
- Sättigung** Der Sättigungsbereich ist beim Bipolartransistor anders definiert als beim MOS-Transistor. Er leitet sich von der gesättigten Basis her. Die Sättigung tritt ein, wenn für die Kollektor-Basis-Spannung  $U_{CB} \leq 0$  gilt. Dann lässt die Absaugung der Minoritätsladungsträger nach, die Raumladungszone zwischen Basis und Kollektor wird sehr schmal und damit sammeln sich sehr viele Minoritätsladungsträger in der Basis an (die Basis ist gesättigt).
- Early-Spannung** Die Schnittpunkte der Tangenten treffen sich auf der  $u_{CE}$ -Achse annähernd in einem Punkt, der Early-Spannung  $V_A$ . Sie ist ein Maß für die Abhängigkeit des Ausgangsstroms  $i_C$  von der Kollektor-Emitter-Spannung  $u_{CE}$ .
- Stromgleichung** Der Kollektorstrom kann im normalen Bereich zu

$$I_C = \frac{q \cdot A \cdot n_i^2 \cdot D_B}{N_B \cdot W_B} \cdot e^{\frac{u_{BE}}{kT/q}} \quad (5.17)$$

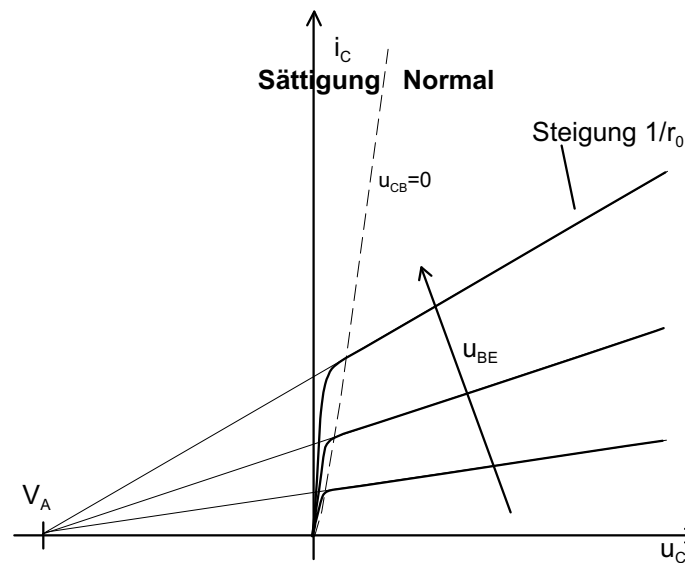


Bild 5.10: Kennlinienfeld eines Bipolar-Transistors und die zugehörige Early-Spannung  $V_A$

berechnet werden.  $A$  ist dabei die Fläche des Basis-Emitter-Übergangs,  $n_i$  die intrinsische Ladungsträgerzahl,  $D_B$  der Diffusionskoeffizient in der Basis ( $D_B = \mu \cdot \frac{kT}{q}$ ),  $N_B$  die Dotierung der Basis und  $W_B$  die Basisweite.

Stromver-  
stärkung

Übersichtlicher als in der oben angegebenen Stromgleichung lässt sich der Kollektorstrom durch ein Produkt aus Vorwärts-Stromverstärkung  $\beta_F$  (Größenordnung  $\beta_F \approx 80$ ) und Diodenstrom  $i_B$  angeben.

$$i_C = \beta_F \cdot i_B = \underbrace{\frac{N_E \cdot W_E \cdot D_B}{N_B \cdot W_B \cdot D_E}}_{\beta_F} \cdot \underbrace{\frac{q \cdot A \cdot n_i^2 \cdot D_E}{N_E \cdot W_E}}_{I_S} \cdot e^{\frac{u_{BE}}{kT/q}} \quad (5.18)$$

Der Emitterstrom bestimmt sich zu

$$i_E = i_C + i_B = \frac{1 + \beta_F}{\beta_F} i_C \quad (5.19)$$

### 5.1.2.1 Großsignalmodell

**Transportmodell** Das Großsignalverhalten des Bipolar-Transistors wird in erster Näherung durch das Transportmodell in Bild 5.10 wiedergegeben. Es lässt sich aus dem Ebers-Moll-Modell [TieSch99] entwickeln, veranschaulicht aber intuitiver als dieses die Stromverstärkungsverhältnisse im Bipolar-Transistor.

Die Ströme  $i_{B,F}$  und  $i_{B,R}$  berechnen sich zu

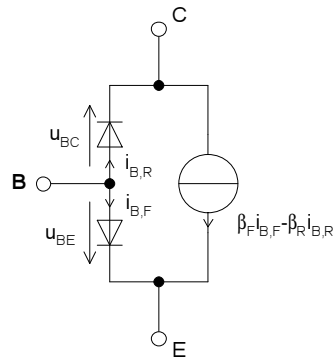


Bild 5.11: Transportmodell für einen npn-Transistor

$$i_{B,F} = \frac{I_S}{\beta_F} \cdot e^{\frac{u_{BE}}{kT/q}} \quad (5.20)$$

$$i_{B,R} = \frac{I_S}{\beta_R} \cdot e^{\frac{u_{BC}}{kT/q}} \quad (5.21)$$

$I_S$  lässt sich aus der Gleichung (5.17) zu

$$I_S = \frac{q \cdot A \cdot n_i^2 \cdot D_B}{N_B W_B} \quad (5.22)$$

berechnen. Das  $\beta_R$  für den Rückwärtsbetrieb ist wesentlich kleiner als das  $\beta_F$  und liegt in der Größenordnung 1,5-3. Falls die Diode und der Term für den Rückwärtsbetrieb weggelassen werden, erhält man das vereinfachte Transportmodell.

### 5.1.2.2 Kleinsignal-Ersatzschaltbild

Ein einfaches statisches Kleinsignalmodell ist in Bild 5.12 gegeben

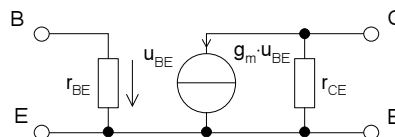


Bild 5.12: Statisches Kleinsignalmodell für einen Bipolar-Transistor

$g_m, r_{BE}, r_{CE}$

Da der Bipolar-Transistor im Gegensatz zum MOS-Transistor durch nur einen Betriebsbereich modelliert wird, können die Steilheit  $g_m = \frac{\partial i_C}{\partial u_{BE}}$  und die beiden Widerstände  $r_{BE} = \frac{\partial u_{BE}}{\partial i_B}$  und  $r_{CE} = \frac{\partial u_{CE}}{\partial i_C}$  über den gesamten Betriebsbereich in einer Gleichung angegeben werden.

$$g_m = \frac{i_C|_{AP}}{U_T} = \frac{i_C|_{AP}}{kT/q} \quad (5.23)$$

$$r_{BE} = \frac{\beta}{g_m} \quad (5.24)$$

$$r_{CE} = \frac{V_A}{i_C|_{AP}} \quad (5.25)$$

$V_A$  ist dabei die in Bild 5.10 dargestellte Early-Spannung.

Kapazitäten

Das dynamische Kleinsignalverhalten lässt sich durch das Ersatzschaltbild in Bild 5.13 beschreiben.

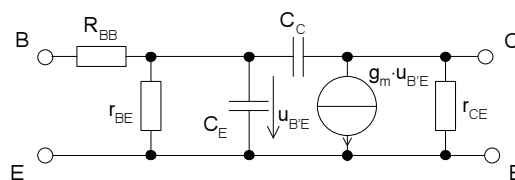


Bild 5.13: Dynamisches Kleinsignal-Modell

Die Kollektor-Basis-Kapazität (Miller-Kapazität)  $C_C$ , besteht im wesentlichen aus der Sperrschichtkapazität des Kollektor-Basis-Überganges. Die Basis-Emitter-Kapazität  $C_E$  besteht, da der pn-Übergang in Durchlassrichtung betrieben wird, aus einer Sperrschichtkapazität und einer Diffusionskapazität. Der Basisbahnwiderstand  $R_{BB}$  ist jetzt erforderlich, da der Stromfluss durch die Basis (im Gegensatz zu MOS-Transistoren) nicht vernachlässigbar ist.

Die Größen von  $C_C$  und  $R_{BB}$  werden gemessen und verändern sich im Normalbetrieb praktisch nicht. Da  $C_E$  auch einen Diffusionsanteil aufweist, ändert sich diese Größe je nach Arbeitspunkt. Eine Möglichkeit,  $C_E$  zu bestimmen, ist, sie mit Hilfe der Transitfrequenz  $f_T$  (wird ebenfalls messtechnisch bestimmt) zu berechnen.

$$C_E = \frac{g_m}{2\pi f_T} - C_C \quad (5.26)$$

Transitfrequenz Die Transitfrequenz  $f_T$  ist die Frequenz, an der die Stromverstärkung  $\beta$  des Transistors 1 wird.

### 5.1.2.3 Rauschen des Bipolartransistors

Der Bipolar-Transistor weist normalerweise folgende Rauschquellen auf:

- Thermisches Rauschen des Basis-Bahnwiderstands

$$\overline{du_{R_{BB}}^2} = 4kT \cdot R_{BB} \cdot df$$

- Schrotrauschen des Basisstroms

$$\overline{di_B^2} = 2q \cdot I_B|_{AP} \cdot df$$

- Schrotrauschen des Kollektorstroms

$$\overline{di_C^2} = 2q \cdot I_C|_{AP} \cdot df$$

- 1/f Rauschen des Basisstroms

$$\overline{di_{Bf}^2} = KF \cdot (I_B|_{AP})^{AF} \cdot \frac{1}{f} \cdot df$$

KF und AF sind zu messende Konstanten.

Alle Rauschquellen lassen sich in einer äquivalenten Rauschspannungsquelle in Reihe zum Basis-Bahnwiderstand und einer äquivalenten Rauschstromquelle parallel zu  $r_{BE}$  zusammenfassen.

## 5.2 Weitere integrierte Bauelemente

Für analoge Schaltungen werden neben Transistoren zusätzliche Bauelemente benötigt. Dies sind z.B. Widerstände und Kapazitäten. Bei integrierten Schaltungen gibt es eine Vielzahl von Realisierungsmöglichkeiten, z.B. Ausnutzen der Gate-Kanalkapazität eines MOS-Transistors als Kapazität oder mäanderförmige Leitbahnen als Widerstand. Entscheidende Kriterien für die Auswahl von verschiedenen Realisierungsmöglichkeiten sind der Nominalwert des Bauelements, Genauigkeitsanforderungen (Reproduzierbarkeit) und parasitäre Bauelemente, die dieses Bauteil aufweisen kann.

In der Regel gilt bei integrierten Schaltungen für alle Bauteile, dass Verhältnisse von Nominalwerten sehr genau eingestellt und reproduziert werden können, während die absoluten Werte nur bei bestimmten Bauteilen oder Technologien gut reproduziert werden können.

### 5.2.1 Widerstand

Widerstände können in Diffusionslagen oder Metallisierungs- und/oder Polysiliziumschichten eines Halbleiter-Prozesses realisiert werden. Eine Übersicht dazu bietet [LakSan94] S. 150 ff. Aufgrund der schlecht reproduzierbaren absoluten Werte (+/- 10..20% ) können nur Widerstandsverhältnisse genau eingestellt werden.

Schicht-  
widerstand

Allgemein wird für eine leitende Schicht ein Schichtwiderstand  $R_{\square}$  ange-

geben. Aus diesem lässt sich mit Hilfe der geometrischen Größen Länge  $L$  und der Breite  $W$  der Widerstand berechnen.

$$R = \frac{L}{W} \cdot R_{\square} \quad (5.27)$$

Temperatur	Der Widerstandswert ändert sich je nach Material mit der Temperatur. Dieser Effekt ist in den Diffusionsschichten am stärksten.
Nichtlinearität	Je nach verwendeter Schicht ist der Widerstand stark nichtlinear. Die Metallschicht weist von allen Schichten die geringste Nichtlinearität auf.
Parasitäre Kapazität	Der Widerstand hat eine parasitäre Kapazität zumindest gegen das Substrat oder gegen unter und neben ihm liegende Schichten, die zu einer Kopplung gegen Masse für hohe Frequenzen führt. Dieser Effekt wirkt sich besonders bei langen schmalen Widerständen aus, da der Widerstandsanteil im Verhältnis zum Kapazitätsanteil steigt.

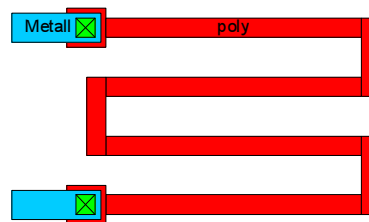


Bild 5.14: Mäander-Widerstand in Polysilizium

Beispiel	Eine typische Realisierung eines Widerstands in einem $1\mu\text{m}$ -CMOS-Prozess wäre ein Widerstand in Polysilizium (siehe Bild 5.14), welches für die Gates verwendet wird. Der Schichtwiderstand beträgt $R_{\square} = 50 \frac{\Omega}{\square}$ , der absolute Nominalwert lässt sich auf $\pm 20\%$ einstellen, der Temperaturkoeffizient beträgt $\frac{0,2\%}{^\circ\text{C}}$ . Die Nichtlinearität ändert den Widerstandswert um bis zu $\frac{0,02\%}{\sqrt{}}$ . Die parasitäre Kapazität gegen das Substrat beträgt $6,5 \frac{\text{nF}}{\text{cm}^2}$ .
----------	---

### 5.2.2 Kapazitäten

Kapazitäten lassen sich - insbesondere in CMOS-Prozessen - besser herstellen als Widerstände. Auch hier bietet [LakSan94] S. 153 eine gute Übersicht. Die Kapazitäten sind bis auf die pn-Übergangskapazitäten nahezu linear. Auch die Temperaturabhängigkeit spielt kaum eine Rolle. Problematisch ist nur die zusätzliche parasitäre Kapazität gegen das Substrat, die bei allen nicht geerdeten Kapazitäten auftritt.

Beispiel	Sehr genau und mit einem hohen Kapazitätswert ausgestattet ist die Gate-Kanal-Kapazität (siehe Bild 5.15). Typische Werte sind eine Flächenkapazität von $70 \frac{\text{nF}}{\text{cm}^2}$ und eine absolute Genauigkeit von $\pm 5\%$ .
----------	---



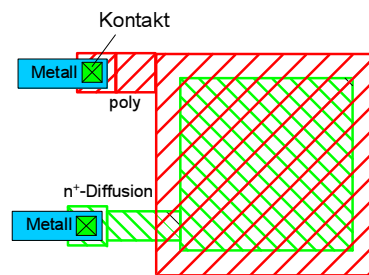


Bild 5.15: Gate-Kanal-Kapazität

### 5.2.3 Induktivitäten

Induktivitäten lassen sich in integrierten Schaltungen nur sehr schlecht realisieren. Ihre Güte beträgt lediglich  $Q < 15$ . Sie werden als Spiral-Induktivitäten in Metall ausgeführt. Die parasitären Kapazitäten zwischen den Leitbahnen und gegen das Substrat, führen in Verbindung mit den parasitären Serienwiderständen der Substrat-Kapazitäten und den Bahnwiderständen der Leitbahn zu der schlechten Güte.

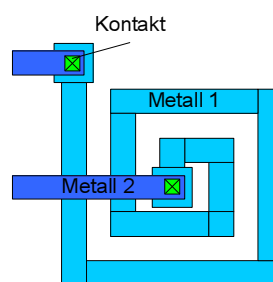


Bild 5.16: Spiral-Induktivität

### 5.2.4 Diode

In Bipolarprozessen kann die Diode sehr einfach aus einem Transistor durch Kurzschließen von Basis und Emitter erzeugt werden. Die entsprechenden Gleichungen für den Großsignalbetrieb können aus denen für den Transistor hergeleitet werden.

$$i = I_S \cdot \left( e^{\frac{u}{kT/q}} - 1 \right) \quad (5.28)$$

$I_S$  ist der Sperrstrom der Diode.

Kleinsignal

Ein Kleinsignalersatzschaltbild beinhaltet einen Bahnwiderstand  $R_{BB}$ , einen differentiellen Widerstand  $r_D$

$$r_D = \frac{kT/q}{i_D|_{AP}} \quad (5.29)$$

und die Kapazität  $C_D$ , die die Sperrschichtkapazität und Diffusionskapazität beinhaltet.

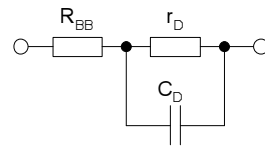


Bild 5.17: Kleinsignal-ESB der Diode

## 6 Struktureller Entwurf

In diesem Abschnitt sollen kurz die Grundstrukturen, die für analoge Schaltungen benötigt werden, betrachtet werden. Die Grundstrukturen haben unterschiedliche Eigenschaften, die beim Entwurf einer komplexeren Schaltung berücksichtigt werden sollten. Die letzten Abschnitte behandeln Entwurfsaspekte, die den strukturellen Entwurf betreffen.

### 6.1 Verstärkungsstufen

Für den MOS-Transistor gibt es grundsätzlich drei Beschaltungsarten. Diese werden nach dem Anschluss benannt, der auf virtuellem Massepotential liegt, also als Bezugsknoten dient. Eine Übersicht über die wesentlichen Eigenschaften der drei Beschaltungsarten bietet Tabelle 6.1. Für Bipolartransistoren gilt äquivalent das gleiche, nur die Namen der Anschlüsse ändern sich, und der Eingangswiderstand bezüglich der Basis wird im DC-Fall endlich.

Beschaltungsart	Spannungs-/Stromverstärkung	Ein-/Ausgangswiderstand	1. Grenzfrequenz
Sourceschaltung	$A_U \approx -g_m \cdot R_L / -$	$\approx \infty / \approx R_L$	$\frac{1}{2\pi \cdot A_V \cdot C_{GD} \cdot R_L}$
	hoch/ -	hoch / hoch	niedrig
Gateschaltung (Kaskodeschlgt.)	$- / \approx 1$	$\frac{1}{g_m} / \approx R_L$	$\frac{1}{2\pi \cdot c_{GS} \cdot R_{Ein}}$
	- / niedrig	niedrig / hoch	hoch
Drainschaltung (Sourcefolger)	$\approx 1 / -$	$\approx \infty / R_L \parallel \frac{1}{g_m}$	$\approx \frac{1}{2\pi \cdot C_{GD} \cdot R_{Ein}}$
	niedrig / -	hoch / niedrig	hoch

Tabelle 6.1: Gegenüberstellung der Beschaltungsarten eines MOS-Transistors

Die Beschaltungsarten sollen im folgenden genauer untersucht werden.

#### 6.1.1 Eintransistorverstärker (Sourceschaltung)

In Bild 6.1 ist eine Sourceschaltung eines MOS-Transistors inklusive Widerstands-Bias-Netzwerk dargestellt. Das zugehörige Kleinsignal-ESB (6.2) ist durch Einsetzen des MOS-Kleinsignal-ESBs und Vernachlässigen der Koppelkapazität  $C_K$  entstanden.

Verstärkung

Die Verstärkung berechnet sich für kleine Frequenzen zu

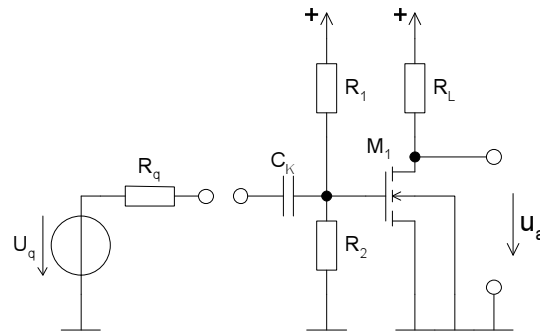


Bild 6.1: Transistorverstärker in Sourceschaltung mit Widerstands-Bias-Netzwerk

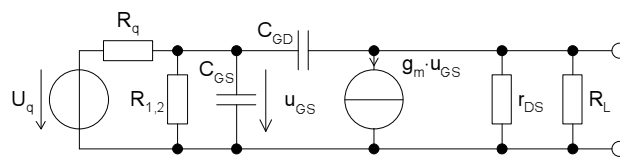


Bild 6.2: Zu Bild 6.1 gehöriges Kleinsignal-ESB

$$A_U = -\frac{R_1 \parallel R_2}{R_q + R_1 \parallel R_2} \cdot g_m \cdot (R_L \parallel r_{DS}) . \quad (6.1)$$

Sie geht für eine niederohmige Quelle ( $R_q \ll R_1 \parallel R_2$ ) und große  $r_{DS}$  ( $r_{DS} \gg R_L$ ) gegen

$$A_U \approx -g_m \cdot R_L . \quad (6.2)$$

Ein-, Ausgangswiderstände Die Ein- und Ausgangswiderstände berechnen sich für die gleiche Idealisierung zu

$$R_{Ein} = R_1 \parallel R_2 = R_{1,2} \quad (6.3)$$

$$R_{Aus} = R_L . \quad (6.4)$$

Grenzfrequenz Die Grenzfrequenz wird, wenn man annimmt, dass  $C_{GD}$  und  $C_{GS}$  ungefähr gleich groß sind, von  $C_{GD}$  dominiert, da diese (Miller-) Kapazität um den Verstärkungsfaktor  $A_U$  vergrößert am Eingang erscheint.

$$f_{-3dB} \approx \frac{1}{2\pi \cdot A_U \cdot R_q \cdot C_{GD}} \quad (6.5)$$

GBW Daraus lässt sich durch Multiplikation mit der Verstärkung das

Verstärkungs-Bandbreite-Produkt (GBW Gain-Bandwidth) ermitteln.

$$GBW = \frac{1}{2\pi \cdot C_{GD} \cdot R_q} \quad (6.6)$$

Rauschen Das Rauschen eines MOS-Sourceschaltungs-Verstärkers wird durch das Transistorrauschen dominiert. Es beträgt am Eingang

$$\overline{dv_{ie}^2} = \frac{\overline{dv_{DS}^2}}{g_m^2} = \frac{8kT}{3g_m} df . \quad (6.7)$$

Daher ist ein hohes  $g_m$  gut, um einen rauscharmen Verstärker zu erhalten.

Biasing Da Widerstände in integrierten Schaltungen nur mit geringer Präzision hergestellt werden können, wird die Arbeitspunkteinstellung in der Regel nicht mit Widerständen, sondern durch Bias-Ströme und Spannungen vorgenommen. Beispiele für Transistoren in Sourceschaltung mit automatischem Biasing finden sich in späteren Abschnitten, z.B. beim Stromspiegel und im Kapitel 8. Vorteil des Verschwindens der Arbeitspunkt-Einstell-Widerstände ist weiterhin, dass die Zahl der frei einstellbaren Variablen und damit das Dimensionierungsproblem kleiner wird.

Emitter-schaltung Für Bipolartransistoren kann die entsprechende Schaltung ebenfalls angewendet werden. Sie heißt dann Emitterschaltung und weist prinzipiell die gleichen Eigenschaften wie beim MOS-Transistor auf.

Einsatz

- Spannungsverstärkung :  
Die Sourceschaltung ist eine universelle Spannungsverstärkungsschaltung mit durchschnittlichem Frequenzgang.
- Stromverstärkung/Logarithmierer:  
Der Bipolartransistor lässt sich in dieser Schaltung hervorragend als Stromverstärker und/oder als Logarithmierer betreiben.
- Stromspiegel:  
Der zweite Ausgangstransistor des Stromspiegels ist in Sourceschaltung geschaltet und bietet hier bei kleinem Eingangsspannungshub einen hohen und damit einen dem idealen Stromspiegel nahe kommenden Ausgangswiderstand  
Außerdem wird die Schaltung in sehr vielen weiteren Strukturen verwendet z.B.: Aktive Last, Differenzverstärker,

Symbolische Analyse In Anhang A.3 ist die Eingabe und die symbolische Analyse der Schaltung mit einem symbolisches Analysewerkzeug dargestellt.

Zur symbolischen Analyse wird hier das Computeralgebrasystem Maple V verwendet. Es kann selbstverständlich auch ein anderes Mathematiksystem

mit symbolischem Analyse-Paket wie z.B. Mathematica mit Analog Insydes [SoAmHe93] verwendet werden. Nach dem Einlesen der Programm-bibliothek wird ein einfaches dynamisches ESB für einen MOS-Transistor definiert. Anschließend wird die Netzliste der Verstärkungsschaltung in SPICE-ähnlicher Syntax definiert. Schließlich wird noch eine Liste der numerischen Schaltungsparameter angelegt, um eine Vereinfachung unter Berücksichtigung ihrer Größen vornehmen zu können.

Aus der Netzliste wird ein Differentialgleichungssystem erstellt. Daraus wird die Übertragungsfunktion im Frequenzbereich berechnet. Diese kann für niedrige Frequenzen – in diesem Fall 100 Hz – vereinfacht werden. Bei einer Fehlertoleranz von 2 % ergibt sich eine Verstärkung, die bis auf die Berücksichtigung der Spannungsteiler am Eingang der aus Gleichung (6.1) entspricht. Dieser Spannungsteiler verursacht eine Abweichung von 2 ‰, so dass er bei 2 % Fehlertoleranz nicht berücksichtigt werden muss. Wird der Ausdruck für die Verstärkung noch weiter vereinfacht, dann entspricht das Ergebnis exakt der Gleichung (6.2).

Auch die anderen Größen aus den Gleichungen 6.3 bis 6.6 lassen sich mit einfachen Mitteln automatisch berechnen. Lediglich das Rauschen wurde in diesem Beispiel nicht berechnet.

### 6.1.2 Kaskodeschaltung (Gateschaltung)

Die Kaskodeschaltung verhält sich wie ein Impedanzkonverter, der eine niedrige Eingangsimpedanz in eine hohe Ausgangsimpedanz wandelt (siehe Tabelle 6.1). Es handelt sich idealisiert also um eine stromgesteuerte Stromquelle (siehe. Bild 6.3).

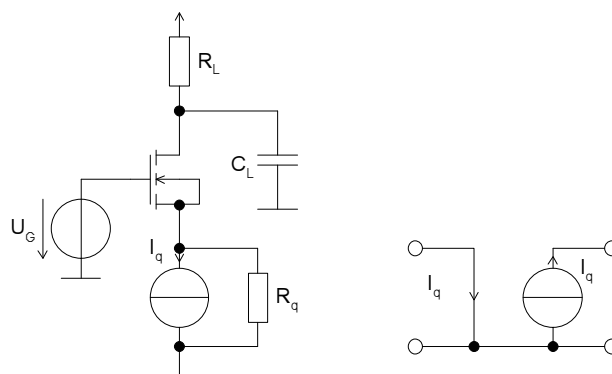


Bild 6.3: Kaskodeschaltung und zugehöriges ideales ESB

Strom-  
verstärkung

Der Strom, der in den Sourceanschluss des Transistors hineinfließt, kommt in erster Näherung unverändert aus dem Drain-Anschluss heraus. Damit ist die Stromverstärkung ungefähr 1. Die Spannungsverstärkung ist für die ideale Kaskodeschaltung nicht definiert, da die Eingangsimpedanz  $R_{\text{Ein}} = 0$  eine Eingangsspannung von 0 erzwingt.

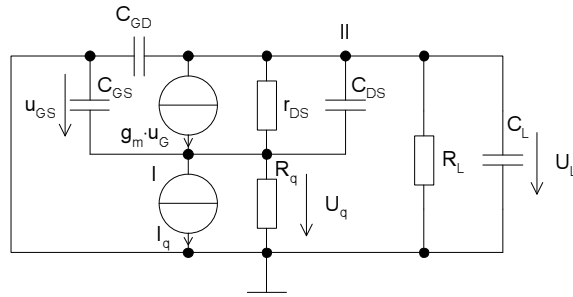


Bild 6.4: Kleinsignal ESB der Kaskodeschaltung

**Transimpedanz** Als Verstärkung ist die Transimpedanz, das heißt die Strom zu Spannungsverstärkung definiert. Sie ist direkt vom Lastwiderstand abhängig.

$$R_T = \frac{u_L}{i_q} = \frac{R_q (g_m r_{DS} + 1) R_L}{g_m r_{DS} R_q + R_L + R_q + r_{DS}} \approx R_L \Big|_{\text{für } R_q \gg R_L} \quad (6.8)$$

**Eingangswiderstand**

Der Eingangswiderstand ist sehr klein, da der Eingang wie der Ausgang eines Sourcefolgers wirkt. Er lässt sich direkt aus dem Kleinsignalersatzschaltbild berechnen. Dazu wird zunächst unter Verwendung der Kirchhoffschen Gleichungen die Spannung  $u_q$  in Abhängigkeit von  $i_q$  berechnet.

$$I: u_q = (-i_q - g_m u_q + \frac{u_L - u_q}{r_{DS}}) R_q \quad (6.9)$$

$$II: u_L = i_{Aus} \cdot R_L = R_L (-i_q - \frac{u_q}{R_q}) \quad (6.10)$$

$$II \text{ in } I \Rightarrow 0 = -\frac{u_q}{R_q} - i_q - g_m u_q + \frac{R_L (-i_q - \frac{u_q}{R_q}) - u_q}{r_{DS}} \quad (6.11)$$

$$\Leftrightarrow 0 = u_q \left( -\frac{1}{R_q} - g_m - \frac{1}{r_{DS}} - \frac{R_L}{R_q r_{DS}} \right) - i_q \left( 1 + \frac{R_L}{r_{DS}} \right) \quad (6.12)$$

Daraus lässt sich dann der Eingangswiderstand berechnen. Dieser kann anschließend vereinfacht werden.

$$R_{Ein} = \frac{-u_q}{i_q} = \frac{1 + \frac{R_L}{r_{DS}}}{\frac{1}{R_q} + g_m + \frac{1}{r_{DS}} + \frac{R_L}{R_q r_{DS}}} \quad (6.13)$$

$$= \frac{R_q (r_{DS} + R_L)}{r_{DS} + R_q (r_{DS} g_m + 1) + R_L} \approx \frac{1}{g_m} \left( 1 + \frac{R_L}{r_{DS}} \right) \Big|_{\text{für } R_L \ll R_q, r_{DS} g_m \gg 1} \quad (6.14)$$

$$\approx \frac{1}{g_m} \Big|_{\text{für } R_L \ll r_{DS}} \quad (6.15)$$

Wichtig ist die Eigenschaft, dass für große  $R_L$  der Eingangswiderstand auch groß wird. Dies ist ungünstig für bestimmte Einsatzgebiete.

Ausgangswiderstand

Der Ausgangswiderstand lässt sich ebenfalls unter Ausnutzung des ESBs zu

$$R_{aus} = \frac{u_L}{i_L} = \frac{(R_q(g_m \cdot r_{DS} + 1) + r_{DS}) \cdot R_L}{R_q(g_m \cdot r_{DS} + 1) + r_{DS} + R_L} \approx R_L \Big|_{\text{für } R_q, r_{DS} \gg R_L} \quad (6.16)$$

berechnen. Dies ist schnell zu erkennen, wenn man zur Ausgangswiderstandsbestimmung die Stromquelle  $i_q$  entfernt.

Grenzfrequenz

In erster Näherung wird die Grenzfrequenz durch die Kapazität  $C_L$  parallel zu  $C_{GD}$  und den Ausgangswiderstand bestimmt. Letzterer kann zu  $R_L$  angenähert werden, so dass die Grenzfrequenz sich wie folgt bestimmt.

$$f_{-3dB} \approx \frac{1}{2\pi \cdot R_L \cdot (C_{GD} + C_L)} \quad (6.17)$$

Die Millerkapazität  $C_{DS}$  ist so klein, dass sie trotz Spannungsverstärkung keine Rolle spielt. Falls  $R_L$  sehr klein gemacht wird, tritt die Bandbegrenzung am Eingang auf. Hier wirken in erster Näherung  $C_{GS}$  und der Eingangswiderstand  $1/g_m$ .

Rauschen

Für kleine  $R_L$  tritt so gut wie kein Rauschen im Kaskodetransistor auf, da die äquivalenten Eingangsrauschquellen am Gate über das Gate nur den Source-, aber nicht den Drain-Anschluss erreichen. Der Strom durch den Kanal wird in erster Näherung von der Eingangsstromquelle eingepreßt und wird nicht durch die rauschenden Gate- und Source-Potentiale gestört.

Biasing

Wichtig ist die konstante Biasspannung am Gate. Diese stellt, um ungefähr die Threshold-Spannung vermindert, die Sourcespannung ein. Das bedeutet, die Spannung am Eingang (Source) der Kaskodeschaltung ist nahezu konstant. Der Strom als informationstragende Größe wird von der vorherigen Stufe und der Last bestimmt. Auch dieser Transistor sollte in der Sättigung betrieben werden, da sonst der Ausgangswiderstand  $r_{DS}$  dramatisch sinkt und das Verhalten verschlechtert. Mit  $g_m$ , welches sich über die W- und L-Größen einstellen lässt, kann der Eingangswiderstand gewählt werden.

Bodyeffekt

Da in integrierten Schaltungen der Bulkanschluss des MOS-Transistors in der Regel nicht auf Source-Potential gelegt werden kann, wie in Bild 6.3, ist mit einem Einfluss des Source-Bulk-Potentials auf die Threshold-Spannung und die Stromcharakteristik zu rechnen. Dieser Effekt wird durch die konstante Gatespannung in dieser Konfiguration abgemildert und wirkt sich daher nur auf die Einstellung des Arbeitspunkts aus.

Basisschaltung

Auch ein Bipolartransistor kann in Basisschaltung betrieben werden. Im



Prinzip sind dieselben Eigenschaften zu erwarten. Der endliche Basisstrom hat allerdings Auswirkungen auf das Verhalten. Zum Beispiel sinkt die Stromverstärkung unter 1.

Einsatz Breitbandverstärker :

Hier wird die Kaskodestufe zur Reduzierung des Effekts der Millerkapazität einer Sourceschaltungsstufe verwendet, ohne selbst zur Verstärkung beizutragen (siehe auch Abschnitt 6.2).

### 6.1.3 Sourcefolger / DC-Level-Shifter

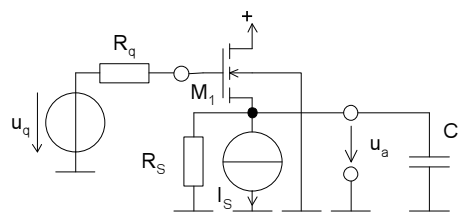


Bild 6.5: Sourcefolger mit Bulkanschluss an Masse

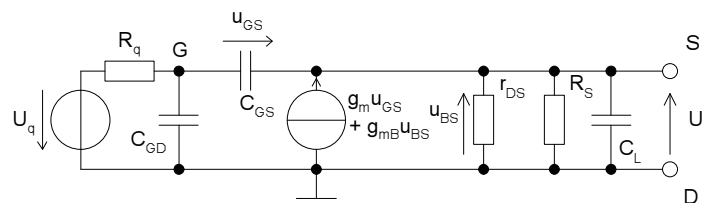


Bild 6.6: Kleinsignal ESB der Sourcefolgerschaltung

Funktion	Die Gatespannung des Sourcefolgers liegt um die Thresholdspannung $V_T$ vermindert auch am Sourceanschluss an. Damit folgt die Sourcespannung der Gatespannung.
DC-Level-Shifter	Die Spannungsfolgefunktion kann direkt zum Ändern der DC-Spannung eines Signals ausgenutzt werden. Diese verschiebt sich um $V_T$ .
Impedanz-konversion	Der Sourcefolger kann zur Impedanzänderung eingesetzt werden, da er einen großen Eingangswiderstand und einen kleinen Ausgangswiderstand besitzt. Die Spannungsverstärkung ist dabei näherungsweise 1.
Bodyeffekt	Bei dieser Schaltung spielt der Bodyeffekt eine große Rolle. Ist das Bulk, wie häufig bei integrierten Schaltungen, an Masse angeschlossen, so hängt die Schwellspannung von der Bulk-Source-Spannung ab. Damit ist die Spannungs-Verstärkung nicht mehr 1.
Verstärkung	Die Spannungsdifferenz zwischen Ein- und Ausgang berechnet sich unter

Berücksichtigung des Bodyeffekts und Vernachlässigung von  $r_{DS}$  und  $R_S$  zu

$$u_q - u_a = V_{TO} + \gamma \left( \sqrt{2|\Phi_F| + u_a} - \sqrt{2|\Phi_F|} \right) + \sqrt{\frac{2 \cdot I_S \cdot W}{\mu C'_{ox} \cdot L}} \quad (6.18)$$

Sie ist eine implizite nichtlineare Funktion. Durch Verändern des W/L-Verhältnisses kann der Wert der Spannungsdifferenz in einem weiten Bereich eingestellt werden.

Ein-, Ausgangs- Die Ein- und Ausgangswiderstände berechnen sich zu  
widerstand

$$R_{Ein} = \infty, \quad (6.19)$$

$$R_{Aus} = \frac{1}{g_m + g_{mB} + \frac{1}{r_{DS}} + \frac{1}{R_S}} \quad (6.20)$$

Grenzfrequenz Die Grenzfrequenz wird, wenn man annimmt, dass die Verstärkung ungefähr 1 ist, von  $C_{GD}$  und  $R_q$  dominiert.

$$f_{-3dB} \approx \frac{1}{2\pi \cdot R_q \cdot C_{GD}} \quad (6.21)$$

Emitterfolger Für Bipolartransistoren kann die entsprechende Schaltung ebenfalls angewendet werden. Allerdings lässt sich der Spannungsshift nicht einstellen, da er durch die exponentielle Stromverstärkung auf ungefähr 0,7 V festgelegt ist.

## 6.2 Kaskodestufen

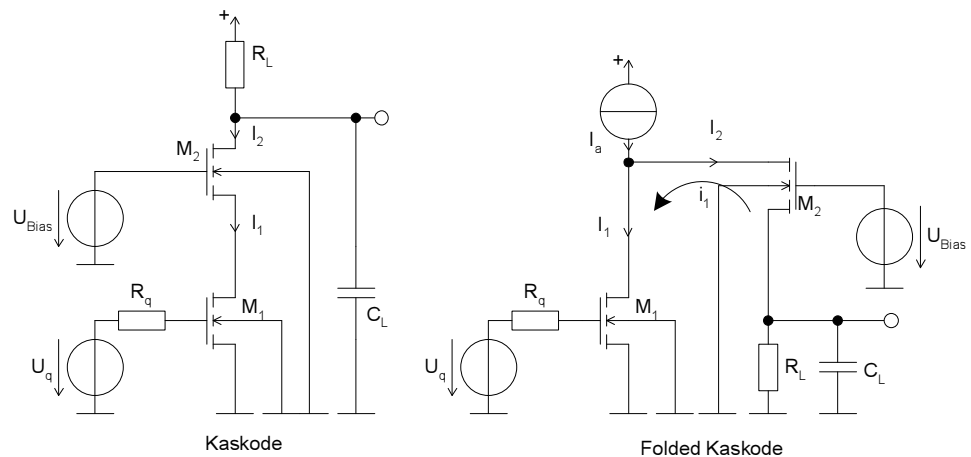


Bild 6.7: Kaskodestufen mit MOS-Transistoren

Funktion	Eine Kaskodestufe besteht aus einem Transistor in Sourceschaltung und einem in Reihe geschalteten Transistor in Gateschaltung. Die Eingangsspannung des Kaskodetransistors bleibt nahezu konstant und damit liegt die Gate-Drain-Kapazität des Transistors in Sourceschaltung gegen virtuelle Masse. Der Transistor in Sourceschaltung unterliegt dann nicht mehr dem Millereffekt. Die Millerkapazität des Kaskodetransistors $C_{DS}$ ist dagegen so klein, dass hier selbst eine große Spannungsverstärkung keinen negativen Einfluss auf den Frequenzgang hat. Für die Kaskodestufe ist also sowohl eine hohe Spannungsverstärkung, als auch eine hohe Bandbreite zu erwarten.
Typen	In Bild 6.7 sind zwei Kaskodestufen dargestellt. Die linke ist die „normale“ Kaskodestufe, die rechte die „gefaltete“ (folded) Kaskodestufe. Für den Gleichstromfall fließen in der linken die gleichen Ströme $I_1$ und $I_2$ durch die beiden Transistoren $M_1$ und $M_2$ . In der rechten teilt sich der Strom $I_a$ auf $I_1$ und $I_2$ auf. Im Wechselstromfall fließt jedoch in der rechten Schaltung der Wechselstrom $i_1$ durch den Transistor $M_2$ .
Kaskodestufe	Vorteil der „normalen“ Kaskodestufe ist <ul style="list-style-type: none"> <li>• weniger Schaltungsaufwand</li> <li>• schnellerer Normalbetrieb nach Übersteuerung</li> </ul>
Symbolische Analyse	In Anhang A.4 ist ein Worksheet mit der symbolischen Analyse der Kaskodestufe zu finden.
Folded-Kaskode	Der Vorteil der Folded-Kaskodestufe ist: <ul style="list-style-type: none"> <li>• niedrigere Versorgungsspannung</li> <li>• Wechselstrom fließt von der Masse über <math>M_1</math>, <math>M_2</math>, <math>R_L</math> zurück zur Masse und damit nicht über die Versorgungsspannung. Daher ist diese Variante störtester.</li> </ul>
Verstärkung	Die Verstärkung beträgt für beide Typen $A_V = -g_m \cdot R_L$ .

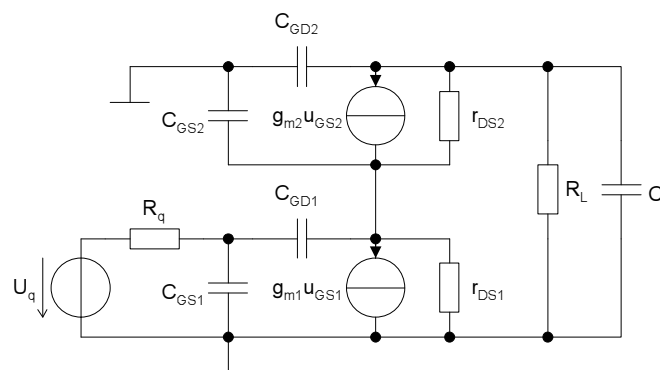


Bild 6.8: Kleinsignal-ESB der Kaskodestufe

Grenzfrequenz Die Grenzfrequenz wird im ersten Transistor im wesentlichen durch die

Gate-Source- und Gate-Drain-Kapazitäten bestimmt. Hierzu ist in Bild 6.8 das Kleinsignalersatzschaltbild der Kaskodestufe dargestellt. Unter Vernachlässigung von  $r_{DS1}$  und  $r_{DS2}$  liegt als Last für den Transistor  $M_1$  der Eingangswiderstand des Kaskodetransistors  $M_2$  an. Dieser beträgt  $\frac{1}{g_{m2}}$ . Daraus berechnet sich dann die Verstärkung über Transistor  $M_1$  näherungsweise zu

$$A_{v1} = \frac{g_{mM1}}{g_{mM2}}, \quad (6.22)$$

also nahe bei 1. Daher ist der Miller-Effekt, der durch den Faktor  $M_V = (1 + A_{v1})$  in die Grenzfrequenz eingeht, minimal.  $M_V$  nimmt Zahlenwerte zwischen 1..3 an.

$$f_{-3dB_{M1}} = \frac{1}{2\pi \cdot R_q (C_{GS} + M_V \cdot C_{GD})} \quad (6.23)$$

$$M_V = 1 + \frac{g_{mM1}}{g_{mM2}} \quad (6.24)$$

Der zweite Transistor weist eine Grenzfrequenz auf, die durch die Lastkapazität mit dem Lastwiderstand bestimmt wird (siehe Gate-Schaltung).

$$f_{-3dB_{M2}} = \frac{1}{2\pi \cdot R_L (C_{GD} + C_L)} \quad (6.25)$$

Dominant wird für kleine  $R_L$  der erste Transistor sein. Erst bei Hinzufügen einer aktiven Last, die einen hohen Innenwiderstand aufweist, kann hier der Pol des zweiten Transistors den Frequenzgang dominieren. Dafür ist dann allerdings die Verstärkung sehr hoch.

Rauschen

Das Rauschen der Kaskodestufen entspricht dem eines einfachen Transistors in Sourceschaltung, da der Transistor in Gate-Schaltung nicht zum Rauschen beiträgt.

### 6.3 Stromspiegel

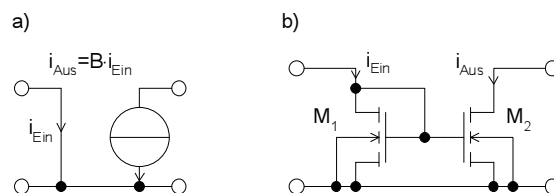


Bild 6.9: Stromspiegel: a) idealer, b) einfacher

Funktionsweise Beim einfachen Stromspiegel aus Bild 6.9 b) fließt durch den Transistor

$M_1$  der Eingangsstrom  $i_{in}$ . Die Gatespannung stellt sich so ein, dass genau dieser Strom fließt. Da Transistor  $M_2$  von derselben Gatespannung gesteuert wird, ist der Ausgangsstrom  $i_{out}$  annähernd so groß wie  $i_{in}$ .

Biasing

Beide Transistoren müssen immer in der Sättigung sein. Daraus folgt für die Ausgangsspannung:  $u_{Aus} > u_{DS,sat,M2}$ .  $M_1$  ist durch die Beschaltung erzwungenermaßen in der Sättigung, da immer  $u_{DS1} = u_{GS1} \geq u_{GS1} - V_T$  gilt.

Strom-  
verstärkung

Das Stromverstärkungsverhältnis berechnet sich im Idealfall zu

$$\frac{i_{Aus}}{i_{Ein}} = B = \frac{W_2/L_2}{W_1/L_1}. \quad (6.26)$$

Allerdings wird durch die unterschiedliche Drain-Source-Spannung eine Stromabweichung erzeugt in der Größe von

$$\frac{\Delta i_{Aus}}{i_{Aus}} = \lambda \cdot (u_{DSM2} - u_{DSM1}). \quad (6.27)$$

Dieser Effekt kann durch Transistoren mit langer Kanallänge, das heißt kleineres  $\lambda$ , oder durch Konstanthalten von  $u_{DS}$  der beiden Transistoren verringert werden.

Ausgangs-  
widerstand

Der Ausgangswiderstand der Stromquelle berechnet sich zu

$$R_{Aus} = r_{DSM2}. \quad (6.28)$$

Grenzfrequenz

Das Frequenzverhalten des einfachen Stromspiegels wird durch die beiden Gate-Source-Kapazitäten und die Steilheit des 1. Transistors bestimmt.

$$f_{-3dB} = \frac{g_{m1}}{2\pi \cdot (C_{GS1} + C_{GS2})} \quad (6.29)$$

Bipolar

Bei Bipolarstromspiegeln ist zu beachten, dass der Basisstrom mit der Größe  $1/\beta$  des Kollektorstroms - besonders bei pnp-Transistoren - nicht zu vernachlässigen ist. Daher sollte man z.B. auch eine Rückkopplungskonfiguration wie in Bild 6.11 wählen.

### 6.3.1 Verbesserte Stromspiegel

Kaskode-  
Stromspiegel

Durch diese Schaltungstechnik (Bild 6.10) werden folgende Eigenschaften erreicht:

- + Die Drain-Source-Spannungen der Transistoren  $M_1$  und  $M_2$  werden konstant gehalten.
- + Der Ausgangswiderstand steigt durch die Kaskodeschaltung auf  $g_{m,M4} \cdot r_{DS,M4} \cdot r_{DS,M2}$ .

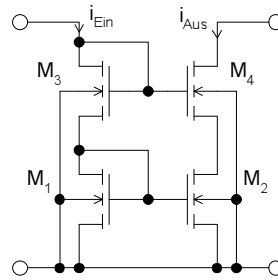


Bild 6.10: Kaskode-Stromspiegel

- + Die Ausgangskapazität wird um den Faktor  $g_{m,M4} \cdot r_{DS,M2}$  reduziert.
- Die minimale Ausgangsspannung steigt auf  $u_{Aus} > u_{DS,sat,M4} + u_{GS,M1}$ .

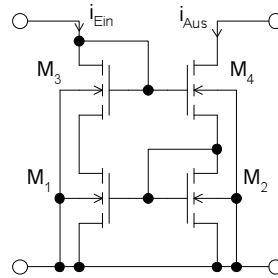


Bild 6.11: Rückkopplungs-Stromspiegel

Rückkopplungs-Stromspiegel Diese Konfiguration (Bild 6.11) verwendet eine Rückkopplungsschleife über Transistor  $M_4$ ,  $M_2$  und  $M_1$ .  $M_1$  stellt bei nicht identischem Strom die Gate-Source-Spannung von  $M_3$  mit negativer Rückkopplung ein. Es ergeben sich folgende Eigenschaften:

- + Die Drain-Source-Spannungen der Transistoren  $M_1$  und  $M_2$  werden konstant gehalten.
- + Der Ausgangswiderstand wird durch eine negative Schleifenverstärkung auf  $g_{m,M1} \cdot r_{DS,M1} \cdot r_{DS,M4}$  erhöht.
- + Die Ausgangskapazität wird um den Faktor  $g_{m,M1} \cdot r_{DS,M1}$  reduziert.
- Die minimale Ausgangsspannung steigt auf  $u_{Aus} > u_{DS,sat,M4} + u_{GS,M2}$ .

Vorspannungs-Stromspiegel Der Vorspannungsstromspiegel (Bild 6.12) funktioniert wie der Kaskode-Stromspiegel, nur dass die konstante Spannung an den Kaskodetransistoren  $M_3$ ,  $M_4$  extern vorgegeben wird. Dies wirkt sich in einer noch niedrigeren minimalen Ausgangsspannung aus:

- + Die Drain-Source-Spannungen der Transistoren  $M_1$  und  $M_2$  werden konstant gehalten.

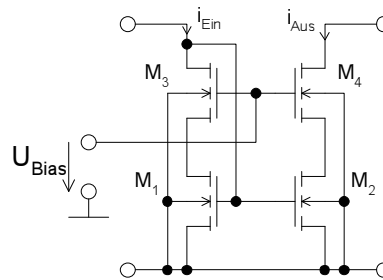


Bild 6.12: Vorspannungs-Stromspiegel

- + Der Ausgangswiderstand steigt wie beim Kaskodestromspiegel auf  $g_{m,M4} \cdot r_{DS,M4} \cdot r_{DS,M2}$ .
- + Die Ausgangskapazität wird wie beim Kaskodestromspiegel um den Faktor  $g_{m,M4} \cdot r_{DS,M2}$  reduziert.
- + Die minimale Ausgangsspannung sinkt auf  $u_{Aus} > u_{DS,sat,M4} + u_{DS,sat,M2}$ .
- Eine externe Biasspannungserzeugung ist notwendig.

### 6.3.2 Verhaltensmodell

Hier soll eine Beispielspezifikation für einen Stromspiegel und ein zugehöriges Verhaltensmodell erzeugt werden.

Schaltungstyp	CMOS-Stromspiegel
Stromspiegel-Verhältnis	1:2
Ausgangswiderstand	$\geq 100 \text{ k}\Omega$
Eingangswiderstand	$\leq 5 \text{ k}\Omega$
Minimale Ausgangsspannung, bis zu der der hohe Ausgangswiderstand erhalten bleibt.	0,5 V

Tabelle 6.2: Spezifikation eines CMOS-Stromspiegels

Aus den Daten in Tabelle 6.2 lässt sich ohne Kenntnis der späteren Realisierung ein Verhaltensmodell erstellen. Dieses ist in Bild 6.13 dargestellt. Es lässt sich mit einem dazugehörigen Simulator auf Einhaltung der Spezifikation kontrollieren.

Problematisch bei der Implementierung des Verhaltensmodells in Bild 6.13 ist die diskontinuierliche Modellierung des Ausgangswiderstands. Außerdem muss bei Einsatz des Modells in höheren Systemebenen darauf geachtet werden, dass das Modell nicht außerhalb des Betriebsbereichs betrieben wird. Dies ist durch ein assert-Statement für die Ein- und Ausgangsspannung jeweils schon einmal angedeutet worden. In diesem vereinfachten Beispiel ist allerdings auch die Spezifikation noch nicht vollständig, so dass bei

```

entity current_mirror is
  port ( terminal input, output, gnd: electrical);
end current_mirror;

architecture spec_beh_model of current_mirror is
  quantity voltage_input across current_input
    through input to gnd;
  quantity voltage_output across current_output
    through output to gnd;
  quantity rout : real;
begin
  if voltage_output > 0.5 use
    rout == 100000.0;
                                     -- Bestimmung des Ausgangs-
                                     -- widerstands

  else
    rout == 1000.0;
  end if;
  assert voltage_input > 0.7 report
    ‘‘ input voltage must be > 0.7 V’’;
  assert voltage_output >= 0.0 report
    ‘‘output voltage must be positive’’;
  current_input == voltage_input / 5000.0 ;
                                     -- Eingangsstromgleichung
  current_output == 2* current_input +
    voltage_output / rout;
                                     -- Ausgangsstromgleichung
                                     -- mit Ausgangswiderstand

end spec_beh_model;

```

Bild 6.13: VHDL-AMS-Modell eines Stromspiegels mit in der Spezifikation angegebenen Eigenschaften

deren Vervollständigung ein Teil dieser Grenzen ebenfalls vorgegeben sein wird.

## 6.4 Aktive Last / Stromquelle

**Funktion** Die aktive Last (Bild 6.14 a) wird anstelle eines Last-Widerstands eingesetzt. Sie stellt eine Stromquelle mit endlichem Innenwiderstand dar (ESB in Bild 6.14 b). Damit wirkt sie wie ein sehr hochohmiger Widerstand, liefert jedoch einen größeren Strom, um den Arbeitspunkt der Schaltung einzustellen. Die Bias-Spannung  $U_{\text{Bias}}$  wird häufig von einem als Diode beschalteten Transistor (Gate und Drain verbunden) erzeugt. Dann hat man eine Stromspiegel-Konfiguration mit festem Bias-Strom.



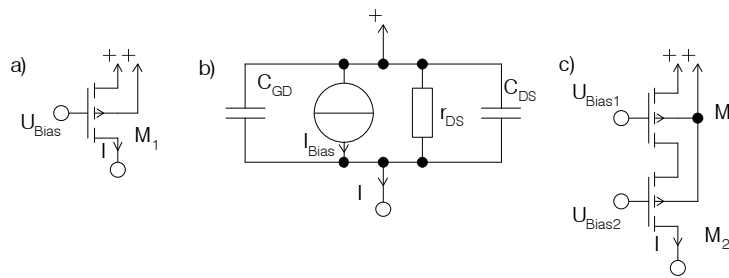


Bild 6.14: Aktive Last mit p-Kanal-Transistoren a) einfache, b) ESB, c) mit Kaskode-Transistor

Ausgangswiderstand

Der Ausgangswiderstand der aktiven Last ist der Ausgangswiderstand des MOS-Transistors.

$$r_{Aus} = r_{DS} \tag{6.30}$$

Grenzfrequenz

Die Grenzfrequenz wird unter Voraussetzung einer festen Bias-Spannung durch die Gate-Drain- und Drain-Source-Kapazität bestimmt.

Kaskode-Last

Durch einen weiteren Kaskodetransistor (Bild 6.14 c) lässt sich der Ausgangswiderstand noch einmal erhöhen auf

$$r_{Aus} = r_{DS1} \cdot g_{m2} \cdot r_{DS2} \tag{6.31}$$

### 6.5 Differenzverstärker

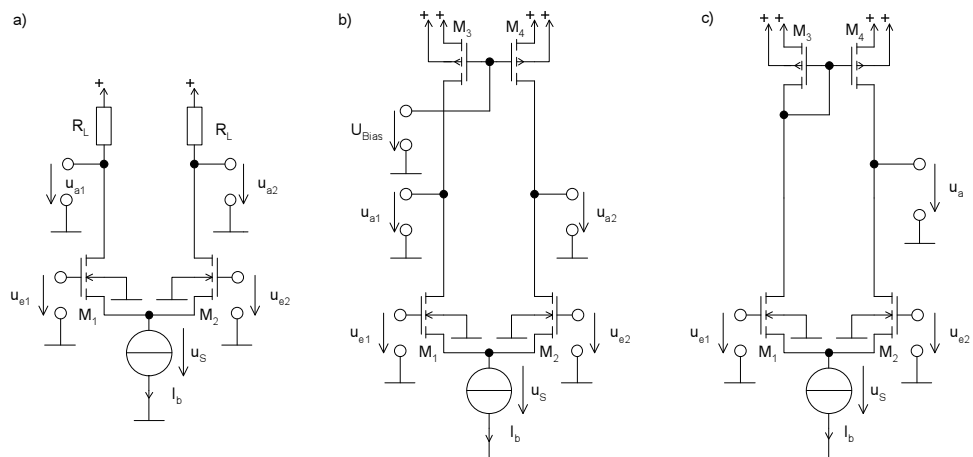


Bild 6.15: a) einfacher, b) mit aktiver Last, c) mit unsymmetrischer, selbststellender aktiver Last

Funktionsweise

Der einfache Differenzverstärker aus Bild 6.15 a) besteht aus zwei Transistoren in Sourceschaltung mit gemeinsamer Source. Er ist symmetrisch

aufgebaut und besitzt zwei Eingangsspannungen und zwei Ausgangsspannungen.

**Gleichtakt** Wird der Differenzverstärker im sogenannten Gleichtakt betrieben, dann steigen z.B. beide Eingangsspannungen  $u_{e1}$ ,  $u_{e2}$  gleichmäßig an. Da die Erregung vollständig symmetrisch erfolgt, ändert sich an den Drainströmen nichts, aber die gemeinsame Sourcespannung  $u_S$  steigt parallel zu den Gatespannungen. In dieser Betriebsart sollte der Ausgang der Schaltung aufgrund der unveränderten Drainströme kein Ausgangssignal führen. Die Gleichtaktspannung ist definiert als

$$u_G = \frac{u_{e1} + u_{e2}}{2} . \quad (6.32)$$

**Gegentakt** Die Gegentaktspannung, die zu einem Ausgangssignal führen soll, ist definiert als

$$u_D = u_{e1} - u_{e2} . \quad (6.33)$$

Im Gegenteilfall bleibt die gemeinsame Sourcespannung  $u_S$  in erster Näherung konstant. Damit ändern sich aber die Gate-Source-Spannungen und damit auch die Drainströme zu

$$i_{DSM1} = g_m \cdot \frac{u_D}{2} \quad (6.34)$$

$$i_{DSM2} = -g_m \cdot \frac{u_D}{2} . \quad (6.35)$$

**Verstärkung** Die Verstärkung berechnet sich zu

$$A_V = \frac{u_{a,d}}{u_d} = \frac{u_{a1} - u_{a2}}{u_{e1} - u_{e2}} = -g_m \cdot R_L . \quad (6.36)$$

**Ein-, Ausgangswiderstand** Der Eingangswiderstand ist wie bei der Sourceschaltung sehr hoch. Der Ausgangswiderstand ist

$$r_{Aus} = \frac{\partial u_{a,d}}{\partial u_{i,d}} = r_{DS} \parallel R_L . \quad (6.37)$$

**Grenzfrequenz** Die Grenzfrequenz des ersten Pols – durch die Miller Kapazität dominiert - berechnet sich zu

$$f_{-3dB} = \frac{1}{2\pi \cdot A_V \cdot \left( R_q \cdot C_{GD} + \frac{1}{g_m} (C_{GD} + C_{BD} + C_L) \right)} \quad (6.38)$$

$$\approx \frac{1}{2\pi \cdot A_V \cdot R_q \cdot C_{GD}}$$

Aktive Last Durch diese Schaltungstechnik (Bild 6.15 b) werden folgende zusätzlichen Eigenschaften erreicht:

- + Der Ausgangswiderstand steigt durch die aktive Last auf  $r_{Aus} = \frac{\partial u_{a,d}}{\partial u_{i,d}} = r_{DS1} \parallel r_{DS3} \approx \frac{r_{DS}}{2}$ .
- + Damit steigt auch die Verstärkung auf  $A_V = \frac{u_{a,d}}{u_d} = -g_m \cdot \frac{r_{DS}}{2}$ .
- Die Grenzfrequenz sinkt um die Erhöhung der Verstärkung, das Verstärkungsbandbreiteprodukt wird minimal kleiner, da jetzt eine zusätzliche Kapazität der Transistoren  $M_3$  und  $M_4$  den Ausgang belastet.
- Die Ströme, die in der aktiven Last fließen, müssen zusammen genau den Strom  $I_B$  ergeben. Dies ist z.B. durch korrektes Einspiegeln der Ströme möglich.

Unsymmetrischer Verstärker Bei diesem Differenzverstärker wird die Stromaufteilung durch einen Stromspiegel in der Last erledigt. Die Eigenschaften sind:

- + Single-Ended-Ausgang mit der identischen Spannungsverstärkung  $A_V = \frac{u_a}{u_d} = -g_m \cdot \frac{r_{DS}}{2}$ .
- + Der Ausgangswiderstand erhöht sich auf  $r_{Aus} = \frac{\partial u_{a,d}}{\partial u_{i,d}} = r_{DS1} \parallel r_{DS3} \approx \frac{r_{DS}}{2}$ .
- Die Grenzfrequenz sinkt, GBW bleibt annähernd gleich.
- Die Unsymmetrie führt zu Offsets und zu unterschiedlichem Verhalten, je nach Beschaltung der Eingänge.

Diese Schaltung kann selbstverständlich auch bipolar aufgebaut werden. Sowohl der Differenzverstärker an sich, als auch die Last können durch Kaskodeschaltungen verbessert werden.

## 6.6 Bias-Netzwerke

Für fast alle Strukturen wird eine Arbeitspunkteinstellung benötigt. Dies kann durch ein Netzwerk - z.B. im klassischen Bipolar-Design durch ein Widerstandsnetzwerk - geschehen. Dieses ist der eigentlichen Grundschaltung hinzuzufügen. Da bei integrierten Schaltungen Widerstände schwer herzustellen sind, wird die Arbeitspunkteinstellung häufig über Referenzspannungen und -ströme vorgenommen.

Referenzstrom Ein Referenzstrom kann an einer Stelle der integrierten Schaltungen durch eine mehr oder weniger aufwendige Schaltung erzeugt werden. Er kann durch Stromspiegel dupliziert und auf benötigte Größen vergrößert werden. Aus dem Bias-Strom können wiederum durch Transistoren Bias-Spannungen z.B. für Kaskodeschaltungen abgeleitet werden.

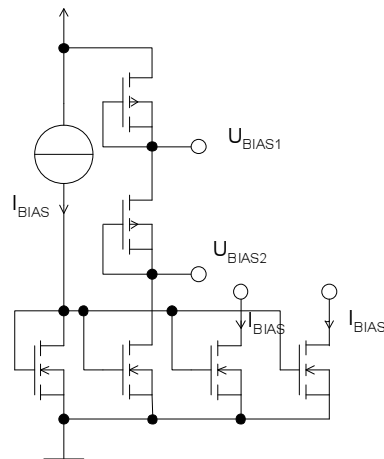


Bild 6.16: Biasnetzwerk zur Erzeugung zweier Biasspannungen und zweier Biasströme

## 6.7 Endstufen

### A-Betrieb

Ein Verstärker im A-Betrieb (Class A) ist ein Verstärker, der kontinuierlich Leistung an einen Lastwiderstand abgibt (auch im Ruhezustand). Damit wird ständig Verlustleistung im Lastwiderstand erzeugt. Die von der Schaltung aufgenommene Gesamtleistung ist unabhängig von der Aussteuerung konstant. Ein Beispiel ist der Ein-Transistorverstärker aus Bild 6.1 oder Bild 6.17.

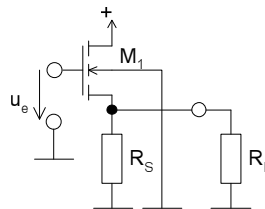


Bild 6.17: Sourcefolger-Endstufe mit Lastwiderstand  $R_L$  im A-Betrieb

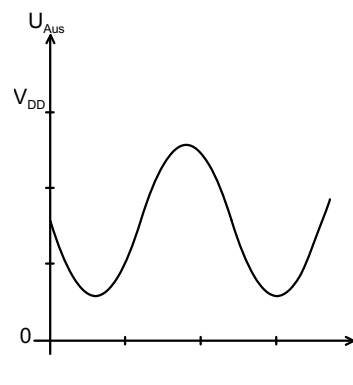


Bild 6.18: Ausgangsspannung des Sourcefolgers

Für Leistungsendstufen ist selbst bei Anpassung des Verbrauchers nur ein sehr schlechter Wirkungsgrad zu erzielen. Auch eine Sourcefolgerschaltung wie in Bild 6.17 mit zwar großem Eingangswiderstand führt bestenfalls zu einem Wirkungsgrad von 6,25 % .

Dies kann durch andere Schaltungen verbessert werden.

#### B-Betrieb

Eine Endstufe im B-Betrieb nimmt die Leistung proportional zur Aussteuerung und zur Last auf. Eine Schaltung dazu ist in Bild 6.19 dargestellt.

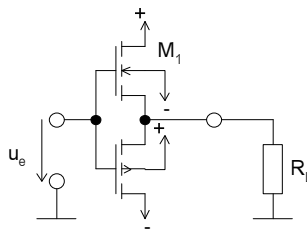


Bild 6.19: Endstufe mit zwei MOS-Transistoren als Sourcefolger im B-Betrieb

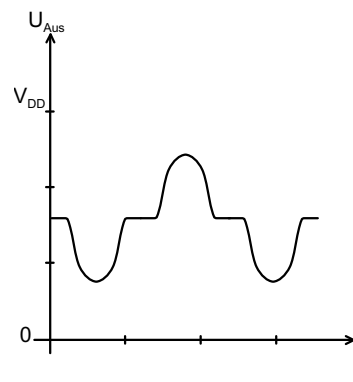


Bild 6.20: Ausgangsspannung im B-Betrieb

Bei dieser Schaltung ist immer nur ein Transistor im leitenden Zustand. Vorteil ist, dass der Wirkungsgrad bei sinusförmiger Aussteuerung maximal auf 78,5% steigen kann. Trotzdem bleibt der leitende Transistor in einem verlustbehafteten Betrieb, weil er zu jeder Zeit einen nennenswerten Strom und gleichzeitig eine nennenswerte Spannung führt.

Nachteil ist, dass durch die wechselseitige Leitung im Übergangsbereich Verzerrungen auftreten. Je höher die Thresholdspannung ist, je stärker sind diese Nulldurchgangsverzerrungen.

#### AB-Betrieb

Durch eine Vorspannung für die Gates der Leistungstransistoren können die Verzerrungen bei gleichzeitig immer noch hohem Wirkungsgrad minimiert werden. Dies führt allerdings zu einem Ruhestrom, der durch Stromgegenkopplungs-Widerstände auf ein kleines Maß eingestellt werden kann.

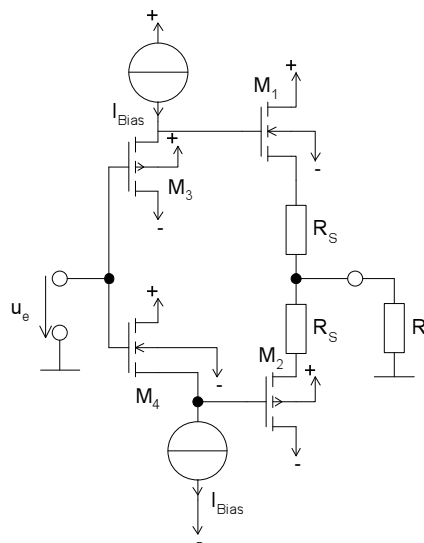


Bild 6.21: Endstufe im AB-Betrieb mit zwei MOS-Transistoren als Sourcefolger und zwei die Vorspannung erzeugenden Sourcefolgern

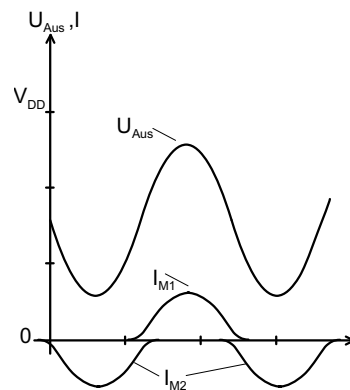


Bild 6.22: Ausgangsspannung und -stromverlauf im AB-Betrieb

Die Schaltung in Bild 6.21 stellt einen solchen AB-Verstärker dar. Die Gatespannungen werden durch komplementäre Transistoren  $M_3$ ,  $M_4$  erzeugt. Durch die Bias-Ströme  $I_{Bias}$  kann hier in Verbindung mit den  $W/L$  Verhältnissen und  $R_S$  eine Einstellung des Ruhestroms vorgenommen werden. Dies beschreibt die folgende implizite Gleichung.

$$I_{RS} = \frac{W_1}{2L_1} \cdot \mu C'_{ox} \cdot \left( \sqrt{\frac{2L_3 \cdot I_{Bias}}{W_3 \cdot \mu C'_{ox}}} - I_{RS} \cdot R_S \right)^2 \quad (6.39)$$

### C-Betrieb

Im C-Betrieb wird nicht mehr die volle Amplitude des Ausgangssignals übertragen sondern nur noch seine Spitzen. Damit ist der Transistor während eines Großteils der Zeit gesperrt. Er geht in den Pulsbetrieb über. Allerdings entstehen dadurch Verzerrungen, die gegebenenfalls herausgefil-

tert werden müssen. In Bild 6.23 ist ein Verstärker für den C-Betrieb wiedergegeben. Durch die Gate-Vorspannung von 0V ist der Transistor mehr als eine Halbwelle gesperrt. Erst wenn die Eingangsspannung über die Schwellspannung steigt, fließt ein Strom durch den Transistor.

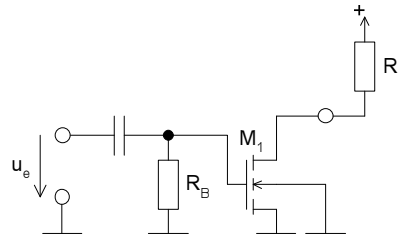


Bild 6.23: Endstufe für den C-Betrieb

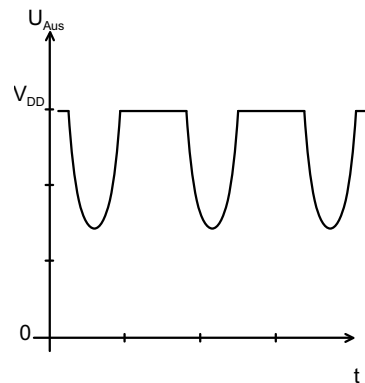


Bild 6.24: Ausgangsspannung des Verstärkers im C-Betrieb

#### D-Betrieb

Ein Verstärker im D-Betrieb ist ein getakteter Verstärker. Die Transistoren sind nur noch kurze Zeit leitend. Durch eine Pulsweitenmodulation (PWM) ist die Erzeugung eines analogen Signals möglich. Damit kann ein noch größerer Wirkungsgrad erzielt werden, da die Transistoren entweder voll an oder voll aus sind. Der verlustbehaftete Zwischenbereich mit nennenswertem Strom und gleichzeitig anliegender nennenswerter Spannung wird vermieden.

Typische Anwendungen sind z.B. Schaltnetzteile oder Wechselrichter. Da durch das Schalten sehr viele Oberwellen produziert werden, ist ein nachgeschalteter Tiefpass notwendig. In Bild 6.25 ist eine Ansteuerungsschaltung im D-Betrieb für einen Motor in H-Brückenschaltung dargestellt.

#### H-Brücke

Mit der H-Brücke (der Name resultiert aus der Form) lässt sich die Versorgungsspannung auch invertiert auf den Lastwiderstand geben. Somit ist gegenüber einer einfachen Push-Pull-Anordnung die Ausgangsspannung verdoppelt.

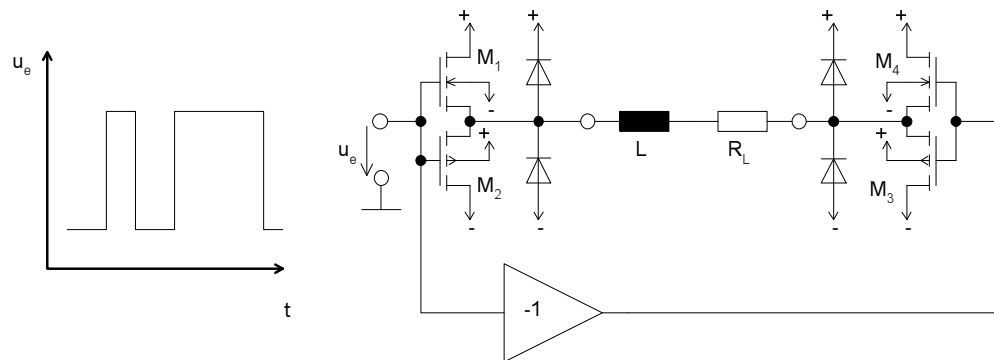


Bild 6.25: D-Betrieb-Endstufe in H-Brückenschaltung

## 6.8 Rückkopplung

Die Rückkopplung ist ein in der Natur häufig auftretendes Phänomen. Es tritt beim Menschen z.B. in der Kontrolle der Handbewegung auf, indem durch das Auge die neue Position der Hand erfasst und dem Gehirn zur weiteren Steuerung mitgeteilt wird.

Der entscheidende Mechanismus der Rückkopplung ist, dass ein System Informationen über die Auswirkungen vergangener Aktionen eines Systems erhält. Aus der Regelungstechnik ist uns die Rückkopplung in Form des Regelkreises wohlbekannt (Bild 6.26).

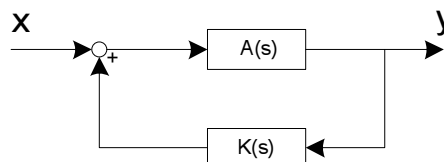


Bild 6.26: Einfacher Regelkreis mit Stellgröße x und Ausgangsgröße y

Bei analogen Schaltungen wird die Rückkopplung sehr häufig eingesetzt. Der Unterschied zur Regelungstechnik ist, dass die Signale nicht immer so leicht und klar zu identifizieren sind, da sowohl Spannung als auch Strom auf einer Signalleitung die Regel- bzw. Stellgrößen sein können.

Vorteile

Die Vorteile der Rückkopplung sind:

- Linearisierung nichtlinearer Kennlinien
- Verringerung der Empfindlichkeit der Schaltungsfunktion gegen Parametervariation
- Erhöhung der Bandbreite
- Einstellung von Ein- und Ausgangswiderständen, Verstärkungen

Nachteil

Nachteil der Rückkopplung kann



- Instabiles Verhalten

sein. Diesem entscheidenden Nachteil ist beim Entwurf große Aufmerksamkeit zu widmen, da ein instabiles System in der Regel völlig unbrauchbar ist.

Die Rückkopplungstheorie ist für lineare Schaltungen sehr weit ausgebaut. Die Stabilitätsuntersuchungsverfahren sind ebenfalls für lineare Schaltungen gut beschrieben (siehe Regelungstechnik). Deshalb soll hier zunächst eine Übersicht über die Rückkopplungsmöglichkeiten für lineare Schaltungen gegeben werden. Die Gesamtübertragungsfunktion eines geschlossenen Regelkreises nach Bild 6.26 berechnet sich zu

$$H(s) = \frac{y}{x} = \frac{A(s)}{1 + A(s) \cdot K(s)} \quad (6.40)$$

Der allgemeine Fall der Rückkopplung kann im speziellen für Zweitore (Verstärker können als solche beschrieben werden) in vier Kategorien eingeteilt werden. Die Konfigurationen dazu sind in Bild 6.27 dargestellt.

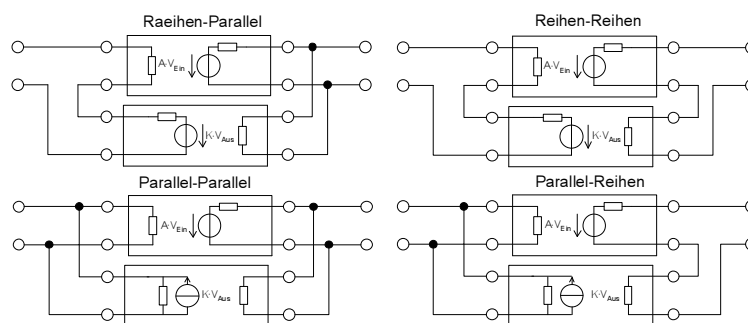


Bild 6.27: Unterschiedliche Rückkopplungskonfigurationen

In Tabelle 6.3 sind die Eigenschaften für die vier Konfigurationen dargestellt. Für alle gilt, dass die Verstärkung sich durch

$$A' = \frac{A}{1 + K \cdot A} \quad (6.41)$$

berechnen lässt und dass die Eingangs- bzw. Ausgangswiderstände sich um den Rückkopplungsfaktor  $1 + K \cdot A$  erhöhen/verringern. Für die Rückkopplungskonfigurationen mit Paralleleingang sind am Eingang ideale oder Ersatzspannungsquellen anzunehmen.

#### Beispiel

Als Beispiel für eine Berechnung mit Hilfe der Konfigurationen sollen die Verstärkung, der Eingangswiderstand und der Ausgangswiderstand für den in Bild 6.28 gezeigten Verstärker mit Widerstandsrückkopplung berechnet werden. Dies entspricht einer Reihen-Parallel Rückkopplung.

Rückkopplung	Eingangswiderstand	Ausgangswiderstand	Anwendungsgebiet
Reihen-Parallel	erhöht	verringert	Spannungsverstärkung (OP)
Reihen-Reihen	erhöht	erhöht	OTA
Parallel-Parallel	verringert	verringert	Frequenzkompensation
Parallel-Reihen	verringert	erhöht	Stromgesteuerte Stromquelle

Tabelle 6.3: Eigenschaften der Rückkopplungskonfigurationen

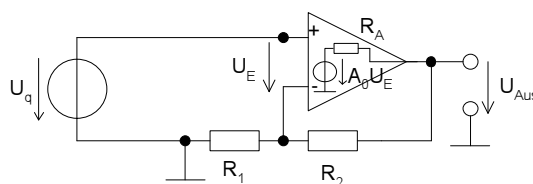


Bild 6.28: Verstärker mit Widerstandsrückkopplung

Die Vorwärtsspannungsverstärkung berechnet sich für  $R_A \ll R_1, R_2$  zu

$$A' = \frac{U_{Aus}}{U_q} = \frac{A}{1 + A \cdot K} = \frac{A_0}{1 + A_0 \frac{R_1}{R_1 + R_2}} \quad (6.42)$$

Der Ausgangswiderstand berechnet sich zu

$$R'_A = \frac{R_A}{1 + A \cdot K} = \frac{R_A}{1 + A_0 \frac{R_1}{R_1 + R_2}} \quad (6.43)$$

Der Eingangswiderstand ist in diesem Fall schon unendlich.

Es ist zu erkennen, dass Vernachlässigungen wie  $R_A \ll R_1, R_2$  gemacht werden müssen, um die idealen Gleichungen anwenden zu können. Generell können diese Regeln nur zur Abschätzung des grundsätzlichen Effektes verwendet werden, da vor allem eine einfache, passive Rückkopplung nicht als rückwirkungsfrei wie in Bild 6.27 angenommen werden kann.

#### Kochrezept

Daher sollte man, um eine genaue Berechnung der Auswirkung zu machen, gleich die Netzwerkgleichungen eventuell unter Idealisierung und Vernachlässigung bestimmter Netzwerkelemente aufstellen (z.B. durch Verwendung von symbolischer Analyse). Damit lassen sich für alle Arten von Rückkopplungen die korrekten Werte für Verstärkung und Widerstände berechnen.

#### Frequenzgang

Zu beachten ist, dass durch die Rückkopplung auch der Frequenzgang beeinflusst wird. Dies wird z.B. bei dem Entwurf eines einfachen invertierenden Integrators wie in Bild 6.28 genutzt. Hier handelt es sich um eine

parallel-parallel Rückkopplung. Diese soll aber nicht durch die obige vereinfachte Formel berechnet werden, da insbesondere die Rückwirkungsfreiheit der Rückkopplung nicht mehr gilt, sondern durch einfache Netzwerkgleichungen.

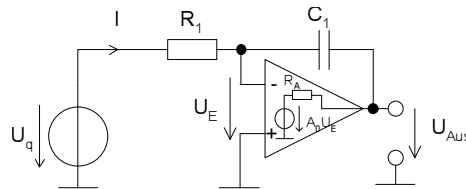


Bild 6.29: Invertierender Integrator

Die Vorwärtsspannungsübertragung berechnet sich für  $R_A \ll R_1, \frac{1}{\omega C_1}$  zu

$$I = \frac{U_q - U_E}{R_1} = \frac{U_E - U_{Aus}}{\frac{1}{j\omega C_1}} \quad (6.44)$$

$$U_E = -\frac{U_{Aus}}{A_0} \Rightarrow \frac{U_q}{R_1} + \frac{U_{Aus}}{\frac{1}{j\omega C_1}} = \frac{U_{Aus}}{A_0} \left( \frac{1}{R_1} + j\omega C_1 \right) \quad (6.45)$$

$$\begin{aligned} H' &= \frac{U_{Aus}}{U_q} = -\frac{1}{R_1} \cdot \frac{1}{j\omega C_1 + \frac{1}{A_0} \left( \frac{1}{R_1} + j\omega C_1 \right)} \quad (6.46) \\ &= -\frac{1}{j\omega C_1 R_1} \cdot \frac{1}{1 + \frac{1}{A_0} \left( 1 + j\omega C_1 R_1 \right)}. \end{aligned}$$

Für  $A_0 \gg 1$  (dann liegt der negative Eingang auf virtueller Masse) kann die Vorwärtsspannungsübertragung zu

$$H' = -\frac{1}{j\omega C_1 R_1} \quad (6.47)$$

berechnet werden.

### 6.8.1 Miller-Effekt

Als Miller-Effekt wird die Veränderung der Verstärkungseigenschaften durch eine direkte Rückkopplung vom Ausgang zum Eingang eines Transistors (Verstärkers) bezeichnet. Bei Bipolartransistoren ist die Kollektorbasiskapazität die sogenannte Millerkapazität, die im wesentlichen für eine Bandbreitenbegrenzung des Bipolartransistors in Emitterschaltung sorgt. Das gleiche gilt äquivalent für die Drain-Gate-Kapazität des MOS-Transistors.

Äquivalente  
Impedanzen

Im allgemeinen Fall eines linearen Zweitors mit gemeinsamer Masse lässt

sich eine Impedanz, die vom Ein- zum Ausgang des Zweitors geschaltet ist, in zwei äquivalente Impedanzen mit um die Spannungsverstärkung geänderten Impedanzen umrechnen. Die Umrechnung ist in Bild 6.30 angegeben.

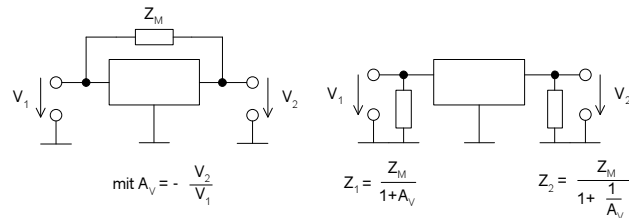


Bild 6.30: Umrechnung einer Miller-Impedanz

## 6.9 Steuerungsgrößen

Entscheidend für die Strukturauswahl ist die Führung des Signals. Sowohl die Spannung als auch der Strom können die Signalinformation tragen. Hier ist zu entscheiden, welche Möglichkeit die günstigste ist, um die angestrebte Funktion und gleichzeitig eine hohe Störfestigkeit zu erreichen.

- |                    |  |
|--------------------|--|
| Stromsteuerung     | Zum Teil ist eine reine Stromsteuerung über Stromspiegel möglich. Dies hat den Vorteil einer hohen Impedanz am Ausgang der aktiven Elemente. Damit ist die Schaltung unempfindlich gegen parasitäre Widerstände auf Leitungen. Außerdem spielen Schwankungen der Versorgungsspannung eine untergeordnete Rolle. Wichtig ist noch, dass ein Stromspiegelverhältnis sehr genau über die Geometrie sowohl von Bipolar- als auch von MOS-Transistoren eingestellt werden kann. |
| Spannungssteuerung | Eine Spannungssteuerung weist kleine Ausgangswiderstände auf. Sie ist daher unempfindlich gegen parasitäre Kapazitäten und Widerstände gegen Masse. Serielle Widerstände wirken sich dagegen stark aus. Im Ruhezustand fließen kaum Ströme. Der klassische Operationsverstärker hat nach außen eine Spannungssteuerung, da sowohl am Ein- als auch am Ausgang Spannungen als Signalträger fungieren.   |
| Gemischt           | In der Regel sind aber beide Signaleigenschaften zu verwenden. Z.B. ist bei einer Kapazität, die als Integrator verwendet wird, der Strom die Eingangsgröße und die Spannung über der Kapazität die Ausgangsgröße. Beim OTA ist die Spannung die Eingangs- und ein Strom die Ausgangsgröße.  |

## 6.10 Komposition

Die Komposition der einzelnen Strukturelemente ist u.a. die „kreative“ Arbeit des Ingenieurs. Er muss die Eigenschaften der verschiedenen Blöcke abwägen und sie zusammenschalten. Auch hier gilt „weniger ist mehr“. Weniger Transistoren vermindern in der Regel den Flächenbedarf, die Komplexität und z.B. auch das Rauschen. Dies gilt natürlich nur solange die Spe-

zifikation noch erfüllt ist. Einige Überlegungen zum Zusammenstellen der Strukturen sollen hier aufgeführt werden.

Stufen	Um bestimmte Anforderungen zu erreichen, sind häufig mehrere Schaltungsstufen nötig. Z.B. ist ein Verstärker mit 130dB Verstärkung nicht mit einem Transistor in einer Stufe zu realisieren.
Differentieller Entwurf	Die Störungen, die innerhalb einer Schaltung entstehen und die von außen z.B. durch elektromagnetische Kopplung einstrahlen, können durch einen differentiellen Entwurf stark vermindert werden. Hierbei wird die Schaltung symmetrisch entworfen, so dass jede signalführende Leitung ein Pendant aufweist, dessen Signal bezüglich der Masse das invertierte Signal führt (siehe Bild 6.31).

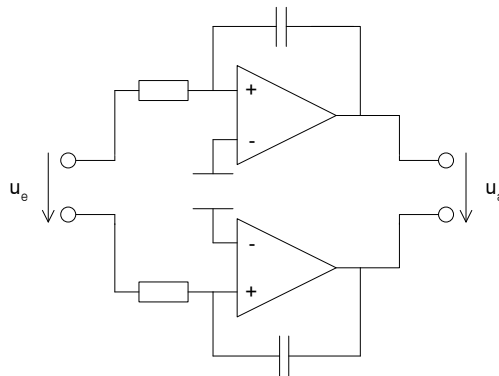


Bild 6.31: Differentiell aufgebauter Tiefpass

Ein-/Ausgangswiderstand	Verallgemeinert gilt die Regel, dass man immer für gute Signalübertragung durch korrekte Wahl der Ein-/ Ausgangswiderstände zu sorgen hat. In der Regel ist dass nicht die Anpassung (Leistungsanpassung durch Wahl des Last(Eingangs-)widerstands in der gleichen Größe wie der Ausgangswiderstand). Vielmehr ist zur möglichst störungsfreien Signalübertragung der Eingangswiderstand der Folgestufe immer umgekehrt proportional dem Ausgangswiderstand zu wählen. Andernfalls würde ein Spannungsabfall über einem der Widerstände zu einem verfälschten Signal führen. Das heißt, dass bei Wahl des Stroms als Signalträger an einen hochohmigen Ausgang eines Generators oder einer Stufe nur ein niederohmiger Eingang angeschlossen werden sollte. Andernfalls wird der Spannungsabfall über dem Eingangswiderstand groß werden und auf den Generator zurückwirken.
-------------------------	--

Bei Spannungssignalen muss der Generator einen niederohmigen Ausgangswiderstand und die nächste Stufe einen hochohmigen Eingangswiderstand aufweisen, um einen nennenswerten Spannungsabfall über dem Ausgangswiderstand zu verhindern.

Das Frequenzverhalten der Ein- und Ausgangswiderstände/-kapazitäten ist in der Regel nicht zu vernachlässigen, da sich der Eingangswiderstand eines MOS-Transistors für hohe Frequenzen beträchtlich verringert.

## 7 Dimensionierung

	<p>Dieser Schritt legt für jedes Element der vorher entworfenen Struktur die Größe von Parametern fest, z.B. den Widerstandswert eines Widerstands oder die Kanallängen und -weiten eines MOS-Transistors.</p>
Top-Down-Entwurf	<p>Durch die Dimensionierung ist die in Abschnitt 2.3 erwähnte Erstellung einer Spezifikation eine Abstraktionsebene tiefer überhaupt erst möglich, weil durch den Dimensionierungsschritt die entscheidenden Größen der Spezifikation festgelegt werden.</p>
Synthese-gleichungen	<p>Zum Dimensionieren werden Gleichungen benötigt, die die Parameter mit den Spezifikationsgrößen in Beziehung setzen. Die Gleichungen sind zum Teil bei den Strukturen schon angegeben worden. Häufig sind diese jedoch erst aus der aktuellen Struktur durch Aufstellen der Kirchhoffschen Gleichungen und Vernachlässigungen zu erzeugen. Dies kann automatisch durch symbolische Analyse erfolgen.</p> <p>Die Gleichungen sind auf jeden Fall auch im Simulator vorhanden. Dort sind sie allerdings nur indirekt zugänglich, können aber u.a. für Optimierungen verwendet werden.</p>
Vorgehen	<p>Die Reihenfolge der Dimensionierung sollte nach den verfügbaren Bedingungen und den frei einstellbaren Parametern gewählt werden.</p> <p>Der einfachste Fall ergibt sich, falls sich eine eindeutige Reihenfolge einstellt, die einen Parameter nach dem anderen bestimmt. In der Regel wirken die Parameter aber komplex über mehrere Designgleichungen auf das Design ein. Manuell würde man dann zuerst Annahmen treffen, und diese anschließend iterativ verbessern. Durch den Einsatz von Rechnern kann unter Umständen auf analytischem/rechnerischem Wege direkt eine Lösung gefunden werden.</p> <p>In diesem Abschnitt sollen die wichtigsten Vorgehensweisen zur Dimensionierung exemplarisch vorgestellt werden.</p>

### 7.1 Manuelle Dimensionierung am Beispiel eines Verstärkers

	<p>Exemplarisch soll hier ein Verstärker in Sourceschaltung manuell dimensioniert werden.</p>
Beispiel	<p>Die Transistorparameter lauten:</p>
Spezifikation	<p>Der Verstärker soll folgende Eigenschaften aufweisen:</p>
Parameter	<p>Frei einstellbare Parameter für die Dimensionierung sind Kanalweite, Kanallänge, Biasspannung und Biaswiderstand.</p>
Biasing	<p>Als Arbeitspunktwerte sind alle Ruhespannungen und -ströme frei einstellbar.</p>

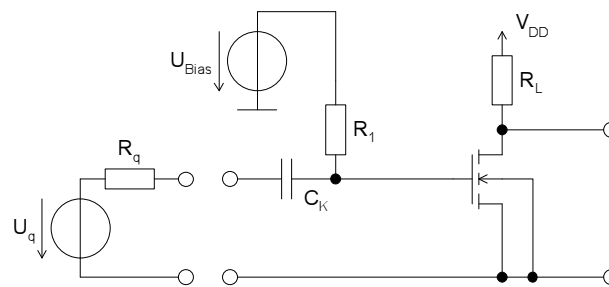


Bild 7.1: Verstärker in Sourceschaltung

Parameter	
$V_{TO}$	$= 0,9 V$
$\mu$	$= 500 \frac{cm^2}{V}$
$t_{ox}$	$= 2,5 \cdot 10^{-8} m$
$\epsilon_{ox}$	$= 34 \cdot 10^{-12} \frac{F}{m}$
$W, L$	$\geq 1 \mu m$
$\gamma$	$= 0,9 \sqrt{V}$
$\phi_F$	$= 0,3 V$
$\lambda$	$= 0,02 \frac{1}{V}$
$C_{GDO}, C_{GSO}$	$= 540 \frac{pF}{m}$

Tabelle 7.1: Transistorparameter des Verstärkers

**Reihenfolge** Als Dimensionierungsreihenfolge bietet sich Drainstrom, Kanallänge, Kanalweite und Biaswiderstände an.

**Drainstrom** Der Drainstrom berechnet sich direkt aus der Forderung, dass die Ausgangsspannungsamplitude 2,5 V betragen soll und daher der Arbeitspunkt für die Drain-Source-Spannung zwischen 1,25 V und 3,75 V liegen muss. Gewählt wird hier 2,5 V für die Drain-Source-Spannung.

$$I_D = \frac{2,5V}{5k\Omega} = 0,5 mA \quad (7.1)$$

**Verstärkung** Die Verstärkung berechnet sich gemäß Gleichung 6.1 zu

$$A_{U_0} = -\frac{R_1}{R_q + R_1} \cdot g_m \cdot \frac{R_L \cdot r_{DS}}{R_L + r_{DS}} \quad (7.2)$$

**Strategie** Um einen möglichst linearen Verlauf bei der Verstärkung zu erhalten, ist der Transistor in der Sättigung zu betreiben. Die Kanallänge ist zur Erhöhung der Steilheit  $g_m$  und damit der Verstärkung zu minimieren. Damit wird gleichzeitig die Gate-Kanal-Kapazität klein gehalten. Nachteilig ist, dass bei kurzem Kanal Kurzkanaleffekte zu einer Erhöhung von  $r_{DS}$  und damit

Eigenschaft	
Lastwiderstand:	$R_L = 5000 \Omega$
Generatorwiderstand:	$R_q = 50 k\Omega$
Verstärkung:	$A_U = 20 dB$
Eingangswiderstand:	$ Z_{Ein}  \geq 500 k\Omega$
Versorgungsspannung:	$V_{DD} = 5 V$
Ausgangsspannungsamplitude:	$U_{pp} = 2,5 V$
Übertragungsbereich:	$f = 20 Hz..1 MHz$

Tabelle 7.2: Spezifikation des Verstärkers

ebenfalls zu einer Delinearisierung führen. Dieser Effekt ist in den einfachen Gleichungen nicht enthalten, wird aber bei der Simulation mit berücksichtigt.

$$r_{DS} = \frac{1}{\lambda i_{DS}|_{AP}} = \frac{1}{0,02 \frac{1}{V} \cdot 0,0005 A} = 100 k\Omega \quad (7.3)$$

$$\begin{aligned} g_m &= \sqrt{2 \frac{W}{L} \mu \frac{\epsilon_{ox}}{t_{ox}} i_{DS}|_{AP}} \quad (7.4) \\ &= \sqrt{\frac{W}{L}} \cdot \sqrt{2 \cdot 500 \frac{cm^2}{Vs} \frac{0,34 pF/cm}{2,5 \cdot 10^{-6} cm} \cdot 0,0005 A} \\ &= \sqrt{\frac{W}{L}} \cdot 0,260 \cdot 10^{-3} \frac{A}{V} \end{aligned}$$

Aus den Gleichungen (7.2) bis (7.4) ergibt sich für das W/L-Verhältnis mit  $R_1 \gg R_q$

$$\frac{W}{L} = \left( 10 \cdot \frac{100000 + 5000}{100000 \cdot 5000} \cdot \frac{1}{0,260 \cdot 10^{-3}} \right)^2 = 64,8. \quad (7.5)$$

Bei minimaler Kanallänge ergibt sich:  $W = 65 \mu m$  und  $L = 1 \mu m$ .

Der Eingangswiderstand ist für mittlere Frequenzen durch  $R_1$  bestimmt. Aus der zugehörigen Spezifikation folgt  $R_1 = 100 k\Omega$ .

#### Biasing

Die Biasspannung  $U_{bias}$  ist nun aus der nichtlinearen Gleichung für den Strom herzuleiten. Der Bodyeffekt kann dabei vernachlässigt werden, da  $u_{BS} = 0$  ist.



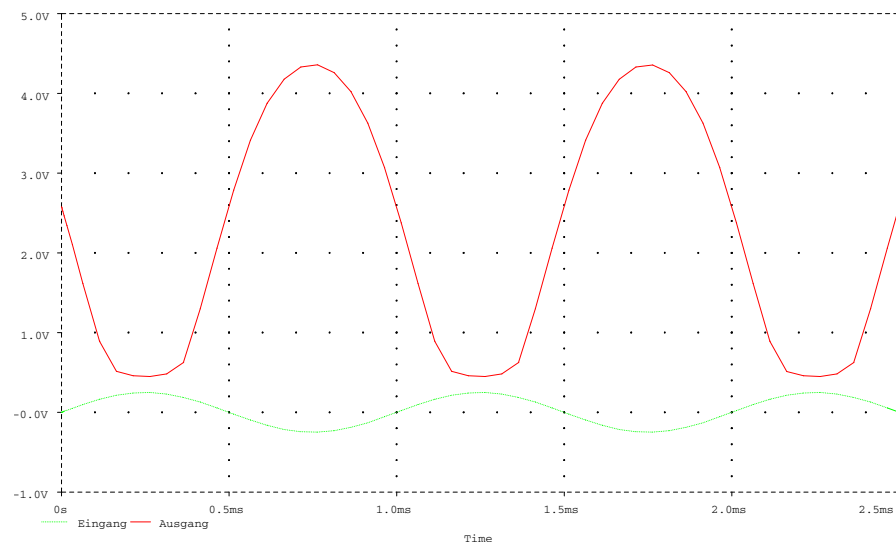


Bild 7.2: Transientensimulation des Verstärkers aus Bild 7.1: Eingangssignal gestrichelt, Ausgangssignal durchgezogen

$$i_{DS} = \frac{1}{2} \frac{W}{L} \mu C'_{ox} (u_{GS} - V_{TO})^2 (1 + \lambda u_{DS})$$

$$\Rightarrow 0,5mA = \frac{1}{2} \cdot \frac{65}{1} \cdot 500 \frac{cm^2}{Vs} \frac{0,34pF/cm}{2,5 \cdot 10^{-6}cm} \cdot (U_{Bias} - 0,9V)^2 (1 + 0,02 \cdot 2,5V) \quad (7.6)$$

$$\Leftrightarrow U_{Bias} = \sqrt{\frac{0,5 \cdot 10^{-3} \cdot 2 \cdot 2,5 \cdot 10^{-6}}{65 \cdot 500 \cdot 0,34 \cdot 10^{-12}} \cdot 1,05V} + 0,9V \quad (7.7)$$

$$= 1,364V$$

Damit kann überprüft werden, ob der Transistor noch in der Sättigung ist oder nicht.

$$u_{DSsat} = u_{GS} - V_T = 0,464V \leq u_{DS} = 2,5V \quad (7.8)$$

Der Transistor ist also noch in der Sättigung. Dies ist selbst bei Vollaussteuerung im ungünstigsten Fall ( $U_{GS}$  groß,  $U_{DS}$  klein) gewährleistet.

$$U_{DSsat} = 0,464V + 0,125V = 0,589V \leq 1,25V \quad (7.9)$$

#### Simulation

Eine Transienten-Simulation zur Überprüfung ergibt, dass die Spezifikationsdaten nahezu eingehalten werden (siehe Bild 7.2). Allerdings sind nicht-lineare Verzerrungen ebenfalls sehr gut zu sehen, die jedoch durch zu große Aussteuerung hervorgerufen wurden.

### 7.1.1 ÜTF

Das Frequenzverhalten der Schaltung kann mit Hilfe des Kleinsignal-ESBs der Schaltung untersucht werden (siehe Bild 7.3).

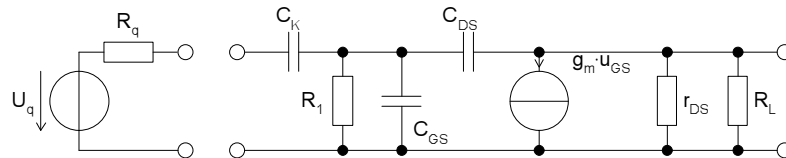


Bild 7.3: Kleinsignal-ESB der Verstärkerschaltung aus Bild 7.1

Koppel-  
Kapazität

Die Koppelkapazität  $C_K$  bildet mit  $R_1$  einen Hochpass mit der Zeitkonstanten  $T_{HPK} = R_1 \cdot C_K$ . Für die Schaltung aus Bild 7.1 ergibt sich eine untere Grenzfrequenz von

$$f_{CK} = \frac{1}{2\pi \cdot C_K \cdot R_1} \cdot \quad (7.10)$$

Die Koppelkapazität kann - entsprechend der Forderung der Spezifikation - zu

$$C_K \geq \frac{1}{2\pi \cdot R_1 \cdot f_{CK}} = \frac{1}{2\pi \cdot 500 \text{ k}\Omega \cdot 20 \text{ Hz}} = 15,9 \text{ nF} \quad (7.11)$$

gewählt werden.

Für die folgenden Überlegungen sei der Verstärker weit über dieser Grenzfrequenz betrieben. Dann kann die Kapazität  $C_K$  kurzgeschlossen werden.

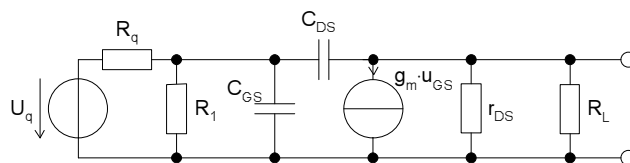


Bild 7.4: ESB für hohe Frequenzen

Millerkapazität

Um eine einfache Analyse durchführen zu können, muss die Millerkapazität  $C_{GD}$  aufgeteilt werden (siehe Bild 7.5).

Die Werte für die Ersatz-Kapazitäten berechnen sich zu

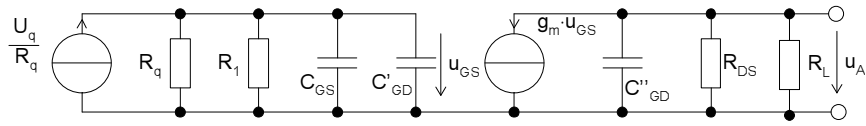


Bild 7.5: ESB mit aufgeteilter Miller-Kapazität und umgerechneter Eingangsspannungsquelle

$$C'_{GD} = C_{GD} \cdot (1 - A_{U_{GS}}) = C_{GD} \cdot \left(1 + g_m \cdot \frac{R_L \cdot r_{DS}}{R_L + r_{DS}}\right) \quad (7.12)$$

$$\approx C_{GD} \cdot g_m \cdot \frac{R_L \cdot r_{DS}}{R_L + r_{DS}}$$

$$C''_{GD} = C_{GD} \cdot \left(1 - \frac{1}{A_{U_{GS}}}\right) = C_{GD} \cdot \left(1 - \frac{-1}{g_m} \cdot \frac{R_L + r_{DS}}{R_L \cdot r_{DS}}\right) \quad (7.13)$$

$$\approx C_{GD} .$$

ÜTF

Damit lassen sich nun zwei Spannungsübertragungsfunktionen berechnen. Die Spannungsübertragungsfunktion von  $u_q$  zu  $u_{GS}$  berechnet sich zu

$$\begin{aligned} \frac{U_{GS}}{U_q} &= A_{U_{GS}} = \frac{1}{R_q} \cdot (R_q \parallel R_1 \parallel C_{GS} \parallel C'_{GD}) = \quad (7.14) \\ &= \frac{1}{R_q} \cdot \frac{R_q \parallel R_1}{(R_q \parallel R_1) \cdot j\omega C'_{GS} + 1} \text{ mit } C'_{GS} = C_{GS} + C'_{GD} , \end{aligned}$$

welche für  $R_q \ll R_1$ ,  $r_{DS} \gg R_L$  und  $C_{GS} = C_{GD}$  zu

$$\frac{U_{GS}}{U_q} = A_{U_{GS}} = \frac{1}{j\omega \cdot R_q \cdot g_m \cdot R_L \cdot C_{GD} + 1} \quad (7.15)$$

vereinfacht werden kann.

1. Pol

Es handelt sich um einen Tiefpass 1. Ordnung mit der Grenzfrequenz

$$f_{1.Pol} = \frac{1}{2\pi \cdot R_q \cdot g_m \cdot R_L \cdot C_{GD}} \quad (7.16)$$

Die Spannungsübertragungsfunktion von  $u_{GS}$  zu  $u_A$  berechnet sich zu

$$\begin{aligned} \frac{U_A}{U_{GS}} &= g_m \cdot (R_L \parallel r_{DS} \parallel C''_{GD}) \quad (7.17) \\ &= \frac{g_m \cdot (R_L \parallel r_{DS})}{(R_L \parallel r_{DS}) \cdot j\omega C''_{GD} + 1} \\ &\approx \frac{g_m \cdot R_L}{j\omega \cdot R_L \cdot C_{GD} + 1} \text{ für } r_{DS} \gg R_L . \end{aligned}$$

2. Pol Es handelt sich wiederum um einen Tiefpass 1. Ordnung mit der Grenzfrequenz

$$f_{2.Pol} = \frac{1}{2\pi \cdot R_L \cdot C_{GD}} \quad (7.18)$$

$C_{GD}$  berechnet sich aus den gegebenen Parametern für den Sättigungsbereich zu  $C_{GD} = W \cdot C_{GD0} = 65 \mu m \cdot 0,54 \frac{nF}{m} = 35,0 fF$ .

Damit erhält man für die Grenzfrequenzen folgende Zahlenwerte:  $f_{tp1} = 8,6 MHz$ ,  $f_{tp2} = 908,9 MHz$ . Durch den hohen Generatorwiderstand und die Verstärkung spielt vornehmlich die durch den Millereffekt vergrößerte Kapazität am Gate des Transistors eine Rolle.

1. Nullstelle Die Millerkapazität hat noch einen weiteren Effekt. Sie stellt einen Hochpass in Verbindung mit dem Generatorwiderstand  $R_q$  dar. Dieser Hochpass resultiert in einer Nullstelle. Diese ist in den obigen ÜTFs nicht ersichtlich, da die Verstärkung  $A_U$  als reell angenommen wurde. Um die Grenzfrequenz für diesen Hochpass zu berechnen, kann das ESB für kleine Generatorwiderstände unter Vernachlässigung von  $R_1$  und  $C_{GS}$  noch einmal umgezeichnet werden (siehe Bild 7.6).

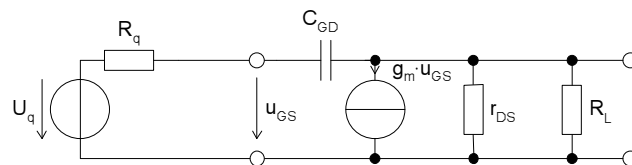


Bild 7.6: ESB für einen kleinen Generatorwiderstand zur Bestimmung des Hochpassverhaltens

Durch Aufstellen der Knotengleichungen lässt sich die Übertragungsfunktion für das ESB aus Bild 7.6 exakt bestimmen.

$$\frac{U_A}{U_q} = g_m \cdot R'_L \cdot \frac{1 - j\omega C_{GD} \cdot \frac{1}{g_m}}{1 + j\omega C_{GD} (R'_L + R_q + g_m \cdot R'_L \cdot R_q)} \quad \text{mit } R'_L = R_L \parallel r_{DS} \quad (7.19)$$

Die zur Nullstelle gehörende Grenzfrequenz und die Verstärkung an der Stelle der Nullstelle bestimmen sich daraus zu

$$f_{1.Null} = \frac{g_m}{2\pi \cdot C_{GD}} = 9,54 GHz \quad (7.20)$$

$$A_{1.Null} \approx \frac{1}{g_m R_q} = 0,0095 \quad \text{für } g_m R_L R_q \gg R_L, R_q \quad (7.21)$$

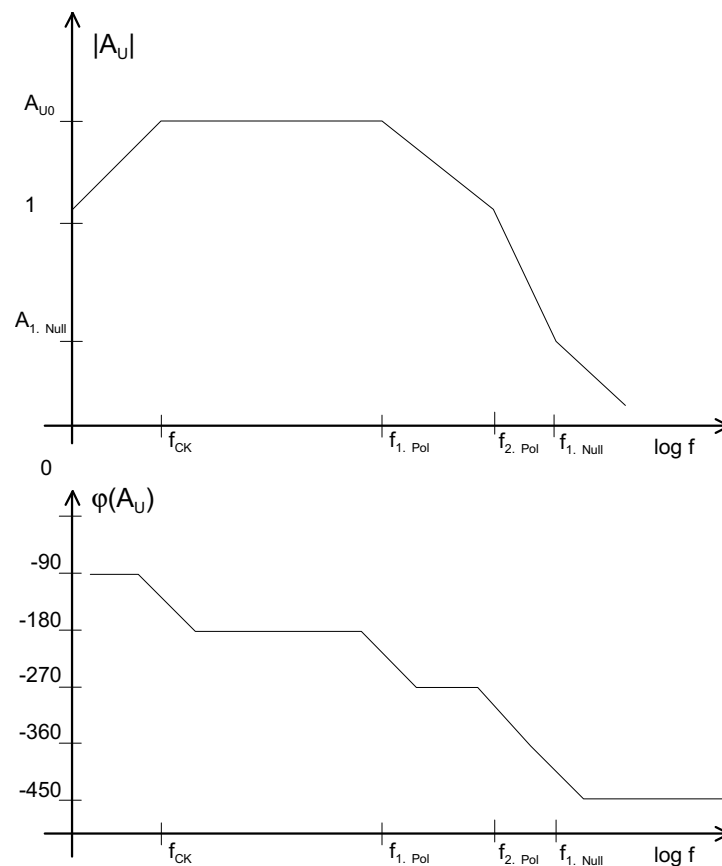


Bild 7.7: Bode-Diagramm des Verstärkers aus Bild 7.1

Diese Grenzfrequenz liegt weit überhalb der des 1. Pols, so dass insgesamt ein Tiefpassverhalten zu erwarten ist.

Der Phasengang beginnt nicht bei  $+90^\circ$  wie erwartet, sondern ist um  $+180^\circ$  verschoben, da der gesamte Verstärker eine negative Verstärkung aufweist. In der Betrags- und Phasendarstellung wirkt sich das entsprechend aus.

Der 1. und entscheidende Pol hängt vom Generatorwiderstand  $R_q$  ab. Da diese Größe oft nicht änderbar ist, kann die Bandbreite des Verstärkers nur begrenzt durch Dimensionierung geändert werden. Zum Beispiel würde ein Herunterfahren der Verstärkung zu einer kleineren Kapazität  $C_{GD}$  und gleichzeitig zu einem geringeren Millereffekt führen, so dass die Bandbreite steigt. Bei nicht ausreichender Erfüllung der Spezifikation ist dann eventuell eine weitere Verstärkungsstufe nötig.

In 7.2 ist das Ergebnis einer AC-Simulation mit den berechneten Werten dargestellt. Es entspricht dem erwarteten Verlauf.

Problematisch bei dieser manuellen Dimensionierung ist, dass sehr viel vernachlässigt werden muss, um überhaupt Synthesegleichungen berechnen zu können. Dabei können natürlich jede Menge Fehler entstehen. Deshalb ist eine automatische Berechnung dieser Größen wünschenswert. Dies soll im

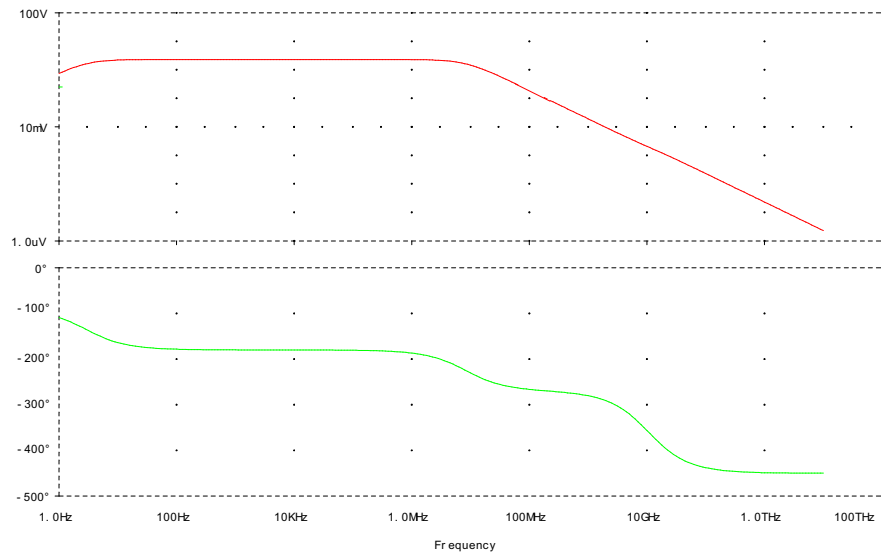


Bild 7.8: AC-Simulation des einfachen Verstärkers

folgenden Abschnitt aufgezeigt werden.

## 7.2 Halbautomatische Dimensionierung mit Hilfe der symbolischen Analyse

Vorgehen

Auch für die Dimensionierung mit Hilfe der symbolischen Simulation ist zunächst die Struktur vorzugeben. Dann ist folgendes Vorgehen sinnvoll:

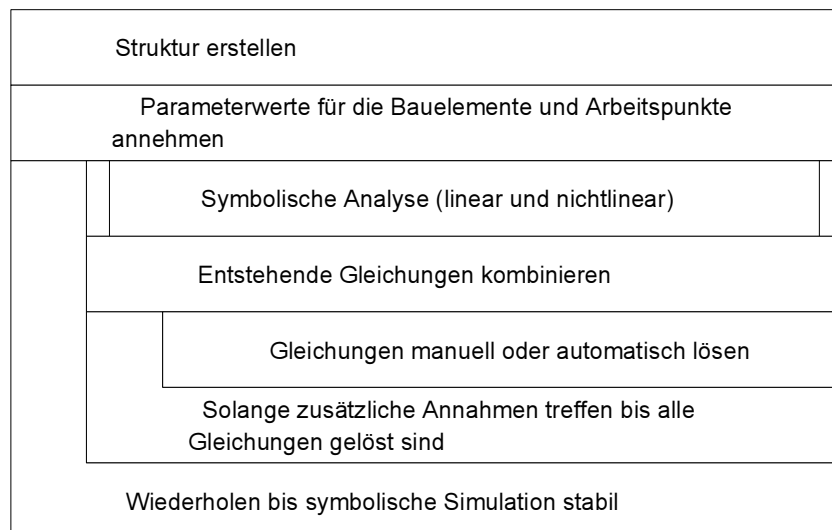


Bild 7.9: Entwurfsablauf mit integrierter symbolischer Analyse

Lineare Gleichungen

Die symbolische Analyse übernimmt die Berechnung der linearen Zusammenhänge und die Vernachlässigungen, so dass man direkte Synthesegleichungen erhält. Da die Vernachlässigungen unter Annahme von Zahlenwer-

	ten geschehen, ist eine Wiederholung nötig, um die neuen korrekten Werte für die Vernachlässigung zu berücksichtigen. Diese äußere Schleife sollte allerdings nach wenigen Durchgängen konvergieren.
Nichtlineare Gleichungen	Zusätzliche Synthesegleichungen für die nichtlinearen Zusammenhänge wie Arbeitspunkteinstellungen und Slew-Rate sind soweit möglich ebenfalls durch symbolische Analyse zu erzeugen. Manche einfachen Zusammenhänge wie z.B. Begrenzungen können auch manuell als Gleichungen erstellt werden.
Matching	In der Regel können aus Symmetriegründen noch weitere Gleichungen aufgestellt werden. Z.B. sind die Kanallängen bei einem Stromspiegel gleich zu wählen. Diese Information ist durch die einzelnen Strukturen vorab schon festgelegt.
Gleichungslösung	Der Schritt der Gleichungslösung wird häufig manuell durchgeführt, kann aber durch Einsatz eines Computeralgebrasystems unter Umständen auch halb-/vollautomatisch durchgeführt werden. Häufig ist das Gleichungssystem unterbestimmt (jeder Transistor besitzt individuelle Weiten und Längen), das heißt, es sind mehr unabhängige Variablen als Synthesegleichungen vorhanden. Dann sind weitere Annahmen zu treffen oder die Synthesegleichungen werden einer Optimierung unterworfen. Häufig wird hier in zwei Schritten vorgegangen: Zuerst wird eine Annahme - wie z.B. setze die Kanallänge der Transistoren auf Minimum - getroffen. Nach erfolgreicher Dimensionierung werden alle Parameter mit einem Optimierungsziel wie Fläche oder Stromverbrauch optimiert.

### 7.2.1 Beispiel: Differenzverstärker mit Kaskodelast

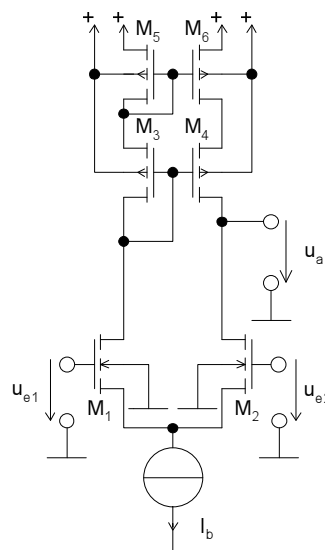


Bild 7.10: Differenzverstärker mit Kaskodestromspiegel als aktive Last

Daten

Die Transistorparameter lauten :

Parameter	
$V_{TO}$	$= 0,8V$
$KP'_n$	$= \mu_n \frac{\epsilon_{ox}}{t_{ox}} = 40 \frac{\mu A}{V}$
$KP'_p$	$= \mu_p \frac{\epsilon_{ox}}{t_{ox}} = 15 \frac{\mu A}{V}$
$W, L$	$\geq 0,5 \mu m$
$C_{GDO}, C_{GSO}$	$= 540 \frac{pF}{m}$
$V_{E,n}$	$= 5 \frac{V}{\mu m}$
$V_{E,p}$	$= 8 \frac{V}{\mu m}$

Tabelle 7.3: Transistorparameter des Differenzverstärkers

Die Earlyspannung  $V_E$  ist anstelle von  $\lambda$  gegeben. Die einfache Modellierung mit einem konstanten  $\lambda$  ist hier zu ungenau, da der Ausgangswiderstand  $r_{DS}$  eine entscheidende Rolle für die Verstärkung spielt. Daher ist mit Gleichung (5.7) eine genauere Modellierung zu verwenden.

$$r_{DS} = \frac{1}{\lambda(L) \cdot I_{DS}|_{AP}} = \frac{V_E \cdot L}{I_{DS}|_{AP}} \quad (7.22)$$

Spezifikation Der Differenzverstärker soll folgende Eigenschaften aufweisen:

Eigenschaft	
Lastkapazität:	$C_L = 1 pF$
Generatorwiderstand:	$R_q = 50 k\Omega$
Versorgungsspannung:	$V_{DD} = 5V$
Ausgangsspannung:	$U_{aus} = 2,5V$
Verstärkung:	$A_U \geq 50 dB$
Gain-Bandwidth:	$GBW \geq 1 MHz$
Ausgangsspannungsamplitude:	$U_{pp} \geq 1V$
Slew-Rate:	$S_R \geq 0.1 \frac{V}{\mu s}$

Tabelle 7.4: Spezifikation des Differenzverstärkers

Parameter Frei einstellbare Parameter für die Dimensionierung sind Kanalweite, Kanallänge aller 6 Transistoren, Biasstrom  $I_{Bias}$ .

Annahmen Für die symbolische Simulation sind Bauelementersatzschaltbildwerte anzunehmen. Hier wurden alle Transistoren als gleich groß angenommen.

$$g_{m,1-6} = 0.5 \mu S \quad (7.23)$$

$$r_{DS,1-6} = 50 M\Omega \quad (7.24)$$

$$C_{GD,1-6} = C_{GS,1-6} = 10 fF \quad (7.25)$$

Symbolische Analyse Die symbolische Analyse der Schaltung ergibt bei einem Fehler von 30%



folgende Synthesegleichungen.

$$A_U = g_{m1} \cdot r_{DS1} \quad (7.26)$$

$$GBW = \frac{\sqrt{r_{DS1}^2 \cdot g_{m1}^2 - 1}}{r_{DS1} \cdot C_L} \quad (7.27)$$

Die zweite Gleichung lässt sich durch Auflösen der Gleichung  $|H(j\omega)| = 1$  nach  $\omega$  berechnen.

Abbildungs-  
gleichungen

Da die symbolischen Gleichungen noch nicht die gesuchten Variablen ( $W$ ,  $L$ ,  $I_{bias}$ ) enthalten, sind hier noch die (nichtlinearen) Zusammenhänge einzusetzen. Das sind für die Transistoren jeweils die Gleichungen

$$g_m = \sqrt{2 \frac{W}{L} \cdot KP' \cdot I_{DS}|_{AP}} \quad (7.28)$$

$$r_{DS} = \frac{V_E \cdot L}{I_{DS}|_{AP}} \quad (7.29)$$

$$c_{GD} = C_{gdo} \cdot W \quad (7.30)$$

Zusätzliche  
Gleichungen

Die anderen Spezifikationsdaten sind z.B. durch nichtlineare symbolische Analyse zu berechnen. Die Slew-Rate (Anstiegsgeschwindigkeit) bestimmt sich damit zu

$$S_R = \frac{I_{Bias}}{C_L} \quad (7.31)$$

Die maximale Ausgangsspannung wird durch den Kaskodestromspiegel begrenzt. Bei voller positiver Aussteuerung des Eingangs  $U_{e1}$  wird der Ausgang des Differenzverstärkers ebenfalls positiv. Fließt ein Laststrom, so kann die Ausgangsspannung maximal auf den Wert  $U_a = V_{DD} - U_{GS,6} + U_{DS,4}$  steigen, wenn alle Transistoren des Stromspiegels in der Sättigung bleiben sollen. Mit der Stromgleichung für den Sättigungsbereich ergibt sich

$$\frac{U_{PP}}{2} \leq V_{DD} - \left( \sqrt{\frac{I_{Bias}}{2 \cdot \frac{W_6}{L_6} \cdot KP'_p}} + V_{TO} \right) - \left( \sqrt{\frac{I_{Bias}}{2 \cdot \frac{W_4}{L_4} \cdot KP'_p}} \right) - U_{aus} \quad (7.32)$$

Weiterhin sind aus Symmetriegründen  $L_1 = L_2, W_1 = W_2, L_3 = L_4, W_3 = W_4, L_5 = L_6, W_5 = W_6$ .

Dimensio-  
nierung

Da nur vier Synthesegleichungen, aber 7 freie Variablen gegeben sind, sind

noch Annahmen zu treffen. Hier werden nach einigen Versuchen, die unsinnige Lösungen und Lösungen mit sehr unterschiedlichen W/L Verhältnissen ergaben, folgende Annahmen getroffen:  $L_3 = 20 \mu m$ ,  $W_3 = 1 \mu m$ ,  $L_5 = 20 \mu m$ . Die Lösung kann dann z.B. mit einem Computeralgebrasystem gefunden werden. Sie ergibt sich zu

$$I_{Bias} = 0,1 \mu A \quad (7.33)$$

$$W_1 = 4,9 \mu m \quad (7.34)$$

$$L_1 = 0,5 \mu m \quad (7.35)$$

$$W_5 \geq 0,07 \mu m . \quad (7.36)$$

Jetzt können die neuen Werte für die Kleinsignalersatzschaltelemente neu ausgerechnet werden.

Eine iterative Lösung bringt hier keine neuen Gleichungen und damit auch keine Änderungen der Dimensionierungsgrößen. Die noch vorhandenen Freiheitsgrade können durch Optimierung hinsichtlich Fläche, Stromverbrauch oder anderen Größen verwendet werden.

Außerdem sind noch die Biasspannungen am Eingang des Differenzverstärkers zu berechnen. Diese können beim Zusammenspiel mit anderen Stufen mit berücksichtigt werden.

Vorteil der symbolischen Analyse ist hier, dass man sich unter anderem um die Aufstellung und Vernachlässigung des Kleinsignalersatzschaltbilds nicht mehr zu kümmern braucht. Damit ist auch eine wesentliche Fehlerquelle verringert worden, da die Näherungen auch im Zusammenhang mit den anderen Schaltungsteilen korrekt durchgeführt werden.

Weiterhin hilft die automatische Dimensionierung bei der Auswertung der entstandenen Gleichungen. Eine Nachkontrolle ist aber unerlässlich, da die Annahmen nur durch eine Transientensimulation auf Korrektheit überprüft werden können.

Beispiel-  
Worksheet

In Anhang A.5 ist ein Beispiel für eine vollständig automatische Dimensionierung für einen einfachen OTA mit aktiver Last dargestellt. Sie geht über die hier dargestellte halbautomatische Dimensionierung hinaus, da die nichtlinearen Ausdrücke für die Slewrates und die Aussteuerung automatisch über eine nichtlineare symbolische Analyse gewonnen werden.

### 7.3 Spezielle Problemstellungen der Dimensionierung

Nach dem das allgemeine Vorgehen zur Dimensionierung manuell und automatische aufgezeigt worden ist werden in diesem Abschnitt spezielle Problemstellungen bei der Dimensionierung gesondert beleuchtet. Diese sind je nach Spezifikation mit in den Dimensionierungsprozess mit einzubeziehen.

### 7.3.1 Polsplitting

Polsplitting ist eine Methode, den Frequenzgang einer Verstärkerstufe günstig zu beeinflussen. Um das Prinzip zu erklären, müssen einige grundlegende Zusammenhänge erläutert werden.

#### 7.3.1.1 Bodediagramm

Das Bodediagramm lässt sich aus den Polen und Nullstellen der Übertragungsfunktion herleiten. In Tabelle 7.5 sind die wichtigsten Zusammenhänge dargestellt:

Typ	s-Halbebene	ÜTF	Betrag	Phase
Pol	links	$H = \frac{1}{1+j\frac{\omega}{p_1}}$	sinkt	$-90^\circ$
Pol	rechts	$H = \frac{1}{1-j\frac{\omega}{p_1}}$	sinkt (instabil!)	$+90^\circ$
Pol	Nullpunkt	$H = \frac{1}{j\omega}$	sinkt (semistabil!)	$+90^\circ$
Nullstelle	links	$H = \frac{1+j\frac{\omega}{n_1}}{1}$	steigt	$+90^\circ$
Nullstelle	rechts	$H = \frac{1-j\frac{\omega}{n_1}}{1}$	steigt	$-90^\circ$
Nullstelle	Nullpunkt	$H = j\omega$	steigt	$+90^\circ$

Tabelle 7.5: Zusammenhang zwischen Pol und Nullstellen einer ÜTF und dem zugehörigen Bodediagramm

#### 7.3.1.2 Phasenreserve

Aus regelungstechnischen Überlegungen folgen für rückgekoppelte Systeme mit tiefpasscharakter Bedingungen für die Schleifenverstärkung des offenen Systems

$$H_{\text{offen}}(s) = A(s) \cdot K(s) \quad (7.37)$$

mit  $A(s)$  = Vorwärtsverstärkung des Systems und  $K(s)$  = Rückkopplung. Der geschlossene Regelkreis ist dann stabil, wenn

- a) der Betrag der Schleifenverstärkung  $H_{\text{offen}}(s)$  an der Stelle, an der die Phase von  $H_{\text{offen}}(s)$  gleich  $-180^\circ$  ist, kleiner als 1 ist

$$\left| H_{\text{offen}}(s) \right|_{\varphi(H_{\text{offen}}(s)) = -180^\circ} < 1 \quad (7.38)$$

oder

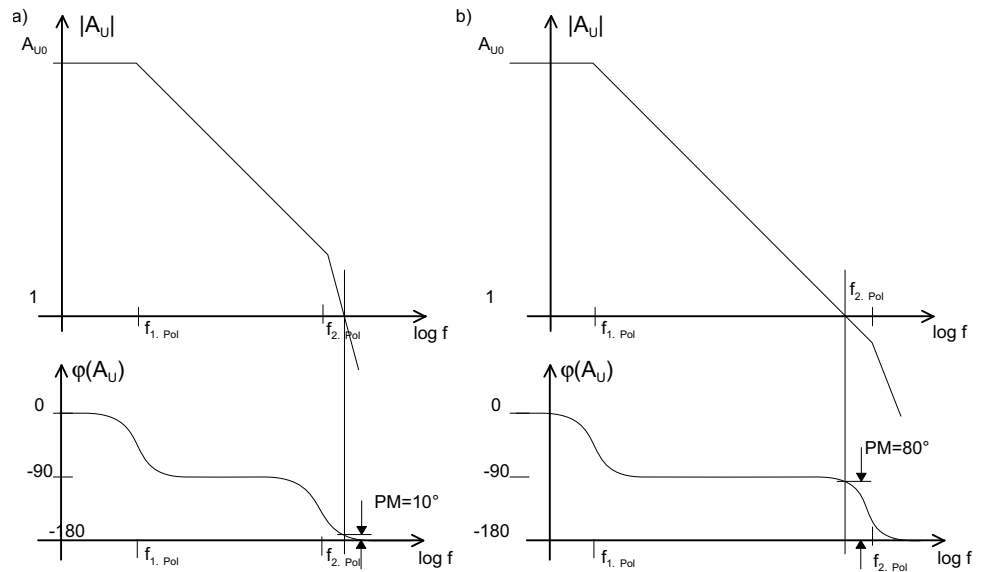


Bild 7.11: Phasenreserve PM für eine ÜTF mit zwei Polen a) der zweite Pol liegt vor dem Nulldurchgang des Betrags der ÜTF b) der zweite Pol liegt nach diesem Nulldurchgang

b) die Phase von  $H_{\text{offen}}(s)$  an der Stelle, an der der Betrag kleiner 1 wird, noch größer als  $-180^\circ$  ist.

$$\varphi(H_{\text{offen}}(s)) \Big|_{|H_{\text{offen}}(s)|=1} > -180^\circ \quad (7.39)$$

Die Differenz zur  $-180^\circ$ -Marke bezeichnet man als Phasenreserve (phase margin)

$$PM = \varphi(H_{\text{offen}}(s)) \Big|_{|H_{\text{offen}}(s)|=1} + 180^\circ. \quad (7.40)$$

Je größer die Phasenreserve ist, desto weniger neigt das rückgekoppelte System zum Schwingen. Eine Daumenregel besagt, dass zumindest eine Phasenreserve von  $45^\circ$  vorhanden sein sollte.

In Bild 7.11 ist die Phasenreserve im Bodediagramm für zwei verschiedene Fälle einer zweipoligen ÜTF dargestellt.

Die Phasenreserve wird als Maß für die Stabilität eines Verstärkers benötigt. Wird ein Verstärker mit oben angegebener ÜTF rückgekoppelt, so kann mit Hilfe der Phasenreserve abgeschätzt werden, ob der Verstärker noch stabil ist. Ist die Phasenreserve  $0^\circ$  oder kleiner, so ist das System bei direkter negativer Rückkopplung instabil, da die  $180^\circ$  Phasendrehung mit der negativen Rückkopplung zusammen eine positive Rückkopplung ergibt. Für Operationsverstärker gilt z.B., dass eine Phasenreserve  $> 60^\circ$  eine gute Stabilität verspricht. Näheres dazu im Kapitel 8.

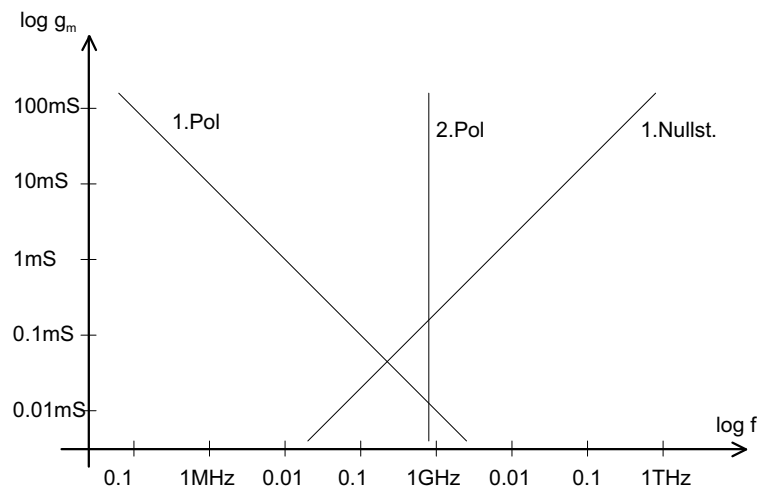


Bild 7.12: Pol-Nullstellendiagramm für den einfachen Verstärker aus Abschnitt 6.1.1 in Abhängigkeit vom  $g_m$  des Verstärkers

### 7.3.1.3 Pol-Nullstellen-Lage

Da die Pol- und Nullstellenlage eine entscheidende Bedeutung für den Frequenzgang einer Schaltung hat und gleichzeitig diese Lage durch Parameter beeinflusst werden kann, ist es sinnvoll, die Pole und Nullstellen in einem Diagramm in Abhängigkeit von diesem Parameter aufzuzeichnen. Dies entspricht in etwa der Wurzelortskurve aus der Regelungstechnik. Allerdings sind die Daten im doppelt logarithmischen Maßstab direkt abzulesen. Ein Beispiel für ein solches Pol-Nullstellen-Diagramm für den Verstärker aus Abschnitt 6.1.1 ist in Bild 7.12 dargestellt. Es berechnet sich aus den angegebenen Zahlenwerten und aus den Gleichungen für die einzelnen Pole und Nullstellen.

$$f_{1.Pol} = \frac{1}{2\pi \cdot R_g \cdot g_m \cdot R_L \cdot C_{GD}} \quad (7.41)$$

$$f_{2.Pol} = \frac{1}{2\pi \cdot R_L \cdot C_{GD}} \quad (7.42)$$

$$f_{1.Null} = \frac{g_m}{2\pi \cdot C_{GD}} \quad (7.43)$$

Dieses Pol-Nullstellendiagramm ist allerdings unter mehreren Näherungen berechnet worden, so dass gerade für den großen Bereich von  $g_m$  exakt ein etwas anderer Verlauf erwartet werden kann.

Um diesen zu bestimmen, soll hier das Beispiel genauer untersucht werden. Zunächst sei zusätzlich eine Drain-Source/Last-Kapazität von 15 fF angenommen. Für diesen Fall lassen sich die Netzwerkgleichungen für das ESB in Bild 7.4 (für hohe Frequenzen) aufstellen und auflösen. Nach Vernachlässigen von  $R_1$  erhält man folgende ÜTF.

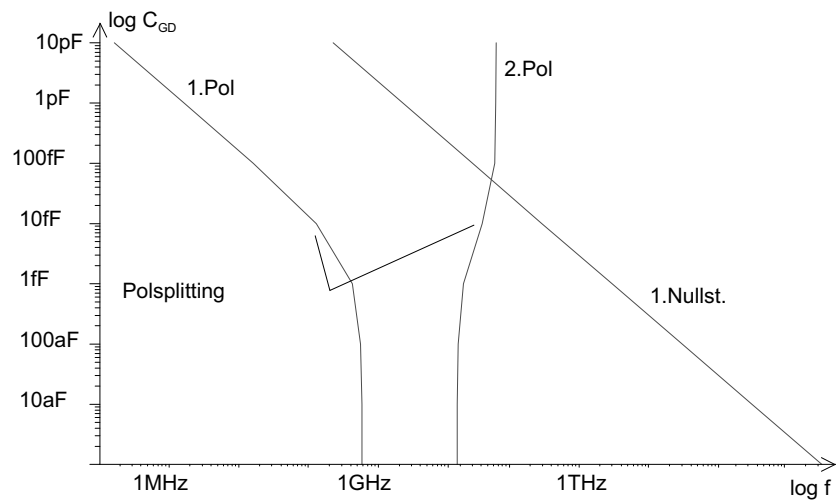


Bild 7.13: Pol-Nullstellendiagramm für einen einfachen Verstärker in Sourceschaltung mit veränderlicher Millerkapazität  $C_{GD}$

$$\frac{U_A}{U_q} = \frac{R_L(-g_m + s \cdot C_{GD})}{1 + s(R_q(C_{GS} + C_{GD}) + R_L(C_{DS} + C_{GD}) + R_q g_m R_L C_{GD})} \dots \frac{1}{+s^2 R_L R_q (C_{DS} C_{GD} + C_{DS} C_{GS} + C_{GS} C_{GD})} \quad (7.44)$$

Aus dieser kann man die Lage der Pole und Nullstellen berechnen und auftragen. Das entstehende Pol-Nullstellendiagramm in Abhängigkeit von der Millerkapazität  $C_{GD}$  ist für die numerischen Werte aus Abschnitt 7.1 in Bild 7.13 dargestellt.

### Polsplitting

In Bild 7.13 ist zu erkennen, dass bei steigender Millerkapazität die ursprünglich konstanten Pole, die auf die einfachen Tiefpässe mit  $C_{GS}$  und  $C_{DS}$  zurückgehen, sich auseinander bewegen. Der dominante (niedrigere Pol) wird durch den Millereffekt zu kleinen Frequenzen hin verschoben, da die Millerkapazität mit dem Faktor  $g_m \cdot R_L$  verstärkt am Eingang des Transistors wirkt. Der zweite Pol am Ausgang verschiebt sich zu höheren Frequenzen, weil durch die Spannungs-Spannungsgegenkopplung (Reihen-Parallel-Rückkopplung) der Millerkapazität der Ausgangswiderstand des Transistors sinkt und damit der Pol mit der Lastkapazität zu höheren Frequenzen wandert. Diesen Effekt nennt man Polsplitting.

Polsplitting wird unter anderem verwendet, um bei Schaltungen mit einer geringen Phasenreserve diese anzuheben, denn der zweite Pol, der für die Phasendrehung auf  $-180^\circ$  verantwortlich ist, kann zu höheren Frequenzen verschoben werden. Dies entspricht ungefähr dem Übergang von Bild 7.11 a) zu b). Zusätzlich führt die Absenkung der Frequenz des 1. Pols zu einer Verminderung der Transitfrequenz und damit zu einer weiteren Erhöhung der Phasenreserve.

### 7.3.2 Rauschanalyse

Das Rauschen einer Schaltung ist durch Umrechnen der Rauschspannungsquellen und -stromquellen auf den Eingang zu berechnen. Dies geschieht im Kleinsignalerersatzschaltbild. Daraus können der Signal-Rauschabstand und/oder die Rauschzahl des Schaltungsteils bestimmt werden. Erfüllt das Rauschen die Anforderungen nicht, so ist unter Umständen durch Berücksichtigen der folgenden Regeln ein rauschärmeres Design zu erreichen.

**Stufen** Werden mehrere Stufen entworfen, so ist in der ersten Stufe eine möglichst hohe Verstärkung zu erzielen, damit das Rauschen der restlichen Stufen so gut wie nicht eingeht (siehe auch Abschnitt 5.1.1.2).

**Verstärkung** Die  $g_m$  der verstärkenden Transistoren sind möglichst groß zu machen, um eine hohe Verstärkung und ein geringes Rauschen zu erreichen. Die  $g_{mS}$  von Lasttransistoren sind dagegen klein zu halten, da deren zusätzlicher Rauschstrom sich proportional zu  $g_m$  erhöht.

**MOS-Bipolar** Generell gilt, dass für hochohmige Quellen MOS-Transistoren die kleineren Rauschzahlen aufweisen. Für niederohmige Quellen sind eher Bipolar-Transistoren geeignet, da deren  $1/f$  Rauschen geringer ausfällt.

**Simulation** Da die Rauschquellen sich leicht in einer Schaltungssimulation automatisch berechnen lassen und die Eigenschaften der Rauschquellen der Transistoren im Simulator mit modelliert sind, ist auf jeden Fall eine Kontrollsimulation durchzuführen.

Die symbolische Analyse ist grundsätzlich ebenfalls in der Lage, Rauschgrößen zu berechnen. Da aber bezogene Rauschleistungen verwendet werden, sind die Umrechnungsregeln anders, so dass ein besonderes Augenmerk auf die Gleichungen gerichtet werden muss.

**Beispiel** Für einen Stromspiegel sollen manuell das Rauschverhalten und die Regeln für ein rauscharmes Design hergeleitet werden (siehe 7.3.3).

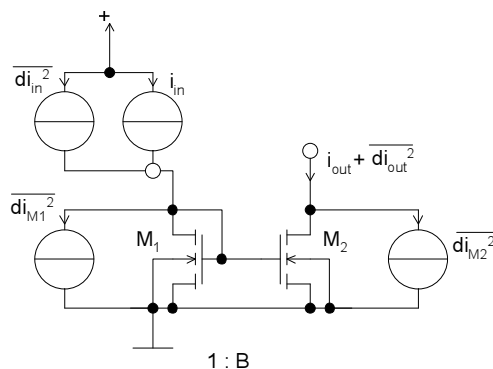


Bild 7.14: Einfacher Stromspiegel mit Rauschquellen

Die Transistoren  $M_1$  und  $M_2$  weisen ein Rauschen ihrer Drainströme unter

Vernachlässigung des 1/f Rauschens von

$$\overline{di_{DS}^2} = \frac{8kT}{3} g_m \cdot df \quad (7.45)$$

auf. Der Eingangsstrom soll mit  $\overline{di_{in}^2}$  rauschen. Mit dem Stromspiegelfaktor B lässt sich dann das gesamte Rauschen am Ausgang zu

$$\begin{aligned} \overline{di_{aus}^2} &= B^2 \cdot \overline{di_{in}^2} + B^2 \cdot \frac{8kT}{3} g_{m1} \cdot df + \frac{8kT}{3} g_{m2} \cdot df \\ &= B^2 \cdot \overline{di_{in}^2} + \left(\frac{g_{m2}}{g_{m1}}\right)^2 \cdot \frac{8kT}{3} g_{m1} \cdot df + \frac{8kT}{3} g_{m2} \cdot df \\ &= B^2 \cdot \overline{di_{in}^2} + B^2 \cdot \frac{8kT}{3} g_{m1} \cdot df \end{aligned} \quad (7.46)$$

berechnen. Das heißt, das Rauschen am Ausgang hängt zum einen von der Verstärkung des Stromspiegels, zum anderen vom  $g_m$  des Transistors  $M_1$  ab. Das Stromspiegelverhältnis lässt sich in der Regel nicht ändern, doch kann das  $g_m$  durch ein kleines W/L Verhältnis klein gemacht werden, da  $g_m = \sqrt{2 \frac{W}{L} \mu C'_{ox} i_{DS}|_{AP}}$  gilt. Dies erhöht gleichzeitig den Ausgangswiderstand, was erwünscht ist. Allerdings wird dadurch die benötigte Ausgangsspannung für den Betrieb im Sättigungsbereich sehr hoch.

Ein weiterer Zusammenhang ist an diesem Beispiel ebenfalls abzulesen: Eine Erhöhung des Drain-Ruhestroms erhöht zwar das  $g_m$  und damit das Rauschen des Transistors proportional zur Wurzel aus dem Drainstrom. Allerdings ist der Signalpegel linear angewachsen, so dass der Signal-Rauschabstand deutlich gesunken ist.

### 7.3.3 Robuster Entwurf

Nachdem die Dimensionierung des Nominalpunkts abgeschlossen ist und die Analysen erfolgreich durchgeführt wurden, sind Überlegungen zu treffen, ob der Entwurf auch unter den Schwankungen des Fertigungsprozesses und anderer Umwelteinflüsse noch die Spezifikation erfüllt. Die möglichen Schwankungen mit ihren Auswirkungen sind im folgenden vorgestellt.

- Geometrische Abmessungen wie W, L
- Temperatur
- Dotierung
- Versorgungsspannungen
- Ausrichtungsabhängige Änderung von physikalischen Parametern



## Toleranzen

Die Toleranzen sind in der Regel lokal - das heißt bei nah benachbarten Elementen - betrachtet kleiner als global betrachtet. Als global wird hier die Schwankung zwischen weit entfernten Elementen, über eine Siliziumscheibe oder über unterschiedliche Scheiben bezeichnet. Die Temperatur kann durch die Erwärmung von Bauelementen mit großer Verlustleistung stark lokal schwanken. Um die Auswirkungen berechnen zu können, sind die Bauelemente des Entwurfs mit Toleranzen zu versehen. In Tabelle 7.6 ist eine beispielhafte Übersicht über die Schwankungen auf einer integrierten Schaltung gegeben.

Widerstandsnominalwert	lokal	global
- Wannenzwischenwiderstand	+/-10%	+/-10%
- Polywiderstand	+/-5%	+/-10%
- Aluminium	+/-10%	+20%
<b>Kapazitätsnominalwerte</b>		
- Oxidkapazität	+/-0.5%	+5%
- Metall-Polykapazität	+/-5%	+10%
<b>NMOS-Transistor</b>		
- Schwellspannung $V_{TO}$	+/-10mV	+/-30mV
- Verstärkung $\mu \cdot C'_{ox}$	+/-0,2%	+/-10%
- Bodyfaktor	+/-0,1%	+/-5%
<b>PMOS-Transistor</b>	2*NMOS	2*NMOS

Tabelle 7.6: Beispielhafte Schwankungen der Parameter integrierter Bauelemente

## Abhängigkeit von W, L

Da bestimmte Parameterschwankungen von geometrischen Größen abhängen, wirkt sich eine Änderung dieser Geometrie toleranzsenkend aus. Dies gilt z.B. für die Transistorparameter wie folgt: Die Schwellspannung schwankt hauptsächlich durch die unterschiedlichen Dotierungen. Die Dicke des Oxids spielt eine untergeordnete Rolle. Die Dotierungsschwankungen gleichen sich durch Vergrößern der Fläche des Transistors aus.

$$\Delta V_T = \Delta V_{T \min} \cdot \frac{\sqrt{W_{\min} \cdot L_{\min}}}{\sqrt{W \cdot L}} \quad (7.47)$$

Hierbei sind durch min indizierte Größen die Abmessungen und Messwerte des Transistors mit Minimalabmessungen. Ein ähnlicher Zusammenhang lässt sich für den Steilheitskoeffizienten  $\mu C'$  angeben.

$$\Delta \mu C'_{ox} = \Delta \mu C'_{ox, \min} \cdot \sqrt{\frac{W_{\min}^2}{2 \cdot W^2} + \frac{L_{\min}^2}{2L^2}} \quad (7.48)$$

Der Zusammenhang kommt aus der Störungsrechnung: Jede Größe W, L wirkt sich mit 1/X auf die Toleranz aus. Die obige Formel ergibt sich dann, wenn man das geometrische Mittel bildet.

Analyse Um die oben genannten Abweichungen bei der Analyse der Schaltung zu berücksichtigen, kann die schon erwähnte Toleranzanalyse eingesetzt werden. Hier bietet sich z.B. die Monte-Carlo-Analyse an (siehe Abschnitt 2.4.1). Man erhält als Ergebnis eine Simulationsschar, welche die Beurteilung der Einhaltung der Spezifikation ermöglicht. Man kann aus dem Verhältnis der guten (die Spezifikation erfüllenden) zu den fehlerhaften Schaltungen die Ausbeute der Fertigung vorhersagen. Herkömmliche Simulatoren wie PSPICE [Pspice01] erlauben eine automatische Monte-Carlo-Analyse mit obigen Daten.

Eine direktere Methode ist die Empfindlichkeitsanalyse (Sensitivity, siehe Abschnitt 7.3.4). Diese berechnet für einzelne Parameter die erwartete Abweichung der Spezifikationsdaten in Abhängigkeit von der Abweichung des Parameters. Direkt damit zusammen hängen Überlegungen zum Matching (siehe Abschnitt 7.3.5), das heißt zur speziellen Anordnung von Bauelementen zwecks guter Übereinstimmung. Hier sind die oben gemachten Überlegungen zur Verteilung der Toleranzen direkt einzubringen.

Schließlich kann durch ein Design-Centering der Entwurf robuster gemacht werden, indem die Parameter so eingestellt werden, dass die Spezifikation mit möglichst großem Sicherheitsabstand erfüllt wird (siehe Abschnitt 2.3.5).

### 7.3.4 Sensitivity

Um die Auswirkungen der Bauelementabweichungen beurteilen zu können, kann eine Empfindlichkeits- (Sensitivity)-Analyse vorgenommen werden. Hierbei wird zu jedem Parameter in der Schaltung ein Wert durch den Simulator berechnet, der die Auswirkung einer Schwankung des Parameters  $p$  auf die Ausgangsgröße  $Y$  definiert.

$$S_p = \frac{\partial Y}{\partial p} \quad (7.49)$$

Die Ausgangsgröße  $Y$  kann eine Spannung, ein Strom oder auch eine abgeleitete Größe wie Verstärkung, Slew-Rate usw. sein. Prinzipiell müsste für jeden Parameter und jeden Spezifikationswert eine Empfindlichkeit ausgerechnet werden. Durch Multiplikation mit der Toleranz ist die Einhaltung des Spezifikationswertes festzustellen.

$$\Delta Y = S_p \cdot \Delta p \quad (7.50)$$

Simulatoren Gängige Simulatoren unterstützen eine ganze Reihe von Empfindlichkeitsanalysen. Hier wird je nach Typ der zugrundeliegenden Simulation für die Ausgangsgröße in DC-, AC- und Transienten-Sensitivity unterschieden. Man darf jedoch nicht vergessen, dass der erzeugte Wert nur für kleine

Abweichungen von  $p$  gilt, da für größere Abweichungen die nichtlinearen Zusammenhänge eine deutliche Abweichung hervorrufen können. Genauer sind dann Verfahren wie die Monte-Carlo-Simulation.

Indirekte  
Sensitivity-  
berechnung

Nichtlineare Zusammenhänge lassen sich manuell analysieren, wenn man den Differentialquotienten in einen Differenzenquotienten überführt. Dies lässt sich für alle Eigenschaften der Schaltungen auch bei Simulatoren ohne eingebaute Sensitivity-Analyse durchführen. Die Empfindlichkeit berechnet sich zu

$$S_P = \frac{Y(p + \Delta p) - Y(p)}{\Delta p} \quad (7.51)$$

Man benötigt dann je Parameter zwei Simulationen.

Beispiel

Am Beispiel der folgenden Diodenschaltung sollen einige Empfindlichkeiten berechnet werden.

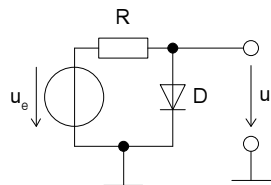


Bild 7.15: Nichtlineare Diodenschaltung mit folgenden Zahlenwerten  
 $R = 1 \text{ k}\Omega$ ,  $I_S = 1 \text{E} - 15 \text{ A}$ ,  $U_e = 10 \text{ V}$

Die Ausgangsspannung berechnet sich durch eine DC-Analyse zu  $0,746 \text{ V}$ . In der folgenden Tabelle sind die numerischen Werte der Empfindlichkeiten der Parameter nach Auswerten in einem Maple-Worksheet wiedergegeben.

Parameter	absolute Sensitivity	relative Sensitivity	relative Sensitivity in %
$R$	$-0,249 \cdot 10^{-4} \frac{\text{V}}{\Omega}$	$-0,0002493 \frac{\text{V}}{\%}$	$-0,0334 \frac{\%}{\%}$
$I_S$	$-0,249 \cdot 10^{14} \frac{\text{V}}{\text{A}}$	$-0,0002493 \frac{\text{V}}{\%}$	$-0,0334 \frac{\%}{\%}$
$U_E$	$0,00269 \frac{\text{V}}{\text{V}}$	$0,0002694 \frac{\text{V}}{\%}$	$0,0361 \frac{\%}{\%}$
$T$	$0,00248 \frac{\text{V}}{\text{K}}$	$0,00744 \frac{\text{V}}{\%}$	$0,997 \frac{\%}{\%}$

Tabelle 7.7: Empfindlichkeitswerte für alle Parameter der Schaltung aus Bild 7.15

Deutlich ist die große Abhängigkeit der Ausgangsspannung von der Temperatur zu erkennen. Alle anderen Größen führen bei eigener Änderung zu einer um den Faktor 30 gedämpften Ausgangsspannungsänderung. Dies ist eine Folge der guten Stabilisierung durch die nichtlineare Funktion der Diode.

### 7.3.5 Matching

Durch Matching bestimmter Bauelemente kann ein Entwurf robuster gegen Fertigungsschwankungen gemacht werden. Dazu sind folgende Regeln zu beachten:

- Gut übereinstimmende Bauelemente müssen dicht beieinander liegen.
- Sie sollten auf derselben Isotherme des Chips liegen.
- Generell sollte für gut übereinstimmende Schaltungsteile die Temperatur sich nicht stark ändern.
- Das Design kann voll differentiell ausgelegt werden, um parasitäre Effekte durch Differenzbildung zu eliminieren.
- Ein Vergrößern der Flächen der Bauelemente verringert den Mismatchfehler (siehe Abschnitt 7.3.3).
- Ein Betreiben in bestimmten unempfindlichen Bereichen der nichtlinearen Bauelemente verringert ebenfalls den Mismatchfehler. Daraus folgt, dass auch der DC-Arbeitspunkt und damit die Bias-Spannungen und -Ströme einen entscheidenden Einfluss haben.

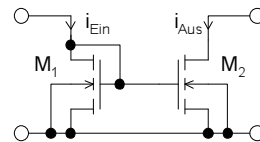


Bild 7.16: Stromspiegel

Als Beispiel soll hier ein Stromspiegel betrachtet werden (siehe Bild 7.16). Die Stromgleichungen lassen sich mit den Abweichungen der Transistoren wie folgt aufstellen.

$$I_{Ein} = \frac{1}{2} K'_{P1} \cdot \frac{W_1}{L_1} \cdot (V_{GS} - V_{TO1})^2 \text{ mit } K'_P = \mu \cdot C'_{ox} \quad (7.52)$$

$$I_{Aus} = \frac{1}{2} (K'_{P1} + \Delta K'_{P1-2}) \cdot \frac{W_2}{L_2} \cdot (V_{GS} - (V_{TO1} + \Delta V_{TO1-2}))^2 \quad (7.53)$$

Die geometrischen Mismatchfehler seien hier vernachlässigt. Daraus folgt  $W_1 = W_2$ ,  $L_1 = L_2$ . Nach Auflösen erhält man einen Ausdruck für den Ausgangsstrom.

$$\Delta I_{Aus} = I_{Aus} - I_{Ein} = \frac{(K'_{P_1} + \Delta K'_{P_{1-2}})}{2} \cdot \left( -\sqrt{2 \cdot \frac{1}{K'_{P_1}} \cdot I_{Ein} + \Delta V_{TO_{1-2}} \cdot \sqrt{\frac{W_1}{L_1}}} \right)^2 - I_{Ein} \quad (7.54)$$

Die Abweichung des Ausgangsstroms in Abhängigkeit von den Transistorparametern berechnet sich gemäß einer Taylor-Reihenentwicklung nach den beiden Abweichungsvariablen zu

$$\Delta I_{Aus} = \frac{\Delta K'_{P_{1-2}}}{K'_{P_1}} \cdot I_{Ein} - \sqrt{2 \cdot K'_{P_1} \cdot \frac{W_1}{L_1}} \cdot I_{Ein} \cdot \Delta V_{TO_{1-2}} \cdot \quad (7.55)$$

Der Vorfaktor vor dem zweiten Term entspricht dem  $g_m$  der Transistoren. Aus diesen Überlegungen lässt sich schließen, dass ein kleines W/L-Verhältnis der Transistoren einen kleinen Mismatchfehler hervorruft. Anschaulich lässt sich das durch den Anstieg der Gate-Source-Spannung erklären, die den Einfluss von  $\Delta V_{TO}$  verringert. Der Einfluss von  $\Delta K'_p$  kann dagegen nur durch eine Flächenvergrößerung der Transistoren gemäß Gleichung (7.48) verringert werden.

## 8 Operationsverstärker

Ein entscheidender Funktionsblock für die Analogschaltungstechnik ist der Operationsverstärker. Er kann universell in vielen Anwendungen eingesetzt werden. In diesem Kapitel soll auf den Entwurf von Operationsverstärkern eingegangen werden.

### 8.1 Eigenschaften

Es gibt verschiedene Typen von Operationsverstärkern. Diese werden in Klassen je nach Typ des Ein- und Ausgangs unterschieden (Tabelle 8.1).

Typ	Eingang	Ausgang	Name
VV	Spannung	Spannung	OP
CV	Strom	Spannung	Transimpedanz
VC	Spannung	Strom	OTA, Transkonduktanz
CC	Strom	Strom	

Tabelle 8.1: Typen von Operationsverstärkern

Um ihre Eigenschaften gegeneinander vergleichen zu können, ist festzustellen, welche Spezifikationseigenschaften für Operationsverstärker überhaupt relevant sind. Eine entsprechende Übersicht ist in Tabelle 8.2 gegeben.

In [TieSch99] ist eine Übersicht über die diskret erhältlichen Typen der Operationsverstärker mit ihren Kenngrößen und Einsatzgebieten angegeben.

Bei integrierten Schaltungen werden größtenteils klassische OPs (VV) und OTAs (VC) verwendet. Die einen werden für klassische RC- oder SC-Schaltungstechnik eingesetzt, die anderen für gmC-Filter.

### 8.2 Struktur und Dimensionierung

Ein Operationsverstärker besteht aus einer differentiellen Eingangsstufe, eventuell einer Zwischenstufe und einer Ausgangsstufe. Die Stufen sind häufig noch durch eine Kompensation verbunden. Außerdem ist ein Bias-Netzwerk erforderlich.

Die erste Stufe ist immer eine Differenzstufe, die eine definierte Verstärkung liefert. Sind die Anforderungen an die Verstärkung höher, ist der Pegel am Ausgang nicht passend oder sind andere Spezifikationsgrößen nicht eingehalten, so müssen weitere Stufen eingebaut werden. Dies wird in den folgenden Kapiteln erläutert.

OP - OTA      Der Unterschied zwischen einem OP und einem OTA besteht in der Art

Name	Symbol	Typ. Werte
Versorgungsspannung	$V_{DD}$	5 V
Differenzverstärkung	$A_0$	$10^5$
Verstärkungs-Bandbreite-Produkt	GBW	200000 Hz
Phasenreserve	PHM	$60^\circ$
Anstiegsgeschwindigkeit (Slew Rate)	SR	0,1 V/ $\mu$ s
Gleichtaktunterdrückung	CMRR	60 dB
Versorgungsspannungsunterdrückung	PSRR	60 dB
Offsetspannung	$U_{offset}$	1 mV
Offsetspannungsdrift	$\frac{\partial U_{offset}}{\partial T}$	1 $\mu$ V/K
Eingangsruhestrom	$I_0$	0 .. 50 nA
Offsetstrom	$I_{offset}$	1/10 $I_0$
Offsetstromdrift	$\frac{\partial I_{offset}}{\partial T}$	1 $\mu$ A/K
Aussteuerbarkeit von Eingangsspannung/-strom		+/- 2 V +/- 0.1 mA
Differentieller Eingangswiderstand	$r_{Ein}$	1 M $\Omega$
Differentieller Ausgangswiderstand	$r_{Aus}$	100 $\Omega$
Aussteuerbarkeit von Ausgangsspannung/-strom		+/- 2 V +/- 100 mA
Bezogene Eingangsrauschspannung	$\sqrt{dv_e^2}$	20 $\frac{nV}{\sqrt{Hz}}$
Bezogener Eingangsrauschstrom	$\sqrt{di_e^2}$	1 $\frac{pA}{\sqrt{Hz}}$
Maximale kapazitive Last	$C_L$	5 pF

Tabelle 8.2: Spezifikationsgrößen eines Operationsverstärkers

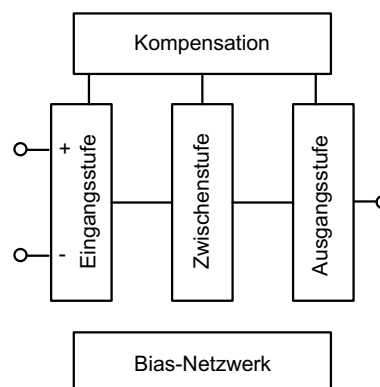


Bild 8.1: Prinzipieller Aufbau eines Operationsverstärkers

des Ausgangs. Der Stromausgang eines OTAs kann wie ein Spannungsausgang betrieben werden, wenn man einen entsprechenden Lastwiderstand anschließt. Damit ist aus der Struktur der Schaltung nicht unbedingt sofort ersichtlich, ob es sich um einen OP oder einen OTA handelt. Liegt jedoch eine fest definierte Stromverstärkung vor und wird dieser Strom auch im

Betrieb durch eine niederohmige Last aufgenommen, handelt es sich um einen OTA.

**Komparator** Ein Komparator ist ein Operationsverstärker ohne Frequenzgangkompensation, der deshalb auch nicht rückgekoppelt, sondern immer nur offen zum Vergleichen zweier Signale verwendet werden darf. Andernfalls kann die entstehende Schaltung instabil werden. Der Komparator weist eine ähnlich hohe Verstärkung wie ein Operationsverstärker auf.

### 8.2.1 Eingangsstufe

Die Eingangsstufe kann mit zwei oder auch mehreren Transistoren ausgeführt sein. In Bild 8.2 ist ein einfacher CMOS-OTA mit Stromspiegel als Last des Differenzpaares dargestellt.

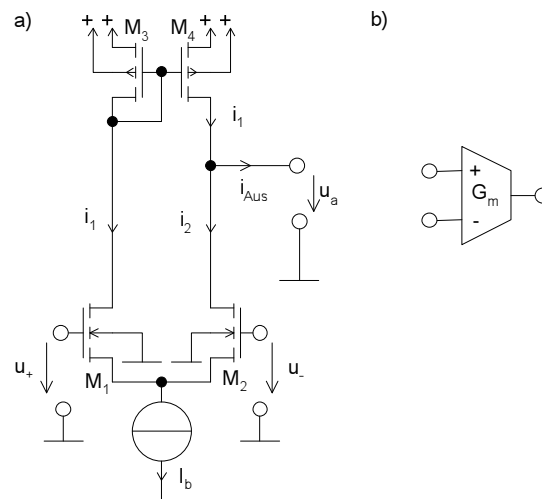


Bild 8.2: a) Einstufiger CMOS-OTA, b) zugehöriges ESB

Der Strom  $i_1$ , der sich zu  $i_1 = \frac{1}{2}g_{m1} \cdot (u_+ - u_-)$  berechnet, fließt über den Stromspiegel  $M_3$ ,  $M_4$  zum Ausgang.  $i_2$  bestimmt sich zu  $i_2 = -\frac{1}{2}g_{m2} \cdot (u_+ - u_-)$ , so dass der Ausgangsstrom sich bei gleichen  $g_{ms}$  der Transistoren  $M_1$  und  $M_2$  aus der Differenz von  $i_1$  und  $i_2$  zu

$$i_{aus} = g_m \cdot (u_+ - u_-) \quad (8.1)$$

ergibt. Daraus lässt sich die Transkonduktanz des OTAs ablesen. Sie ist so groß wie das  $g_m$  der Differenztransistoren. Wird der OTA als OP betrieben, das heißt, es ist keine niederohmige Last angeschlossen und die Spannungsverstärkung ist von Bedeutung, so wirken die beiden Ausgangswiderstände der Ausgangstransistoren  $M_2$  und  $M_4$  als Lastwiderstand, so dass sich eine Spannungsverstärkung von

$$A_U = \frac{i_{out} \cdot R_{Last}}{u_+ - u_-} = g_m \cdot r_{DS2} \parallel r_{DS4} \quad (8.2)$$



ergibt.

DC-Charakteristik

Die abgeleiteten Gleichungen lassen auf ein ideales Verhalten schließen. Betrachtet man jedoch die DC-Transfercharakteristik der Schaltung, erkennt man gleich mehrere Nachteile. In Bild 8.3 und Bild 8.4 ist der OTA mit Lastwiderstand simuliert worden.

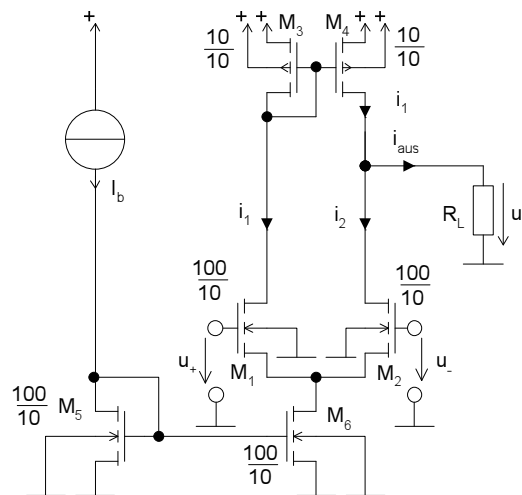


Bild 8.3: OTA mit BIAS und Last

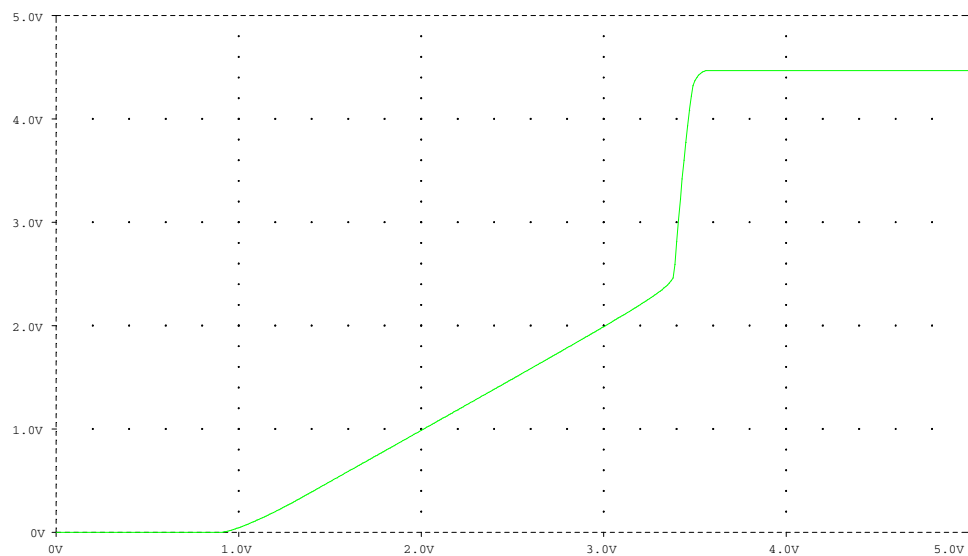


Bild 8.4: Ausgangsspannungsverlauf über einer Eingangsspannung von 0..5 V

Der aktive Bereich der Kennlinie, der dem aktiven OTA-Betrieb entspricht, befindet sich im Bereich von  $u_+ = 3,4 \text{ V} \dots 3,5 \text{ V}$ . Die Kennlinie ist also nach oben und unten begrenzt, da die Transistoren durch zu kleine Drain-Source-Spannungen aus dem Sättigungsbereich in den linearen Bereich kommen (für 3.4 V:  $M_2$ , für 3.5 V:  $M_4$ ). Man kann also nur ein kleines Fenster der

Ausgangsspannung innerhalb der Versorgungsspannungsgrenzen für einen annähernd linearen Betrieb nutzen (hier 2,2 V bis 4,4 V). Außerdem ist die Kennlinie durch einen Offset nach rechts verschoben, der durch den nötigen Ruhestrom im Widerstand erzeugt wird. Aber auch im annähernd linearen, aktiven Bereich gibt es nichtlineare Verzerrungen, die besonders bei nicht rückgekoppeltem Betrieb (wie bei gmC-Filtern) berücksichtigt werden müssen.

### 8.2.2 Zweistufiger OP

Durch eine zweite Stufe können diese Nachteile verringert werden. In Bild 8.5 ist der OTA aus Bild 8.3 mit einer zweiten Stufe, bestehend aus dem als Stromquelle wirkenden Transistor  $M_8$  und dem in Sourceschaltung wirkenden Transistor  $M_7$ , dargestellt. Durch diese Sourceschaltung ist der Ausgangsstrom nicht mehr proportional zum Eingangsstrom, so dass nun kein OTA mehr vorliegt sondern ein OP mit hoher Spannungsverstärkung.

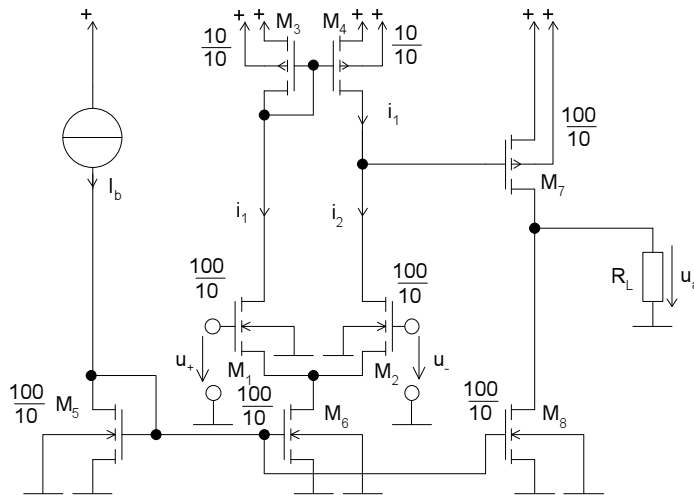


Bild 8.5: Zweistufiger Operationsverstärker mit Bias-Schaltung

DC Die DC-Kennwerte der Schaltung haben sich - wie in Bild 8.6 zu sehen - wesentlich verbessert. Die Ausgangsspannung überstreicht fast die komplette Versorgungsspannung. Der Offset ist durch den weiteren Ausgangstransistor und die höhere Verstärkung stark verringert worden.

Symbolische Analyse Folgende Größen wurden bei einer symbolischen Analyse der Schaltung errechnet.

Verstärkung Die Stufen können vereinfachend unabhängig voneinander betrachtet werden. Damit ergibt sich eine Verstärkung von

$$A_U = g_{m1} \cdot (r_{DS2} \parallel r_{DS4}) \cdot g_{m7} \cdot r_{DS7} \tag{8.3}$$

$$= 6,03 \cdot 10^6 .$$

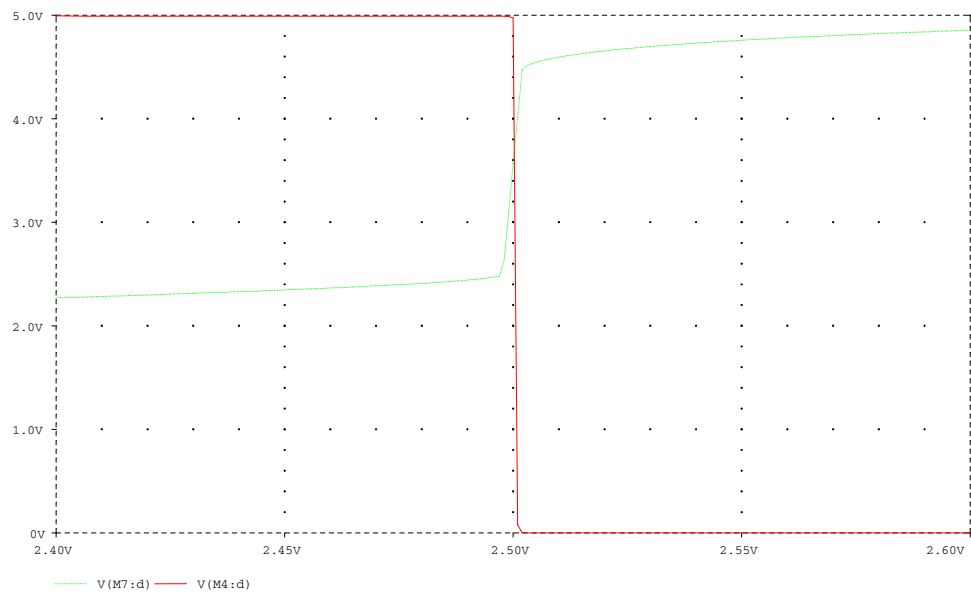


Bild 8.6: Zugehörige DC-Simulation der Spannung am Drain von  $M_4$  und  $M_7$

Pole und  
Nullstellen

Die Pole und Nullstellen ergeben sich zu

$$n1 = -\frac{g_{m2}}{C_{GS2}} \quad (8.4)$$

$$p1 = -\frac{r_{DS2} + r_{DS4}}{C_{GD7} \cdot r_{DS2} \cdot r_{DS4} \cdot g_{m7} \cdot r_{DS7}} \quad (8.5)$$

$$p2 = -\frac{C_{GD7} \cdot g_{m7}}{C_L \cdot C_{GS7}} \quad (8.6)$$

$$f_{n1} = +6,0414 \cdot 10^7 \text{ Hz} \quad (8.7)$$

$$f_{p1} = -174,09 \text{ Hz} \quad (8.8)$$

$$f_{p2} = -137491,4 \text{ Hz} \quad (8.9)$$

$$f_{p3} = -7,3719 \cdot 10^7 \text{ Hz} . \quad (8.10)$$

Transitfrequenz Die Transitfrequenz  $f_T$  lässt sich zu

$$\begin{aligned} f_T &= \frac{\sqrt{C_{GD7} \cdot C_L \cdot g_{m7} \cdot g_{m2}}}{2\pi \cdot C_L \cdot g_{m7}} \\ &= 1,40 \cdot 10^7 \text{ Hz} \end{aligned} \quad (8.11)$$

bestimmen.

Phasenreserve Die Phasenreserve berechnet sich zu

$$PHM = \arctan \left( \frac{\sqrt{C_{GS7} \cdot C_L \cdot g_{m7} \cdot g_{m2} \cdot C_{GS4}}}{C_{GS7} \cdot C_L \cdot g_{m4}} \right) - \pi \quad (8.12)$$

$$= -2.4.$$

Allerdings unterscheidet sich die symbolische Näherung etwas stärker von der numerisch exakten Lösung, die in diesem Fall  $-20,5^\circ$  beträgt, also noch instabiler ist.

Überschlagsmäßig kann folgendermaßen abgeschätzt werden, ob die Phasenreserve negativ(instabil) oder positiv (stabil) ist:

- Es müssen mindestens 3 Pole vorhanden sein. Weisen der 2. Pol und der 3. Pol (oder die 1. Nullstelle rechts) eine niedrigere Frequenz auf als die Transitfrequenz  $f_T$ , wie in Bild 8.7, so dreht die Phase zuerst auf mehr als  $-180^\circ$ , bevor der Betrag die 1 erreicht. Damit ist die Phasenreserve auf jeden Fall negativ.
- Liegt der 2. Pol ( und auch die 1. Nullstelle) bei höheren Frequenzen im Vergleich zur Transitfrequenz, so ist die Phasenreserve positiv und damit das rückgekoppelte System stabil.

Frequenzgang Der Frequenzgang des OPs ist in Bild 8.7 wieder gegeben. Er zeigt das den Kennwerten entsprechende Verhalten mit sehr schlechter - weil positiver-Phasenreserve.

### 8.2.2.1 Kompensation

Da ein Operationsverstärker häufig mit einer Rückkopplung betrieben wird, muss er einen Frequenzgang aufweisen, der auch bei ungünstiger Rückkopplung noch zu einem stabilen Verhalten führt. Den Frequenzgang so zu verändern, dass der rückgekoppelte Operationsverstärker stabil bleibt, nennt man Kompensation des Operationsverstärkers. Ist der rückgekoppelte Verstärker instabil, so wird die Ausgangsspannung bei einem reellen positiven Pol entweder gegen eine Versorgungsspannung laufen oder bei einem konjugiert komplexen positiven Polpaar schwingen.

Phasenreserve Die Phasenreserve ist definiert zu (siehe Abschnitt 7.3.1)

$$PHM = \varphi(V(s))|_{|V(s)|=1} + 180^\circ. \quad (8.13)$$

Je größer die Phasenreserve ist, desto weniger neigt der rückgekoppelte OP zum Schwingen. Eine Daumenregel besagt, dass zumindest eine Phasenreserve von  $45^\circ$  vorhanden sein sollte.

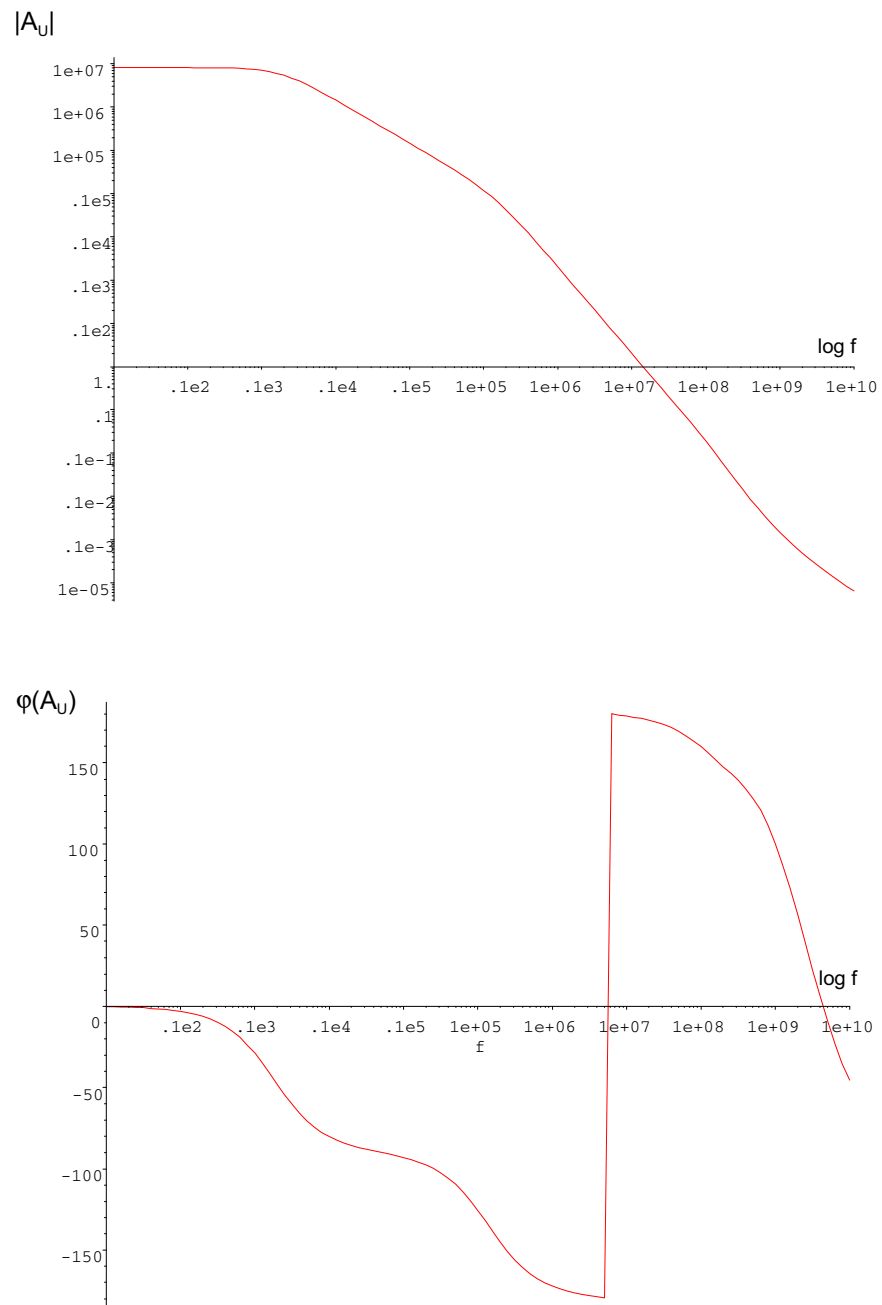


Bild 8.7: Frequenzgang des zweistufigen unkompensierten OPs

Um die Kompensation durchzuführen, müssen der Frequenzgang und damit die Pol- und Nullstellenlagen verändert werden. Dies kann durch Ändern der W/L-Verhältnisse geschehen oder durch Hinzufügen zusätzlicher Schaltungselemente.

#### Miller-kompensation

Die Millerkompensation fügt am Ausgangstransistor eine Millerkapazität oder eine Kapazität in Reihe mit einem Widerstand ein. Letzterer dient dazu, den parasitären Hochpass, der durch die Millerkapazität entsteht, in seinen Auswirkungen zu dämpfen. Hier wurde eine Kapazität mit  $C_K = 2\text{pF}$

gewählt.

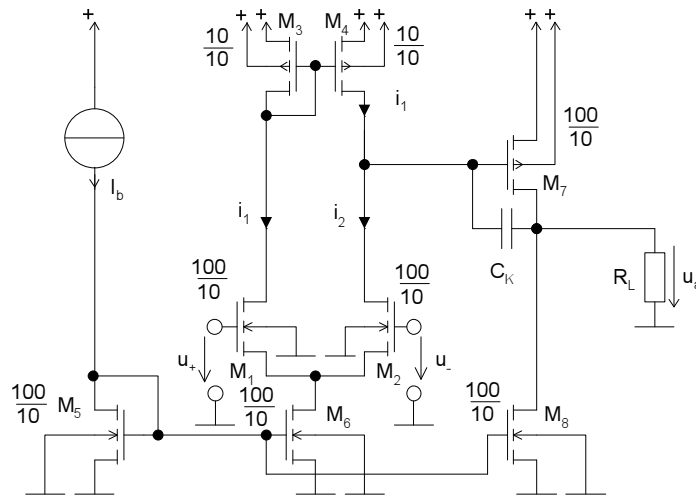


Bild 8.8: Mit der Miller-Kompensationskapazität  $C_K$  kompensierter zwei-stufiger Operationsverstärker

### Beispiel

Man kann für den zweistufigen OP aus Bild 8.5 mit Hilfe der symbolischen Analyse einen Ausdruck für die Phasenreserve gewinnen (auch eine direkte Betrachtung der jetzt vorliegenden Netzwerkgleichungen führt zu entsprechenden Beziehungen).

$$n_1 = \frac{g_{m7}}{C_K} \quad (8.14)$$

$$p_1 = \frac{r_{DS4} + r_{DS2}}{C_K \cdot g_{m7} \cdot r_{DS7} \cdot r_{DS4} \cdot r_{DS2}} \quad (8.15)$$

$$p_2 = \frac{C_K \cdot g_{m7}}{C_L (C_{GS7} + C_K)} \quad (8.16)$$

$$f_T = \frac{\sqrt{g_{m7} \cdot g_{m1} \cdot C_K \cdot C_L}}{2\pi \cdot C_K \cdot C_L} \quad (8.17)$$

$$PHM = -\arctan\left(\frac{g_{m1} \cdot C_L + g_{m7}^2 \cdot C_K}{g_{m1} \cdot g_{m7} \cdot C_L}\right) \quad (8.18)$$

Numerisch ergibt das für diese Beispiele

$$f_{n1} = +1,95859 \cdot 10^7 \text{ Hz} \quad (8.19)$$

$$f_{p1} = -0,9827 \text{ Hz} \quad (8.20)$$

$$f_{p2} = -3,303 \cdot 10^6 \text{ Hz} \quad (8.21)$$

$$f_{p3} = -7,372 \cdot 10^7 \text{ Hz} \quad (8.22)$$

$$f_T = 5,587 \cdot 10^6 \text{ Hz} \quad (8.23)$$

$$PHM = 18^\circ. \quad (8.24)$$

Man erkennt, dass sich auch die Pole verschoben haben. Insbesondere ist der betragskleinste Pol von der Kompensationskapazität abhängig. Man erhält einen Effekt wie beim Polsplitting. Der betragskleinere Pol verschiebt sich zu kleineren Werten, während der größere zu höheren Frequenzen wandert. Damit erreicht man die gewünschte Verschiebung des Frequenz- und Phasenganges (siehe Bild 8.9).

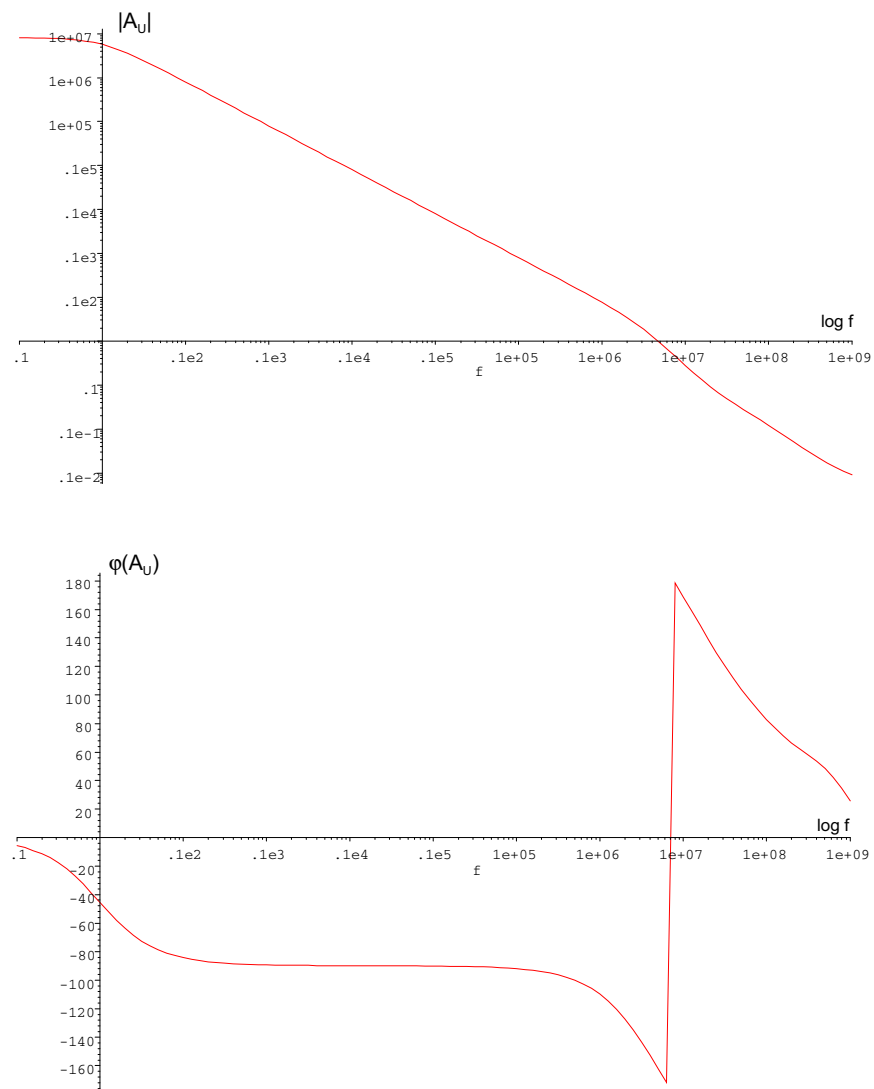


Bild 8.9: Betrags- und Phasengang des kompensierten OPs

Allerdings haben sich nun auch die 1. Grenzfrequenz und die Bandbreite nach unten verschoben, so dass der Operationsverstärker für hohe Frequenzen schlechter zu verwenden ist.

RC-Kompensation

Die Kompensationskapazität erzeugt eine Nullstelle auf der rechten Seite, die die Phase zusätzlich in den negativen Bereich dreht und so eventuell den gewünschten Effekt einer hohen Phasenreserve behindert. Dieser Effekt kann vermindert werden, indem man einen gegenüber den Ausgangs-

widerständen  $r_{DS1}$ ,  $r_{DS3}$  und  $r_{DS7}$  kleinen Widerstand in Reihe mit der Kompensationskapazität  $C_K$  schaltet. Damit kann die Nullstelle auf der rechten Seite so eingestellt werden, dass sie bei sehr hohen Frequenzen liegt oder sogar auf die linke s-Halbebene wandert, wo sie positive Eigenschaften auf den Phasengang haben kann. Auch hier ist eine ausführliche symbolische Analyse angebracht.

Analyse des geschlossenen Kreises

Möchte man den Operationsverstärker und dessen Kompensation spezieller auf die Anwendung auslegen und an die Gegebenheiten der Rückkopplungen direkt anpassen, so sollte man eine Analyse des geschlossenen Systems durchführen. Dann lassen sich auch die Pollagen direkt auf Stabilität überprüfen. Es sind sogar Ortskurven der Pole in Abhängigkeit von der Kompensationskapazität möglich. Für das obige Beispiel ergibt sich bei direkter Rückkopplung auf den negativen Eingang das in Bild 8.10 dargestellte Pol-Nullstellendiagramm.

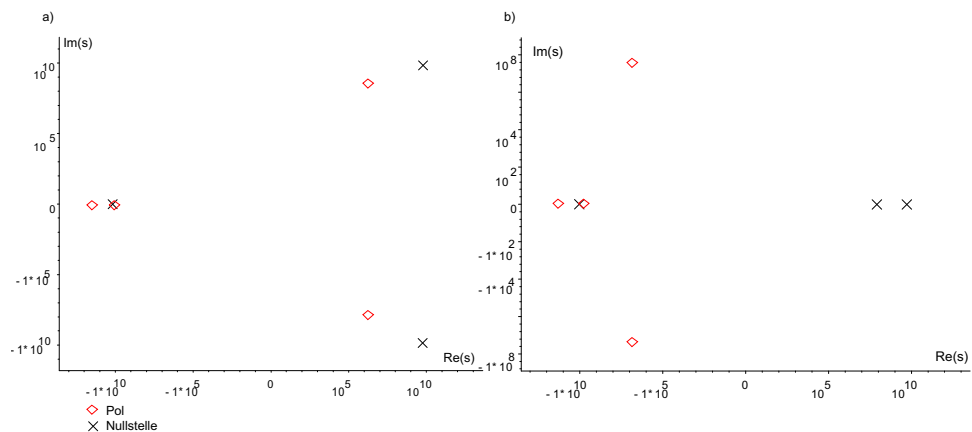


Bild 8.10: Pol-, Nullstellendiagramm a) ohne b) mit Kompensationskapazität für den direkt zurückgekoppelten OP

Generell gilt, dass bei positiven Polen ein instabiles System vorliegt. Liegen die Pole in der linken s-Halbebene, aber in der Nähe der imaginären Achse, so ist die zugehörige Schwingung nur schwach gedämpft. Das System könnte bei leichter Streuung der Parameter zum Schwingen kommen. Insofern wird versucht, die Pollagen möglichst weit in die linke s-Halbebene oder aber dicht an die reelle Achse zu verschieben. Dies kann z.B. durch Verändern der Kompensationskapazität geschehen. In unserem Beispiel ergibt die symbolische Analyse der Pollage mit Kompensation zwei konjugiert komplexe Pole bei

$$p1, p1 = \frac{\sqrt{-C_K g_{m7} (-C_K g_{m7} + 2 \cdot g_{m1} C_K + 4 \cdot C_L \cdot g_{m1})} + \dots}{C_K \cdot C_L} + \frac{g_{m1} C_K - C_K g_{m7}}{\dots} \quad (8.25)$$



Das bedeutet, dass der Realteil des Pols von dem Verhältnis von  $g_{m7}$  zu  $g_{m1}$  bestimmt wird. Wird die Verstärkung in der Eingangsstufe zu groß, so wird der Pol positiv und das System instabil.

### 8.2.3 Zweistufiger OTA

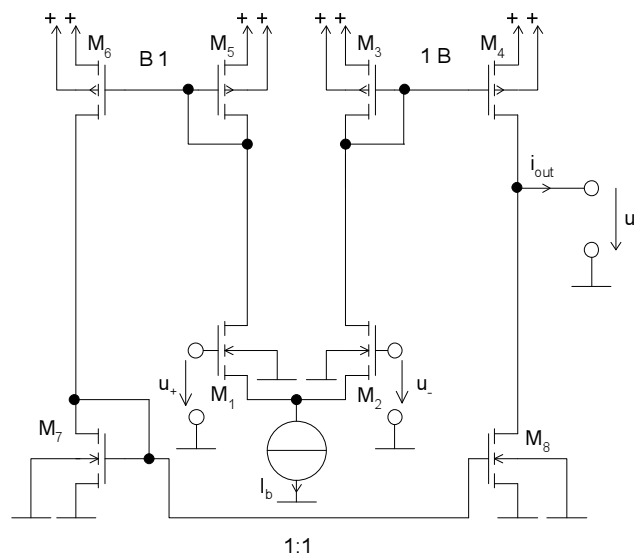


Bild 8.11: Zweistufiger OTA

Auch einen OTA kann man zweistufig bauen. Dazu muss allerdings für die Proportionalität des Stromes am Ausgang gesorgt werden. In Bild 8.11 ist ein solcher zweistufiger OTA dargestellt. Er weist die Stromspiegelverhältnisse 1:B auf. Die Ströme des Differenzpaares werden jeweils mit dem Faktor B verstärkt zu den Transistoren  $M_4$  und  $M_6$  gespiegelt. Der Strom von  $M_6$  wird dann über  $M_7$  und  $M_8$  negativ zum Ausgang gespiegelt, so dass sich wie beim einfachen OTA eine Subtraktion der Ströme am Ausgang ergibt.

Steilheit Die gesamte Steilheit des zweistufigen OTAs berechnet sich zu

$$G_m = g_m \cdot B. \quad (8.26)$$

### 8.2.4 Ausgangsstufe

Ist die Treiberfähigkeit der zweiten Stufe nicht groß genug, so dass große Lastkapazitäten nicht schnell genug umgeladen werden können (Slew Rate niedrig), kann hinter die zweite Stufe, die als Verstärkungs- und Kompensationsstufe dient, eine dritte Stufe geschaltet werden. Hier gibt es sehr viele Varianten. Z.B. sind die Endstufen aus Abschnitt 6.7 denkbar. Ein Beispiel dazu ist in Bild 8.12 gezeigt.

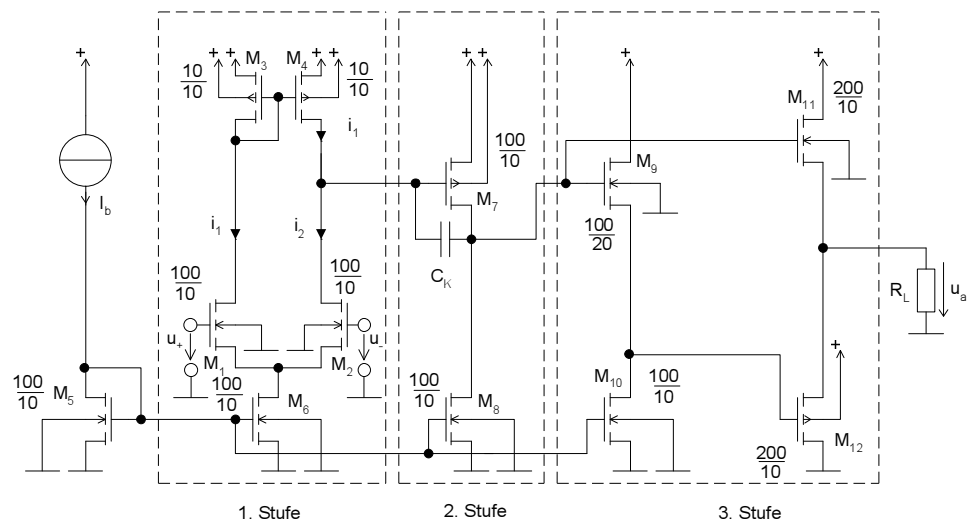


Bild 8.12: Dreistufiger OP

Die dritte Stufe besteht aus einem DC-Level Shifter  $M_9$  und dessen Bias-Stromquelle  $M_{10}$ . Der Ausgang wird dann durch die Gegentaktendstufe mit den Transistoren  $M_{11}$  und  $M_{12}$  im AB-Betrieb angesteuert.

### 8.2.5 Verhaltensmodell

Da ein Operationsverstärker aus relativ vielen Transistoren besteht und das Verhalten gut bekannt und beschrieben ist, bietet sich die Verhaltensmodellierung von Operationsverstärkern an. Historisch gesehen gibt es schon sehr lange Modelle für Operationsverstärker, allerdings hauptsächlich SPICE-Makromodelle. Diese wurden von den Halbleiterherstellern zu ihren OPs mitgeliefert.

Hier soll ein Verhaltensmodell, welches weit über die in Kapitel 4 vorgestellten Modelle hinausgeht, beschrieben werden. Es lässt sich in Simulationen mit äußeren Beschaltungen einsetzen und verspricht eine wesentliche Beschleunigung der Simulation. Es kann mit dem Grundwissen über den Aufbau von Operationsverstärkern entworfen werden.

#### Kopf

Zunächst ist der Kopf des Operationsverstärkers zu deklarieren. Die Parameter werden als generics mit deklariert.

#### Slew-Rate-Modellierung

Die Slew-Rate Modellierung lässt sich aus der Überlegung zur Umladung der Kompensationskapazität bei einem zweistufigen OP herleiten. Bei der Antwort auf einen Sprung am Eingang muss die Kompensationskapazität durch den Strom der Eingangsstufe, der maximal  $I_{\text{bias}}$  sein kann, vollständig umgeladen werden, da der Ausgang einen entsprechenden Sprung ausführen soll.

$$\omega_1 = -\frac{g_m}{C_K} \quad (8.27)$$

$$SR = \frac{I_{\max}}{C_K} \quad (8.28)$$

$$\Rightarrow I_{\max} = SR \cdot C_K = SR \cdot \frac{g_m}{-\omega_1} \quad (8.29)$$

Aus diesem Grund wird der Strom  $i_{z1}$  auf  $I_{\max}$  begrenzt. Dies ist in der Gleichung für  $i_{z1}$  durch einen tanh geschehen.

**Begrenzung des Ausgangs** Die Gleichungen zum Laden der Kompensationskapazität des ersten Pols und der Begrenzung der Ausgangsspannung lassen sich auch strukturell darstellen (siehe Bild 8.14). Damit ist die Funktion bzw. die Nachbildung der Funktion eines kompensierten OPs deutlicher ersichtlich.

Die Gleichungen für den zweiten Pol und den Ein- und Ausgangswiderstand sind direkt implementiert. Um das Verhaltensmodell zu betreiben, müssen die Parameter, d.h. auch die Pole, bekannt sein. Diese lassen sich in der Regel aus den Frequenzgängen und anderen Informationen in einem Datenblatt oder aus Simulationen extrahieren.

**Simulation** Eine Simulation des oben angegebenen Modells liefert die in Bild 8.15 und Bild 8.16 wiedergegebenen Ergebnisse.

```

library disciplines,IEEE;
use disciplines.Electromagnetic_system.all;
use IEEE.math_real.all;
entity opamp is
    -- Deklaration eines
    -- Operationsverstaerkers
    generic (
    -- Parameter:
        Rin : real := 1.0e7;
    -- Eingangswiderstand
        Rout : real := 100.0;
    -- Ausgangswiderstand
        Vnull : real := 1.0e5;
    -- Verstaerkung
        w1 : real := -2.0*math_pi
    -- Grenzkreisfrequenz
        *10.0;
    -- vom 1.Pol
        w2 : real := -2.0*math_pi
    -- Grenzkreisfrequenz
        *1000.0;
    -- vom 2.Pol
        Voff: real := 0.0;
    -- Offsetspannung bezogen
    -- auf den Ausgang
        Vmax: real := 10.0;
    -- Maximale Ausgangs-
    -- spannung
        SR : real := 10.0e6);
    -- Slewrate
    port (terminal inplus,
    -- ...mit 3 Anschluessen.
        inminus,
    output:electrical);
end opamp;

architecture behave of opamp is
    constant gm :
        real := 60.0e-6;
    -- Annahme eines gm's der
    -- Eingangsstufentransistoren.
    -- Dieses gm kuerzt sich aus
    -- dem Verhalten wieder heraus
    constant imax : real :=
        gm*Sr/(-w1);
    -- Maximal-Strom der
    -- Eingangsstufe
    -- bestimmt durch Slewrate
    -- und Offsetspannung
    quantity iz1 : real;
    -- Begrenzter Strom der
    -- Eingangsstufe
    quantity uz1 : real;
    -- Spannung in der
    -- Eingangsstufe vor der
    -- Kompensationskapazitaet
    quantity uza : real;
    -- Spannung nach der
    -- Kompensationskapazitaet und
    -- der Eingangs/Gainstufe
    quantity uout : real;
    -- Ausgangsspannung nach
    -- 2. Pol
    quantity voltage_input across current_input
        through inplus to inminus;
    quantity voltage_output across current_output
        through output to electrical_ground;

```

```

begin
  iz1 == imax*tanh(gm/imax*(voltage_input+Voff/Vnull));
                                     -- Begrenzung des Stroms der
                                     -- Eingangsstufe wegen Slew-
                                     -- rate und Offsetspannung
  gm*uz1 == iz1-(uza'dot-uz1'dot)*gm/(Vnull*(-w1));
                                     -- Modellierung der
                                     -- Kompensationskapazitaet
                                     -- ( 1. Grenzfrequenz)
                                     -- Begrenzung am Ausgang und
                                     -- Saettigung der
                                     -- Kompensationskapazitaet

  if ( Vnull*uz1 > Vmax ) use
    uza == Vmax*(1.0+(1.0E-6)*Vnull*uz1);
                                     -- Oben abschneiden, kleine
                                     -- Steigung

  elsif ( Vnull*uz1 < -Vmax ) use
    uza == -Vmax*(1.0-(1.0E-6)*Vnull*uz1);
                                     -- Unten abschneiden, kleine
                                     -- Steigung

  else
    uza == Vnull*uz1;                -- In der Mitte durchlassen
  end use;

  -- uza == Vmax*tanh(Vnull*uz1/Vmax);
                                     -- waere eine alternative
                                     -- Formulierung, womit man
                                     -- die abschnittsweise
                                     -- Formulierung umgeht.
  uout == - (1.0/(-w2))*uout'dot+ uza;
                                     -- Modellierung des 2. Pols
                                     -- und einer Spannungsquelle
                                     -- am Ausgang
  voltage_output == uout + Rout * current_output;
  current_input == voltage_input/Rin;
                                     -- Eingangswiderstand und
                                     -- -strom

end behave;

```

Bild 8.13: Verhaltensmodell eines Operationsverstärkers mit endlicher Verstärkung und Ausgangswiderstand

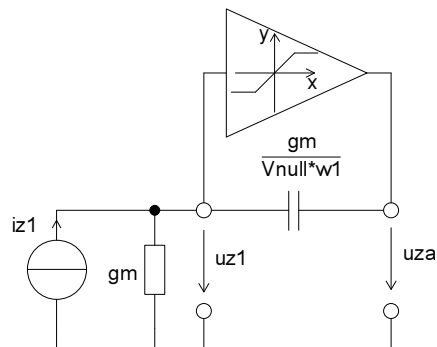


Bild 8.14: ESB der Eingangs/Gainstufe des Verhaltensmodells

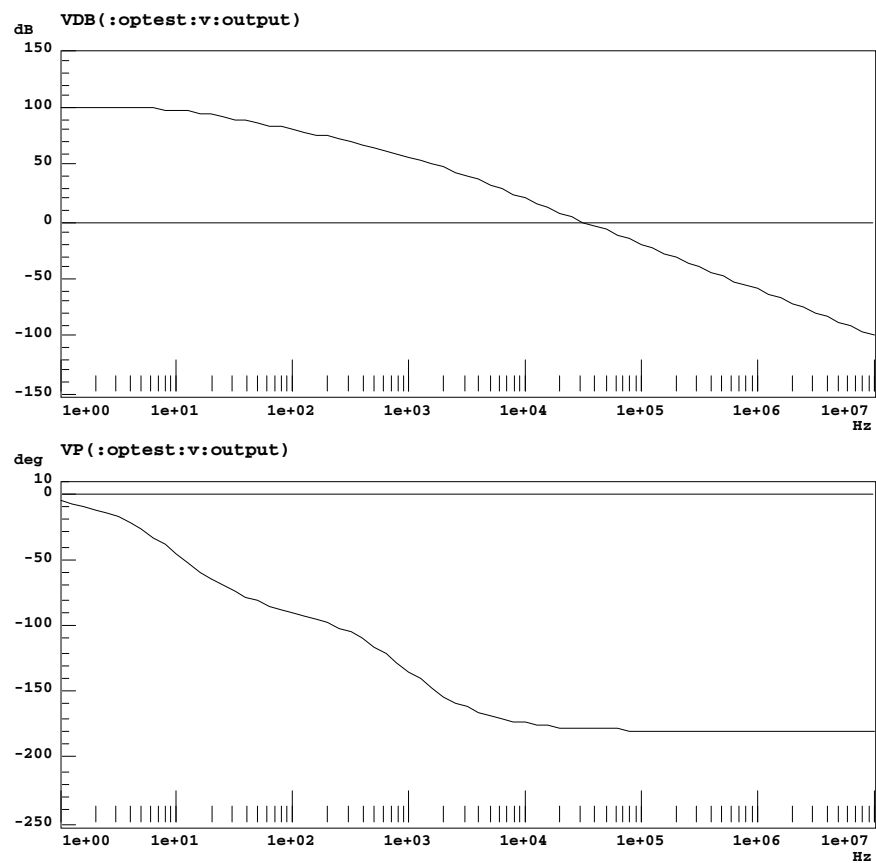


Bild 8.15: AC-Simulation des Operationsverstärker-Verhaltensmodells

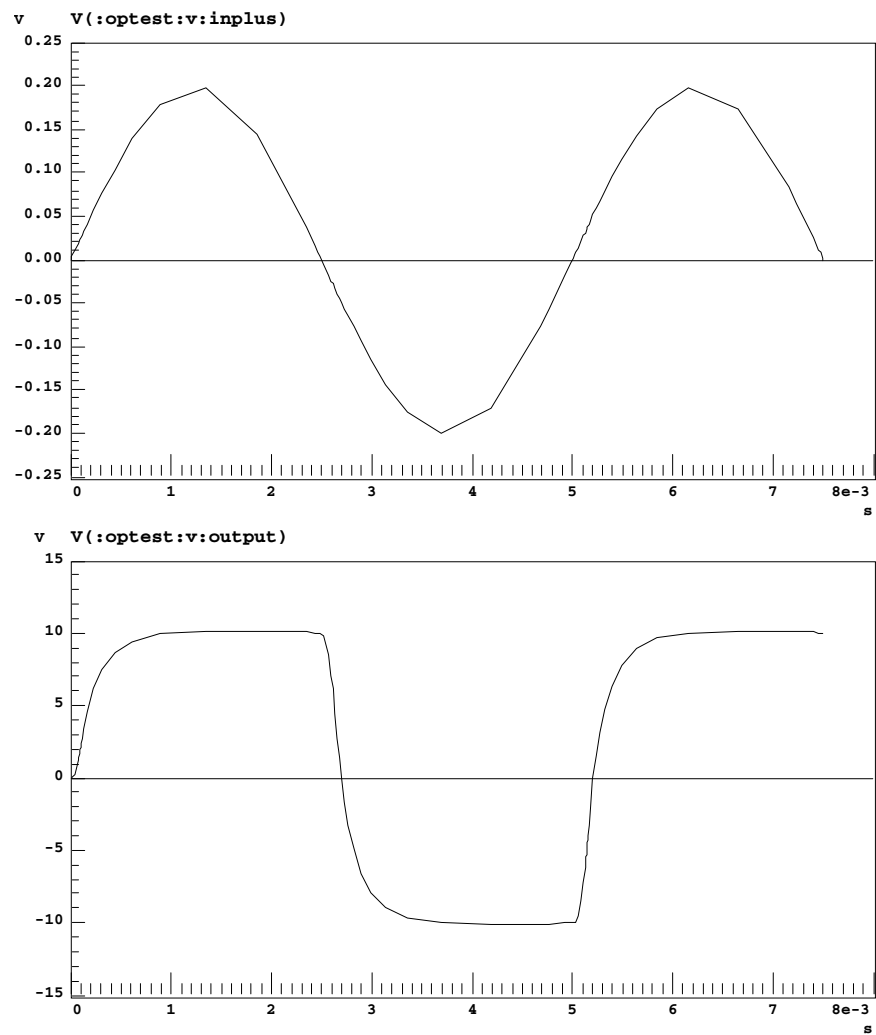


Bild 8.16: Transienten-Simulation des Operationsverstärker Verhaltensmodells mit Ein- und Ausgangsspannung des offenen OPs

## 9 Lineare Schaltungen

Als lineare Schaltungen bezeichnet man Schaltungen, die lineare, zeitinvariante Systeme realisieren. Das können z.B. Tiefpässe, Bandpässe, Allpässe usw. sein. Die Schaltungen sind in der Regel aus nichtlinearen Elementen aufgebaut, die in ihrer Verschaltung und in einem zulässigen Betriebsbereich ein nahezu lineares System bilden. Die Abweichungen vom idealen Verhalten sind hier unerwünscht und werden oft umgekehrt als Maß der Güte in den Spezifikationen verwendet.

### 9.1 Integrator, Addierer

**OP** Hier sollen die wesentlichen Grundsaltungen mit Operationsverstärkern dargestellt werden. Sie lassen sich ausschließlich durch die Betrachtung der Rückkopplung berechnen. Dazu kann der Operationsverstärker als ideal, also mit unendlicher Verstärkung und ohne Eingangsstrom betrachtet werden. In diesem Fall wird die Differenzeingangsspannung für eine negative Rückkopplung immer Null.

Die Schaltungstechnik von SC-Filtern ist strukturell zu der mit OPs identisch, so dass die entsprechenden Strukturen nicht mit aufgeführt werden. Man muss lediglich die Widerstände durch Kapazität mit gesteuerten Schaltern ersetzen. Näheres wird in Abschnitt 9.3 beschrieben.

**OTA** Parallel zu den Schaltungen mit OP sind hier soweit möglich die jeweiligen Schaltungen mit einem OTA aufgeführt, da sie sich strukturell etwas von den Operationsverstärkerschaltungen unterscheiden. Die allgemeine Schaltungstechnik mit OTAs wird in Abschnitt 9.4 genauer erläutert. Die Grundlagen zum OTA stehen in Kapitel 8.

**Addierer** Zunächst ist in Bild 9.1 ein einfacher Addierer mit mehreren Eingängen dargestellt.

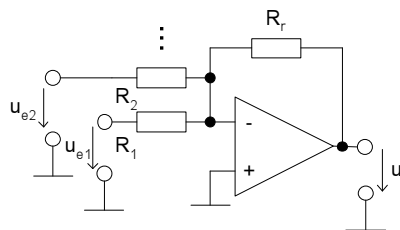


Bild 9.1: Addierer-Schaltung mit OP

Die Spannungsübertragungsfunktion ergibt sich für den idealen OP zu

$$-u_a = \frac{R_r}{R_1} \cdot u_{e1} + \frac{R_r}{R_2} \cdot u_{e2} + \dots \quad (9.1)$$



Die Addierer-Schaltung invertiert, so dass man einen weiteren invertierenden Addierer nachschalten muss, um einen positiven Addierer zu erhalten. Mit dem OTA ist keine einfache Addierer-Schaltung möglich. Man kann aber die OTA-Subtrahierer-Schaltung mit vorgeschaltetem OTA-Inverter verwenden. Der OTA-Inverter entsteht aus OTA-Subtrahierer mit auf Masse gelegtem positiven Eingang  $u_{e1}$ .

Subtrahierer

Subtrahierer lassen sich mit einem OP oder OTA wie in Bild 9.2 aufbauen.

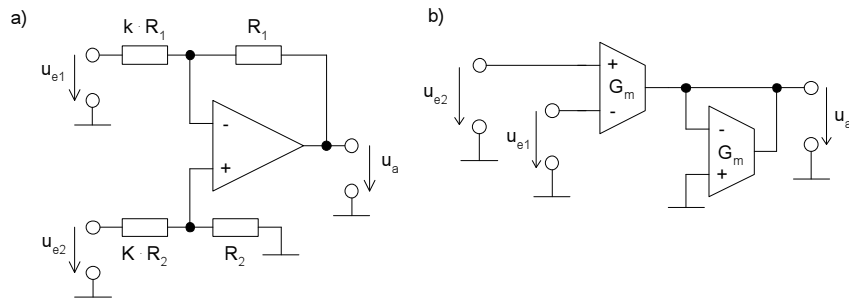


Bild 9.2: Subtrahierer-Schaltungen a) mit OP, b) mit OTA

Die Spannungsübertragungsfunktion ergibt sich für den idealen OP zu

$$u_a = \frac{1}{k}(u_{e2} - u_{e1}). \quad (9.2)$$

Für den idealen OTA erhält man

$$u_a = \frac{G_m}{G_m}(u_{e2} - u_{e1}). \quad (9.3)$$

Integrator

Eine wichtige Schaltung im Zusammenhang mit Filtern ist der ideale Integrator. Zwei Möglichkeiten, diesen zu realisieren, sind in Bild 9.3 gegeben.

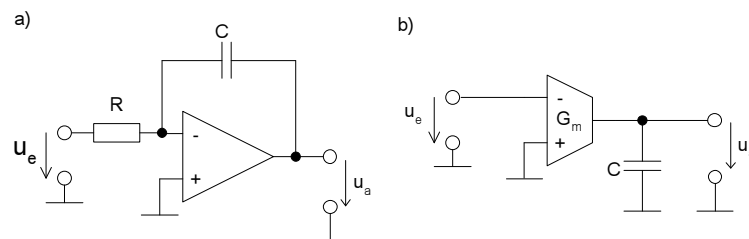


Bild 9.3: Integratoren in a) OP- b) OTA-Schaltungstechnik

Der Integrator mit dem Operationsverstärker ist ein invertierender Integrator. Dessen Ausgangsspannungsverlauf ergibt sich im Zeitbereich zu

$$u_a = -\frac{1}{R \cdot C} \cdot \int_0^t u_e(\tau) d\tau + u_a(t=0). \quad (9.4)$$

Im Frequenzbereich ergibt sich für diese idealen Verhältnisse eine ideale Übertragungsfunktion mit einem Pol bei  $p_1 = 0 \frac{1}{s}$ .

$$H(s) = \frac{U_a}{U_e} = -\frac{1}{s \cdot R \cdot C} \quad (9.5)$$

Zieht man allerdings eine endliche Verstärkung in Betracht, so ergibt sich nach Umformung der Stromgleichung eine Übertragungsfunktion, die einen Pol bei  $p_1 = \frac{1}{A_u RC}$  aufweist.

$$H(s) = \frac{U_a}{U_e} = -\frac{A_u}{1 + s \cdot R \cdot C \cdot A_u} \quad (9.6)$$

Es handelt sich also um einen Tiefpass mit sehr kleiner Grenzfrequenz und sehr großer Verstärkung. Die entsprechende ÜTF im Bode-Diagramm nähert den idealen Integrator sehr gut an.

Für sehr hohe Frequenzen ist der Kondensator nahezu ein Kurzschluss. In diesem - für die Stabilität kritischen - Fall kann über die Kompensation und die zugehörige Phasenreserve des OPs die Stabilität wie bei einer direkten elektrischen Rückkopplung sichergestellt werden.

OTA-Integrator Für den OTA ergibt sich mit der oben angegebenen Beschaltung eine ideale Übertragungsfunktion zu

$$H(s) = \frac{U_a}{U_e} = -\frac{G_m}{s \cdot C} \quad (9.7)$$

Im realen Fall entsteht unter Berücksichtigung des endlichen Ausgangswiderstands des OTAs eine Übertragungsfunktion, die sich wie folgt aus der Ausgangstromgleichung berechnen lässt.

$$U_a = G_m \cdot (-1 \cdot U_e) \cdot \left( R_{out} \parallel \frac{1}{sC} \right) \quad (9.8)$$

$$H(s) = \frac{U_a}{U_e} = -\frac{G_m}{\frac{1}{R_{out}} + s \cdot C} = -\frac{G_m \cdot R_{out}}{1 + s \cdot C \cdot R_{out}} \quad (9.9)$$

Auch hier ist eine Tiefpasscharakteristik mit hoher Verstärkung  $A = G_m \cdot R_{out}$  und einem Pol bei  $p_1 = C \cdot R_{out}$  zu erkennen.

## 9.2 Aktive Filter

Eine der wichtigsten Gruppen der analogen Schaltungen ist die Gruppe der linearen Filter. Man unterscheidet die Grundfunktionalitäten

- Tiefpass

- Hochpass
- Bandpass
- Bandsperre

Ein komplexes Filter kann einen komplizierten Frequenzgang aufweisen, in dem mehrere der oben genannten Elemente vorkommen. Weitere Einordnungsmerkmale sind:

- Ordnung:  
Die Ordnung gibt die Zahl der Pole des Filters an.
- Charakteristik:  
Die Charakteristik gibt die Form des Phasen- und Frequenzgangs an.
- Aktiv/passiv:  
Ein Filter kann aktive und passive oder nur passive Bauelemente aufweisen.
- Schaltungstechnik:  
Sie beschreibt, mit welchen aktiven/passiven Bauelementen (R, C, OP, OTA) der Filter aufgebaut wird.
- Architektur:  
Die Architektur beschreibt die Art der Realisierung der ÜTF (RC-Netzwerk, Zustandsvariablen, Biquad, ...).

### 9.2.1 Grundsätzliche Charakterisierung

Ein Filter beschreibt man mit seiner Übertragungsfunktion.

$$H(s) = \frac{U_{Aus}(s)}{U_{Ein}(s)} \quad (9.10)$$

Hochpass, Bandpass und Bandsperre lassen sich durch eine Transformation aus den Übertragungsfunktionen für einen Tiefpass herleiten. Deshalb sollen hier zunächst nur Tiefpässe beschrieben werden.

In der Regel werden Filter höherer Ordnung aus mehreren Filtern 2. Ordnung zusammengesetzt, da sich beliebige Polynome im Nenner einer ÜTF immer in die Form

$$H(s) = \frac{A_0}{\prod_i (1 + a_i s + b_i s^2)} \quad (9.11)$$

bringen lassen.

Filtercharakteristik

Die Koeffizienten für die unterschiedlichen Filtercharakteristiken

- Filter mit kritischer Dämpfung
- Besselfilter
- Butterworthfilter
- Tschebyscheffilter

und deren Eigenschaften lassen sich aus Tabellen wie z.B. in [TieSch99] entnehmen. Aus den Koeffizienten ergeben sich die Pollage, Güte und Dämpfung der einzelnen Stufen 2. Ordnung, die hintereinandergeschaltet werden. In der Regel werden die Koeffizienten auf die Grenzfrequenz  $\omega_g = 1$  normiert angegeben. Durch Ersetzen von  $s = \frac{\omega}{\omega_g}$  ergeben sich dann die nicht normierten Koeffizienten.

### 9.2.2 Tiefpass-Hochpass, Tiefpass-Bandpass und -Bandsperre Transformation

**Tiefpass-Hochpass** Aus der ÜTF für den Tiefpass lässt sich die ÜTF für einen Hochpass errechnen, in dem  $s$  durch  $1/s$  ersetzt wird. Dann ergibt sich die gleiche Grenzfrequenz, jedoch Hochpassverhalten. Durch konjugiert komplexes Erweitern kann die ÜTF wieder in rationale Form gebracht werden. Sie enthält jetzt auch Nullstellen.

**Tiefpass-Bandpass** Der Bandpass ergibt sich durch Ersetzen von  $s$  durch

$$s \rightarrow \frac{1}{\Delta\omega} \left( s + \frac{1}{s} \right). \quad (9.12)$$

Hierbei ist  $\Delta\omega = \omega_{max} - \omega_{min}$  die normierte Bandbreite des Bandpasses.

**Tiefpass-Bandsperre** Für die Bandsperre gilt entsprechend

$$s \rightarrow \frac{\Delta\omega}{\left( s + \frac{1}{s} \right)}. \quad (9.13)$$

### 9.2.3 Filter-Realisierungen

Filter können in verschiedenen Schaltungsarchitekturen entworfen werden (siehe Abschnitt 2.3.3). Hier sollen neben den RC-Schaltungen auch SC-Schaltungen und gmC-Realisierungen betrachtet werden. Filter höherer Ordnung können in der entsprechenden Technik durch

- Hintereinanderschalten von Filtern 2. Ordnung, sogenannten Bi-quads, durch
- Nachbilden von RLC-Netzwerken mittels Gyrotoren und durch
- Implementieren von Zustandsvariablen-Filtern, die die Zustandsraumdarstellungen der Filtergleichung direkt implementieren,

entwickelt werden.

Für alle drei Arten sollen hier Beispiele gegeben werden.

### 9.2.4 Biquads

Biquads oder biquadratische Filterstufen sind Hardwarerealisierungen von Filterstufen 2. Ordnung, die eine ÜTF mit 2 Polen und maximal 2 Nullstellen implementieren. Sie sind die klassischen Blöcke, aus denen größere Filterstufen aufgebaut sind. Hier sollen einige Möglichkeiten zur Realisierung von Biquads in aktiver RC-Technik aufgezeigt werden.

Die Grundschaltungen für Filter 1.Ordnung sollen hier weggelassen werden. Sie ergeben sich aus den vorzustellenden Biquad-Schaltungen durch Eliminieren des 2.Pols.

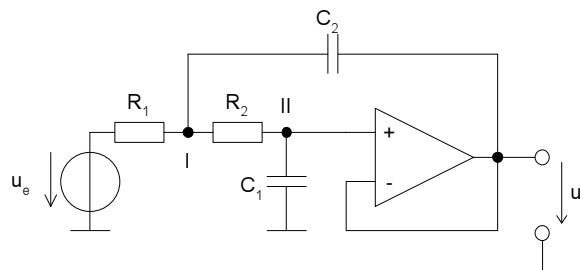


Bild 9.4: Sallen-Key-Biquad: Realisierung eines Tiefpass-Biquads

#### Tiefpass

In Bild 9.4 ist eine für integrierte Schaltungen geeignete allgemeine Realisierungsmöglichkeit eines Biquads mit Tiefpass-Charakteristik dargestellt. Dieser Tiefpass weist nur einen aktiven OP auf und realisiert zwei Pole. Er ist empfindlich gegen parasitäre Kapazitäten an den Knoten I und II. An Knoten II verschiebt sich ein entworfenener Pol, an Knoten I wird noch ein weiterer Pol hinzugefügt. Der Vorteil dieser Filterstruktur ist, dass er eine Verstärkung von  $A_U = 1 - \frac{1}{A_{OP}} \approx 1$  aufweist, die nicht von den Größen der Rs und Cs abhängt und damit auch nicht von deren Ungenauigkeiten. Sie eignet sich daher gut als Anti-Aliasing-Filter. Die ÜTF des Filters ergibt sich zu

$$H(s) = \frac{\left(1 - \frac{1}{H_{OP}(s)}\right)}{R_1 R_2 C_1 C_2 \cdot s^2 + \left(R_2 C_2 + R_1 C_2 + \frac{R_1 C_1}{H_{OP}(s)}\right) \cdot s + 1} \quad (9.14)$$

Die Werte der Bauelemente können durch Koeffizientenvergleich berechnet werden. Bei hinreichend hoher Verstärkung des OP's und solange die Grenzfrequenz weit höher als die Grenzfrequenz des gesamten Filters liegt, kann man die Terme mit der Übertragungsfunktion  $H_{OP}(s)$  in der gesamten ÜTF vernachlässigen. Andernfalls verschiebt sich im wesentlichen die DC-Verstärkung. Die Grenzfrequenz ergibt sich zu  $\omega_{TP} = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$ . Je nach

Wahl der Widerstände und Kapazitäten lassen sich unterschiedliche Filtercharakteristiken realisieren.

Hochpass

Ein Hochpass in RC-Biquad-Technik benötigt andere Rückkopplungen. Er entsteht aus dem Sallen-Key-Tiefpass durch Austauschen von  $R_s$  und  $C_s$  (Bild 9.5).

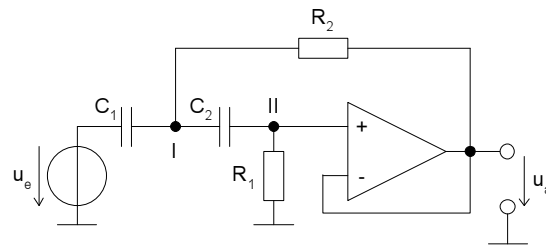


Bild 9.5: Hochpass-Biquad in RC-Technik

Die ÜTF bestimmt sich zu

$$H(s) = \frac{R_1 R_2 C_1 C_2 \cdot s^2}{\left(1 - \frac{1}{H_{OP}(s)}\right) \left(R_1 R_2 C_1 C_2 \cdot s^2 + (R_2 C_1 + R_1 C_2 + \frac{H_{OP}(s)}{H_{OP}(s)-1} \cdot R_1 C_2) \cdot s + 1\right)} \dots \quad (9.15)$$

Ein Koeffizientenvergleich liefert für hohe  $H_{OP}(s)$  eine Grenzfrequenz von  $\omega_{HP} = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$ .

Bandpass

Entsprechend lässt sich ein Bandpass entwerfen (Bild 9.6).

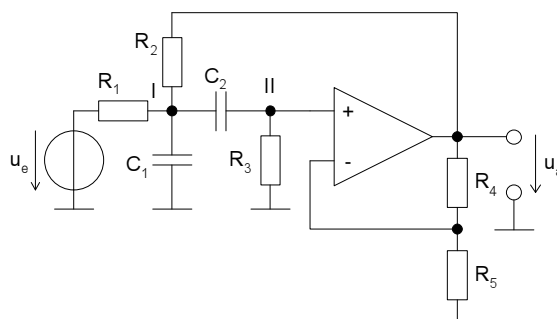


Bild 9.6: Bandpass-Biquad in RC-Technik

Die ÜTF bestimmt sich zu

$$H(s) = \frac{\alpha \cdot R_2 C_2 \cdot s}{R_1 R_2 C_1 C_2 s^2 + (C_2(R_1 R_3 + R_2 R_3 + R_1 R_2) + C_1 R_1 R_2 - \alpha C_2 R_1 R_3) \frac{s}{R_3} + \frac{R_1 + R_2}{R_3}}$$

mit  $\alpha = \frac{R_4 + R_5}{R_5}$ .

9.2.5 LRC-Netzwerke

Ist schon eine LRC-Implementierung (Induktivität, Widerstand, Kondensator) eines Filters bekannt, so kann diese auch in integrierten Schaltungen implementiert werden. Hierbei wird das schon bekannte LRC-Netzwerk durch eine Realisierung mit Operationsverstärkern nachgebildet. Die Induktivität, die sich nur mit schlechter Güte integrieren lässt, wird durch eine Gyrator-Schaltung ersetzt. Es sind so Filter mit einer Ordnung größer 2 realisierbar.

Gyrator

Der Gyrator ist eine Schaltung, mit der beliebige Impedanzen in ihre dualen umgewandelt werden können. Das Schaltsymbol, die zugehörige Funktion sind in Bild 9.7 und eine Implementierung mit OTAs ist in Bild 9.8 dargestellt.

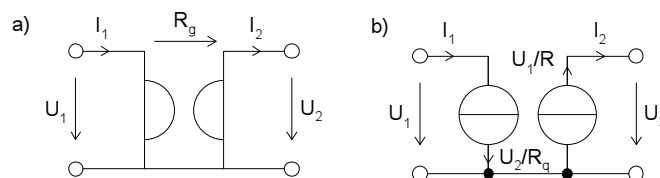


Bild 9.7: Gryator: a) Schaltsymbol, b) Aufbau mit gesteuerten Stromquellen

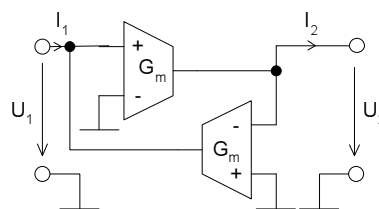


Bild 9.8: Geerdete Realisierung eines Gryators mit OTAs

Induktivität

Eine Induktivität gegen Masse lässt sich mit Hilfe eines Gyrators und einer Kapazität erzeugen (siehe Bild 9.9).

Mit Hilfe der Gleichungen für die OTAs lässt sich die Gleichung für das induktive Verhalten berechnen.

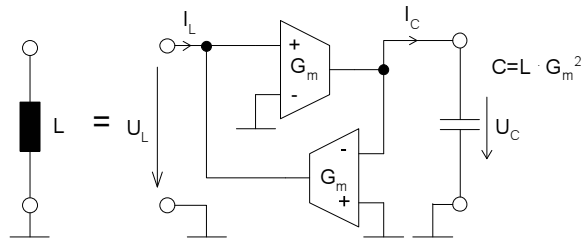


Bild 9.9: Geerdete Induktivität, erzeugt durch einen Gyrtator mit Kapazität

$$i_L = -G_m \cdot (-u_c) = G_m u_c \quad (9.17)$$

$$i_C = G_m u_L \quad (9.18)$$

$$\Rightarrow u_L = \frac{C}{G_m} \frac{\partial u_c}{\partial t} = \frac{C}{G_m^2} \frac{\partial i_L}{\partial t} \quad (9.19)$$

Eine Induktivität mit zwei offenen Anschlüssen muss mit zwei Gyrtoren nachgebildet werden (siehe Bild 9.10).

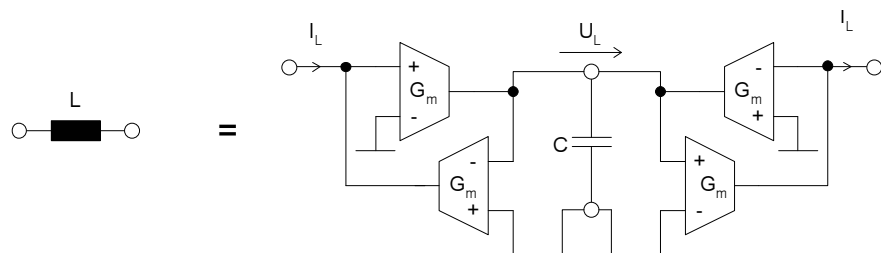


Bild 9.10: Induktivität ohne einseitige Erdung

**LRC-Bandpass** Ein LRC-Bandpass ist in Bild 9.11 zusammen mit der entsprechenden Implementierung mit OTAs dargestellt. Der Widerstand ist ebenfalls durch ein OTA ersetzt worden.

### 9.2.6 Zustandsvariablen-Filter

Die Zustandsraumdarstellung ist eine in der Regelungstechnik häufig verwendete Form einer Systembeschreibung. Aus einer Zustandsraumdarstellung lässt sich ebenfalls ein Filter entwerfen. Die früher verwendeten Analogrechner haben eine Zustandsraumdarstellung einer Filter-Übertragungsfunktion implementiert. Eine solche Zustandsraumdarstellung beschreibt die ÜTF über eine spezielle Realisierung im Zeitbereich. Die explizite Zustandsraumform wird durch folgende Gleichungen beschrieben.

$$\dot{\vec{x}} = \underline{A} \cdot \vec{x} + \vec{b} \cdot u \quad (9.20)$$

$$y = \vec{c}^T \cdot \vec{x} + d \cdot u \quad (9.21)$$



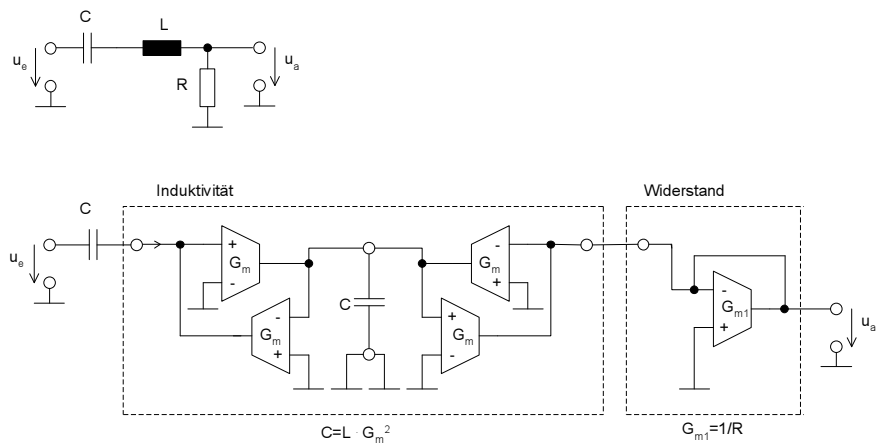


Bild 9.11: a) LRC-Bandpass und b) eine Implementierung mit OTAs

Ein Vektor von Zustandsvariablen  $\vec{x}$  wird durch konstante Matrizen mit dem Eingang  $u$  und dem Ausgang  $y$  verknüpft. Der Zusammenhang zwischen der Zustandsraumform und der ÜTF ist allgemein durch

$$H(s) = \vec{c}^T \cdot (s \cdot \underline{I} - \underline{A})^{-1} \cdot \vec{b} + d \tag{9.22}$$

gegeben. Eine mögliche Realisierung einer Zustandsraumdarstellung kann durch den Einsatz von  $n$  Integrierern für  $n$  Zustände und damit für eine ÜTF  $n$ -Ordnung geschehen. Dies ist für den Fall eines Filters 2. Ordnung in Bild 9.12 wiedergegeben.

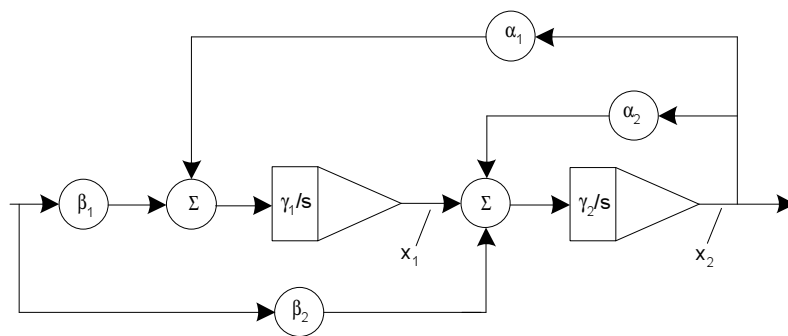


Bild 9.12: Blockschaltbild einer Schaltung für ein Zustandsvariablen-Filter 2. Ordnung

Ein Aufstellen der zugehörigen Differentialgleichungen ergibt für die Zustandsraumdarstellung folgende Ausdrücke.

$$\underline{A} = \begin{bmatrix} 0 & \gamma_1 \alpha_1 \\ \gamma_2 & \gamma_2 \alpha_2 \end{bmatrix}, \quad \vec{b} = \begin{bmatrix} \gamma_1 \beta_1 \\ \gamma_2 \beta_2 \end{bmatrix} \tag{9.23}$$

$$\vec{c}^T = [0 \ 1], \quad d = [0] \tag{9.24}$$

Die entstehende ÜTF ist

$$H(s) = \frac{-\gamma_1 (\beta_1 \cdot s + \gamma_2 (\alpha_1 \beta_2 - \alpha_2 \beta_1))}{s^2 - \gamma_2 \alpha_2 s - \gamma_1 \gamma_2 \alpha_1}. \quad (9.25)$$

Wählt man den zweiten Integrator mit einer negativen Zeitkonstanten  $\gamma_2$ , so erhält man bei  $\alpha_2 > 0$  ein stabiles System mit Polen bei

$$p_{1,2} = \frac{1}{2} \gamma_2 \alpha_2 \pm \sqrt{\gamma_2^2 \alpha_2^2 + 4 \gamma_1 \alpha_1 \alpha_2}. \quad (9.26)$$

Diese können abhängig von den Parametern konjugiert komplex oder reell sein. Durch Einstellen der Parameter lassen sich unterschiedliche Filtertypen (Hochpass, Tiefpass usw.) erzeugen. Wird noch eine weitere Nullstelle (Zähler 2. Grades) benötigt, so können die Stellgrößen  $\alpha_i$  und  $\beta_i$  durch Differenzierglieder ersetzt werden. Hier ist ein direktes Einsetzen von z.B.  $\beta_2 = s \cdot \beta'_2$  in die ÜTF erlaubt. Die entstehende neue ÜTF ist dann mit den Anforderungen des Filters zu vergleichen.

Realisierung

Eine mögliche Form der Realisierung ist in Bild 9.13 gegeben.

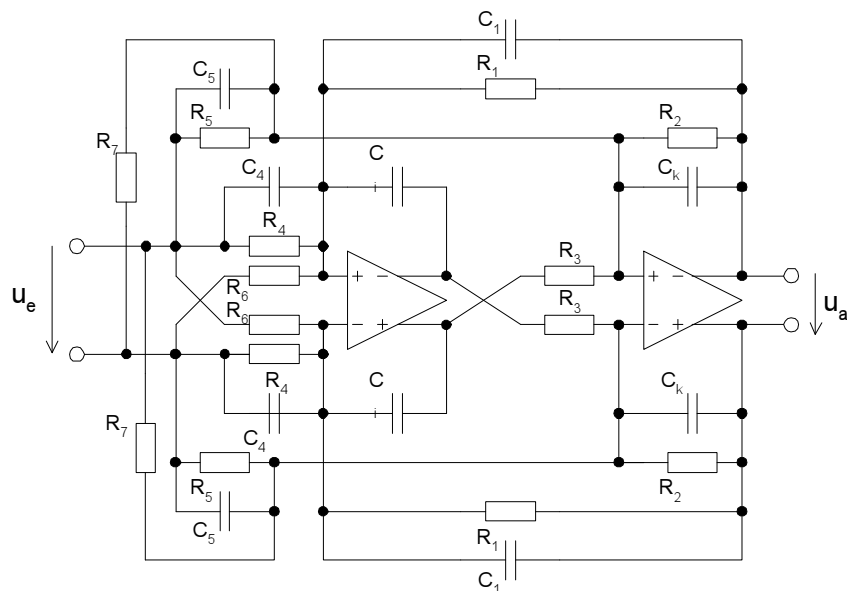


Bild 9.13: Generelle, voll differentielle Form eines Filters in aktiver RC-Zustandsvariablentechnik

Je nach geplanter Realisierung als Tiefpass, Hochpass oder Bandpass, sind die einzelnen Kapazitäten  $C_x$  und Widerstände  $R_x$  eventuell herauszunehmen. Die Integrationskapazitäten  $C_i$ ,  $C_k$  sind immer vorzusehen. Die Kapazitäten  $C_1$ ,  $C_4$ ,  $C_5$  wirken als Differenzierglieder. Es ergibt sich folgende

Übertragungsfunktion.

$$H(s) = - \frac{R_1 R_3 C_i C_5 s^2 + \frac{R_1}{R_5} \left( R_3 C_i + R_5 C_4 - \frac{R_3 R_5}{R_7} C_i \right) s + \left( \frac{R_1}{R_4} - \frac{R_1}{R_6} \right)}{R_1 R_3 C_i C_k s^2 + \left( R_1 C_1 + \frac{R_1}{R_2} R_3 C_i \right) s + 1} \quad (9.27)$$

Für  $R_5 = \infty$ ,  $C_4$ ,  $C_5$ ,  $C_1 = 0$  entsteht ein Tiefpass 2. Ordnung. Auch die Variante  $R_2, R_5 = \infty$ ,  $C_4$ ,  $C_5 = 0$  ergibt einen Tiefpass 2. Ordnung.

### 9.3 SC-Schaltungen

Da Widerstände auf integrierten Schaltungen nur unpräzise zu fertigen sind, hat man einen Weg gesucht, die klassischen diskret aufgebauten Filter in integrierten Schaltungen mit höherer Präzision zu realisieren. Daraus entwickelte sich die Technik der Switched Capacitor Filter. Der Widerstand wird durch eine geschaltete Kapazität ersetzt.

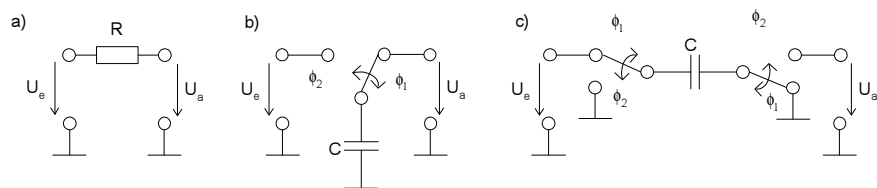


Bild 9.14: SC-Realisierung eines Widerstands: a) Widerstand, b) SC-Realisierung mit einer geerdeten Kapazität und c) einer nicht geerdeten Kapazität und zwei Schaltern

In Bild 9.14 b) ist die einfachste Realisierung einer geschalteten Kapazität dargestellt. Liegt die Frequenz des Umschaltens der Kapazität weit über der Signalfrequenz, so gilt folgendes: Der Schalter schaltet innerhalb einer Taktperiode je einmal die Eingangsspannung und dann die Ausgangsspannung an den Kondensator. Dieser lädt sich entsprechend um den Betrag  $\Delta Q = C \cdot (U_e - U_a)$  um. Damit fließt ein Strom von

$$i = \frac{\Delta Q}{T} = \frac{C \cdot (U_e - U_a)}{T}. \quad (9.28)$$

Die geschaltete Kapazität wirkt wie ein Widerstand mit dem Widerstandswert

$$R = \frac{T}{C}. \quad (9.29)$$

Negatives R

In Bild 9.14 c) wird die Kapazität mit zwei Schaltern an beiden Anschlüssen zwischen Signal und Masse hin- und hergeschaltet. Je nachdem,

ob das im Gegen- oder Gleichtakt geschieht, wird ein negativer oder positiver Widerstand realisiert. Man kann also gleichzeitig zu einer Implementierung eines Widerstands auch das Signal invertieren.

### Schalter

Die Schalter werden in der Regel aus MOS-Transistoren aufgebaut. Bis auf Signale, die auf jeden Fall in der Nähe von der Masse bleiben (virtuelle Massen von OPs), sind Transmissiongates, also ein n- und ein p-Kanal-Transistor als Schalter auszuwählen. Im Fall der virtuellen Masse kann man zur Minimierung der parasitären Kapazitäten auch nur einen n-Kanal-Transistor als Schalter verwenden. Im allgemeinen Fall wird dagegen der On-Widerstand des Transistors zu nichtlinear. Weiterhin muss generell darauf geachtet werden, dass die Zeitkonstante  $\tau = R_{on} \cdot C$  des Umladevorgangs mit dem Kanalwiderstand  $R_{on}$  wesentlich kleiner als die Taktperiode  $T$  ist.

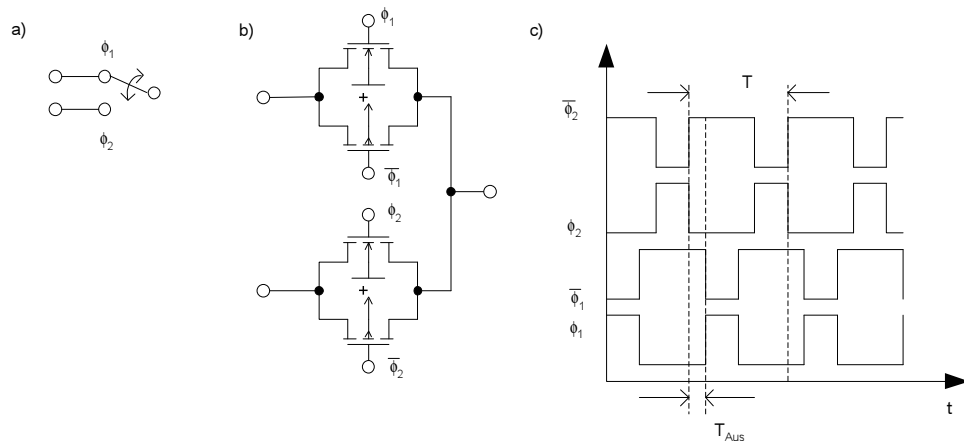


Bild 9.15: a) Symbol, b) MOS-Transmissiongate-Implementierung c) nichtüberlappendes Taktschema

### Takt

Alle MOS-Schaltertransistoren müssen durch den nicht überlappenden 2-Phasen-Takt eine gewisse Austastzeit  $T_{aus}$  ausgeschaltet sein, um einen Kurzschluss gegen Masse oder zwischen den Signalen zu verhindern. Auf eine gleichmäßige Anschaltzeit der beiden Transistorpaare kann verzichtet werden, da sie nicht wesentlich in die Widerstandsbestimmung eingeht. Entscheidend ist lediglich eine sehr genaue Gesamttaktperiode  $T$ .

#### 9.3.1 Z-Transformation

Als Beispiel für einen Filter sei hier ein einfacher RC-Tiefpass in SC-Technik angegeben (siehe Bild 9.16).

Die Ladung auf der Kapazität  $C_S$  ist bei aktivem Takt  $\Phi_1$  zum Zeitpunkt  $kT$   $Q_{C_S} = C_S \cdot (U_A(kT) - U_E(kT))$ . Diese Ladung fließt auf die Kapazität  $C$  oder von ihr ab. Deren resultierende Ladung ergibt sich nach Trennung der Schalter zu

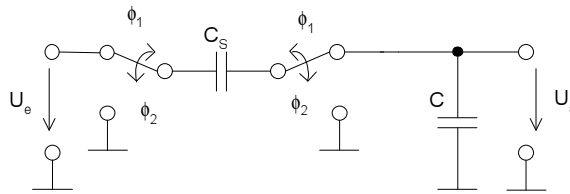


Bild 9.16: RC-Tiefpass in SC-Technik

$$Q_C(kT) = Q_C(kT - T) - C_S \cdot (U_A(kT) - U_E(kT)) \quad (9.30)$$

$$\Leftrightarrow C \cdot U_A(kT) = C \cdot U_A(kT - T) - C_S \cdot (U_A(kT) - U_E(kT))$$

$$\Rightarrow H(z) = \frac{U_A}{U_E} = \frac{1}{\frac{C}{C_S} \cdot (1 - z) + 1} \quad (9.31)$$

Dabei repräsentiert  $z$  die zeitliche Verschiebung um eine Taktperiode  $T$ . Findet eine Verzögerung um eine Taktperiode statt, so wird das durch  $z^{-1}$  beschrieben. Die Z-ÜTF  $H(z)$  kann durch die Substitution

$$z = e^{j\omega T} \quad (9.32)$$

in eine ÜTF in der Form  $H(j\omega)$  gebracht werden. Für die Ermittlung der ÜTF interessieren hier nur Frequenzen, die wesentlich kleiner als  $1/T$  sind. Dafür gilt

$$z = e^{j\omega T} \stackrel{\omega \ll \frac{1}{T}}{\approx} 1 + j\omega T \quad (9.33)$$

Setzt man dies in die ÜTF ein, erhält man

$$H(j\omega) = \frac{U_A}{U_E} \approx \frac{1}{\frac{C}{C_S} \cdot (1 - 1 + j\omega T) + 1} = \frac{1}{j\omega \frac{C}{C_S} \cdot T + 1} \quad (9.34)$$

Die Zeitkonstante des Tiefpasses lässt sich zu  $\tau_{TP} = \frac{C}{C_S} \cdot T$  ablesen. Sie hängt nur noch vom Kapazitätsverhältnis - welches sich sehr genau herstellen lässt - und vom Takt ab. Dieser kann durch Quarzoszillatoren ebenfalls sehr genau eingestellt werden.

Zusammenhang  
mit Laplace-  
Transformation

Die Theorie zur zeitkontinuierlichen Laplace-Transformation kann auch auf die Z-Transformation und damit auf die SC-Filter angewendet werden. Den Zusammenhang bildet die schon erwähnte exakte Rücktransformation mit  $z = e^{j\omega T}$ . Damit eine vergleichbare Form der ÜTF entsteht, muss auch bei dieser Transformation eine Näherung der Form

$$z = e^{j\omega T} \stackrel{\omega \ll \frac{1}{T}}{\approx} 1 + j\omega T \quad (9.35)$$

vorgenommen werden.

Die Hintransformation wäre exakt

$$s = \frac{1}{T} \ln(z) . \quad (9.36)$$

Diese wird gut durch die bilineare Hintransformation

$$s = \frac{2}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}} \quad (9.37)$$

angenähert. Wird zusätzlich angenommen, dass die Abtastfrequenz  $1/T$  wesentlich (20..200 fach) größer als die Signalfrequenz ist, so kann z.B. ein Tiefpass wie folgt umgerechnet werden.

$$H(s) = \frac{1}{bs^2 + as + 1} \quad (9.38)$$

$$\begin{aligned} H(z) &= \frac{1}{b \cdot \frac{2^2}{T^2} \frac{(1-z^{-1})^2}{(1+z^{-1})^2} + a \cdot \frac{2}{T} \frac{(1-z^{-1})}{(1+z^{-1})} + 1} & (9.39) \\ &= \frac{(1+z^{-1})^2}{b \cdot \frac{4}{T^2} (1-2z^{-1}+z^{-2}) + a \cdot \frac{2}{T} (1-z^{-2}) + 1} \\ &= \frac{\frac{1}{1+\frac{4b}{T^2}+\frac{2a}{T}} (1+z^{-1})^2}{1 - \frac{\frac{8b}{T^2}}{1+\frac{4b}{T^2}+\frac{2a}{T}} \cdot z^{-1} + \frac{\frac{4b}{T^2}-\frac{2a}{T}}{1+\frac{4b}{T^2}+\frac{2a}{T}} \cdot z^{-2}} \end{aligned}$$

### 9.3.2 Realisierung

Bei SC-Filtern können grundsätzlich die gleichen Strukturen wie bei aktiven RC-Filtern eingesetzt werden. Lediglich die Widerstände werden durch geschaltete Kapazitäten ersetzt. Es sind jedoch einige Besonderheiten zu berücksichtigen.

#### Aliasing

Da es sich um ein abgetastetes System handelt, ist dafür zu sorgen, dass keine Frequenzanteile oberhalb der halben Abtastfrequenz (Nyquistfrequenz) vorhanden sind, da diese sonst durch Aliasing in das Signalband gespiegelt werden. Dies kann durch ein kontinuierliches Tiefpassfilter am Eingang erreicht werden. An dieses sind keine hohen Anforderungen zu stellen, da die Abtastfrequenz in der Regel wesentlich höher als die Nutzfrequenz ist. Allerdings sollte die Amplitude im Durchlassbereich für ein exaktes Filter möglichst genau wiedergegeben werden, wie z.B. durch einen Sallen-Key-Tiefpass.

#### SNR

Durch das abgetastete System und die Schaltvorgänge wird ein starkes

Störsignal mit Abtastfrequenz dem Nutzsignal hinzugefügt. Dieses wirkt sich durch Nichtlinearitäten der Bauelemente auch als Störsignal im Frequenzbereich des Nutzsignals aus. Weiterhin wird Rauschen (mehrfach) aus hohen Frequenzbereichen in das Nutzsignal gespiegelt. Das hat zur Folge, dass der erzielbare Signalrauschabstand SNR für SC-Filter kleiner als für kontinuierliche Filter ist.

#### Ausgang

Am Ausgang des SC-Filters wird in der Regel ebenfalls ein Tiefpassfilter vorgesehen, um die Abtastfrequenz aus dem Signal wieder herauszufiltern. Ein komplettes Filter-Design könnte wie in Bild 9.17 aussehen. Normalerweise ist das SC-Filter durch ein Filter höherer Ordnung realisiert, da nur dann der Aufwand mit den Anti-Aliasingfiltern zu rechtfertigen ist.

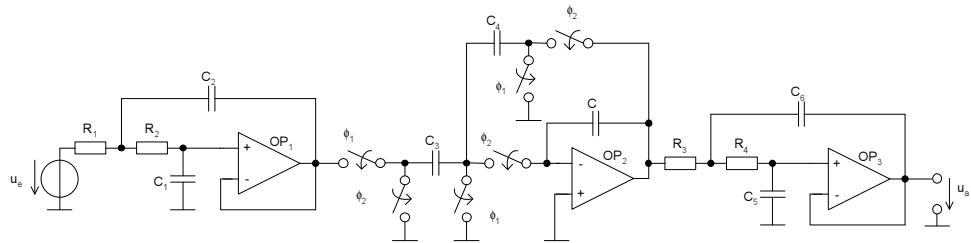


Bild 9.17: 1-poliger SC-Tiefpassfilter mit 2-poligem kontinuierlichem Antialiasing-Eingangs- und Ausgangsfilter

#### Rückkopplung

Es ist eine Filterstruktur auszuwählen, die eine kontinuierliche Rückkopplung über die Operationsverstärker sicherstellt. Befinden sich in der direkten Rückkopplungsschleife geschaltete Kapazitäten, so wird der Operationsverstärker in Phasen des Taktes in der Rückkopplung unterbrochen und aufgrund der hohen Verstärkung sehr schnell aus seinem Arbeitspunkt herauslaufen. Er muss sich dann bei der nächsten Taktphase wieder an das Signal anpassen, so dass ein ständiges Auf und Ab des OP-Ausgangs mit entsprechend negativen Auswirkungen auf die folgenden Schaltungsteile die Folge wäre. Es ist deshalb immer eine kapazitive oder direkte Rückkopplung vorzusehen. Diese kann in Bild 9.17 dem einpoligen Tiefpass entnommen werden. Diese direkte Rückkopplung ist z.B. bei Zustandsvariablen-Filtern inhärenter Teil der Struktur.

#### Tuning

SC-Filter können leicht in ihrer Grenzfrequenz verändert werden. Dazu ist lediglich die Taktfrequenz zu ändern. Alle Widerstände verändern sich dann im gleichen Verhältnis, so dass eine entsprechend andere Grenzfrequenz und je nach Realisierung auch eine andere Filtercharakteristik entstehen.

Dies wird z.B. bei diskreten integrierten SC-Filtern ausgenutzt. Deren Filtercharakteristik und Grenzfrequenz ist durch Taktteilung in weiten Bereichen einstellbar. Dazu kommt eine Einstellbarkeit der einzelnen Kapazitäten durch Parallelschaltung mittels MOS-Transistorschaltern. Damit kann durch digitale Takt- und Schaltsignale prinzipiell jedes R- und C-Element des Filters eingestellt werden.

### 9.3.3 FPAA

Der Effekt des Programmierens von SC-Filtern kann für universellere programmierbare Bausteine ausgenutzt werden. Diese nennt man in Anlehnung an die FPGAs Field Programmable Analog Arrays. Es handelt sich dabei um integrierte Schaltungen, auf denen analoge Funktionen programmiert werden können. Hauptsächlich sind dies lineare Funktionen wie z.B. Filter. Es können aber auch nichtlineare Funktionen wie Logarithmieren oder Multiplizieren (Mischen) durchgeführt werden.

Eine mögliche Realisierung eines FPAA [Bend97] enthält z.B. mehrere Operationsverstärker, die mit Kapazitäten, Schalterblöcken und Multiplizierern umgeben sind, so dass sich in weiten Bereichen einstellbare SC-Filterblöcke aufbauen lassen.

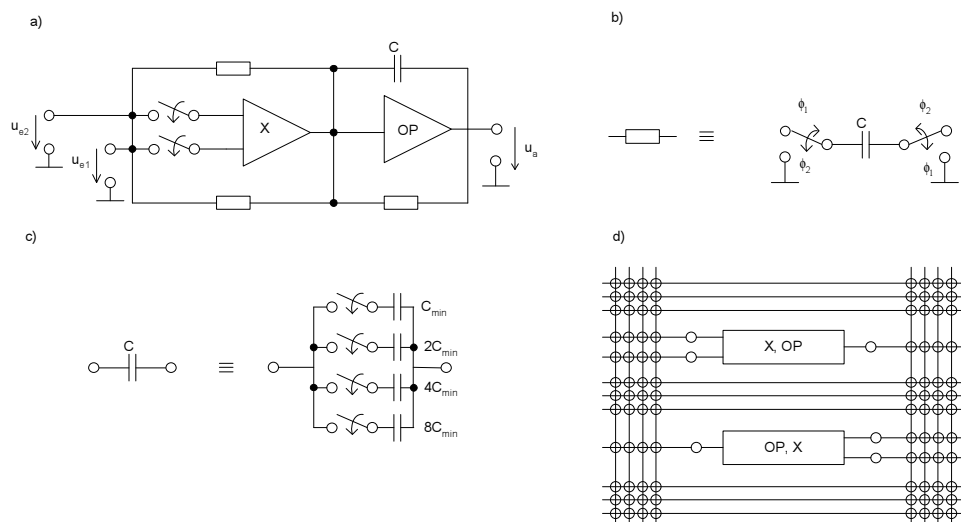


Bild 9.18: FPAA: a) Möglicher Aufbau einer Zelle mit Multiplizierer und OP, b) Realisierung aller Widerstände, c) Realisierung aller Kapazitäten und d) Integration mehrerer Zellen in eine Leitungs- und Schaltmatrix

#### Funktion

Das FPAA aus Bild 9.18 besteht aus mehreren Zellen, die matrixförmig in eine Reihe von Leitungen eingebettet sind. Diese Leitungen, die über den ganzen Chip laufen, können einzeln mit kreuzenden Leitungen verbunden werden. Die dazugehörigen Schalter sind MOS-Transmissionsgates.

Die einzelnen Zellen bestehen aus einem Multiplizierer und einem Operationsverstärker, die auf verschiedene Weise miteinander verschaltet werden können. Die zugehörigen Widerstände sind in SC-Technik aufgebaut. Um verschiedene Widerstandswerte oder eine offene Verbindung herstellen zu können, sind deren Kapazitäten und die anderen Kapazitäten aus binär gestuften Einheitskapazitäten zusammenschaltbar.

Die Verschaltung wird digital eingestellt und gespeichert. Dazu lädt man



einen Bitstrom z.B. von einem PC in die digitalen Register des Chips, die dann das Öffnen oder Schließen der Schalter veranlassen. Nach diesem Laden ist der Chip für eine bestimmte Funktion programmiert und sofort einsetzbar.

#### Einsatz

Gedacht ist der Einsatz von FPAAs zum schnellen Entwickeln von Prototypen von analogen Schaltungen. Dies lässt sich allerdings nur eingeschränkt verwirklichen, da die FPAAs aufgrund der nötigen Universalität doch viele Kompromisse eingehen müssen. So ergibt sich z.B. eine niedrige maximale Nutzfrequenz, wenn sehr viele verschiedene Funktionen programmiert werden sollen, da die parasitären Kapazitäten groß werden. FPAAs haben sich deshalb im Gegensatz zu den digitalen FPGAs noch nicht durchsetzen können.

## 9.4 gmC-Schaltungen

gmC-Schaltungen sind eine weitere Möglichkeit, Filter auf integrierten Schaltungen zu realisieren, ohne Widerstände implementieren zu müssen. Sie basieren auf den OTAs, die einen der Eingangsdifferenzspannung proportionalen Ausgangsstrom liefern. Damit lässt sich ein Widerstand z.B. wie in Bild 9.19 durch einen OTA nachbilden.

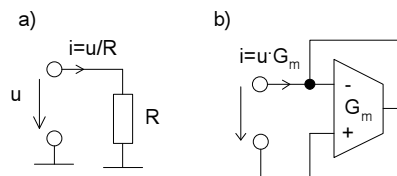


Bild 9.19: a) Geerdeter Widerstand b) Nachbildung mit einem OTA

#### Biquad

Auch mit OTAs lassen sich Biquads aufbauen. Die Strukturen sehen jedoch anders aus, da sich eine direkte Widerstandsimplementierung verbietet. Dieser müsste im nicht geerdeten Fall durch 3 OTAs nachgebildet werden. Also nutzt man die Funktion des OTAs direkt aus und bildet andere Filterstrukturen. Ein Beispiel für eine Biquadrealisierung ist in Bild 9.20 gezeigt.

Die ÜTF lässt sich für ideale OTAs aus den Netzwerkgleichungen aufstellen. Sie ergibt sich für den Tiefpass, der bei Beschaltung des Ausgangs  $u_{aTP}$  entsteht zu

$$H_{TP}(s) = \frac{\frac{G_{m1}}{G_{m4}}}{\frac{C_1 C_2}{G_{m3} G_{m4}} s^2 + s \cdot \frac{G_{m2} C_2}{G_{m3} G_{m4}} + 1} \quad (9.40)$$

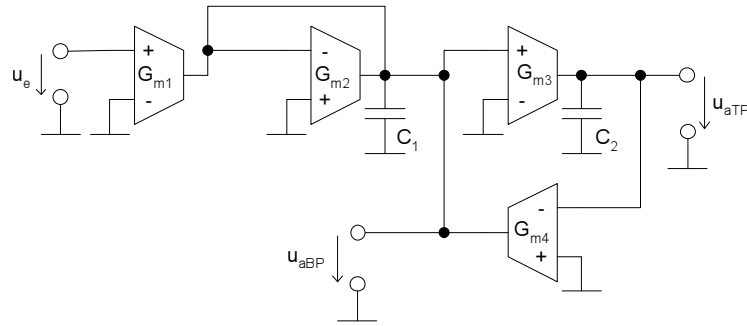


Bild 9.20: gmC-Biquad mit Ausgängen  $u_{aTP}$  für einen Tiefpass und  $u_{aBP}$  für einen Bandpass

Der Bandpass weist bei Beschaltung des Ausgangs  $u_{aBP}$  folgende ÜTF auf.

$$H_{BP}(s) = \frac{s \cdot \frac{G_{m1}C_2}{G_{m3}G_{m4}}}{\frac{C_1C_2}{G_{m3}G_{m4}}s^2 + s \cdot \frac{G_{m2}C_2}{G_{m3}G_{m4}} + 1} \quad (9.41)$$

Zustandsvariablen-Filter

gmC Filter lassen sich hervorragend für Zustandsvariablen-Filter einsetzen. Eine Möglichkeit dazu ist in Bild 9.21 gezeigt. Es ist eine universelle Schaltung.

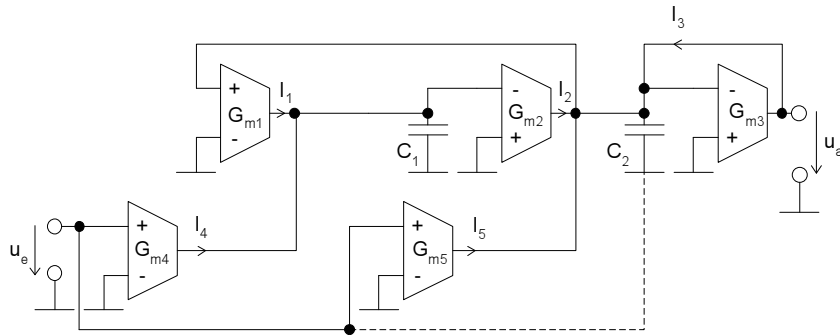


Bild 9.21: Allgemeiner zweistufiger Zustandsvariablen gmC-Filter

In Bild 9.22 ist die aus den Strömen und den Kirchhoffschen Knotengleichungen ableitbare Darstellung als regelungstechnisches Blockdiagramm abgebildet. Es entspricht bis auf die Skalierstelle  $G_{m2}$  der Form aus Bild 9.12. Damit ist auch die dortige Theorie wiederzuverwenden. Falls ein zweiter Pol für den Zähler benötigt wird (Hochpass), kann durch Anschließen der Eingangsspannung an die untere Platte des Kondensators  $C_2$  der notwendige Differenzierer im  $G_{m5}$  Pfad erzeugt werden.

Nichtlinearitäten

Im Gegensatz zu den aktiven RC-Schaltungen weisen gmC-Schaltungen eine höhere Nichtlinearität auf. Dies liegt an der fehlenden starken Rückkopplung. Die hohe Verstärkung der OPs wirkt durch die Rückkopplung stark linearisierend, welches man z.B. der ÜTF aus Gleichung (9.14) entnehmen

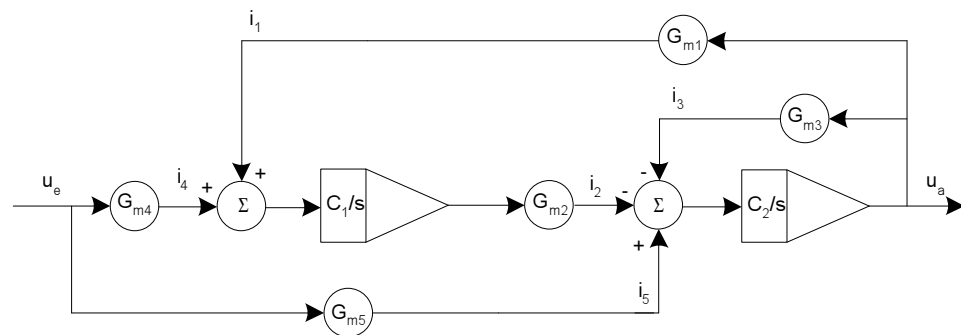


Bild 9.22: Blockschaltbild für den allgemeinen zweistufigen Zustandsvariablen-gmC-Filter

kann. Deren Zähler wird für hohe Verstärkungen trotz einer eventuell nicht-linearen Übertragungsfunktion nahezu 1. Diese lokale Rückkopplung fehlt bei der OTA-Stufe im gmC-Filter. Das bedeutet, dass die nichtlineare DC-Kennlinie eines OTAs direkt in die gesamte DC-Kennlinie des gmC-Filters eingeht.

Zum Aufzeigen dieses Effekts wird die DC-Kennlinie der Schaltung aus Bild 9.23 simuliert. Die Schaltung ist ein einfacher gmC-Tiefpass 1. Ordnung. Die OTAs sind die einfachen OTAs aus Bild 8.2 in Abschnitt 8.2.1. Sie bestehen im wesentlichen aus einer Differenzstufe und einem Stromspiegel als Last.

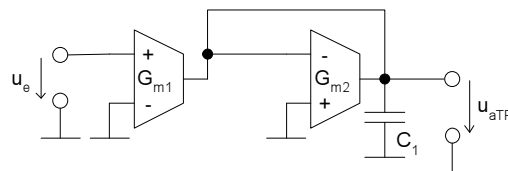


Bild 9.23: Einfacher gmC-Tiefpass 1. Ordnung

Die Simulation zeigt zunächst, dass aufgrund von Begrenzungen der Ausgangsspannung und innerer Spannungen (z.B. durch die nötigen Schwellspannungen) die Ausgangsspannung nur im Bereich von 2,08 V bis 2,83V einen halbwegs linearen Verlauf hat. Außerhalb ist das gmC-Filter aufgrund der starken Nichtlinearität nicht nutzbar. Auch innerhalb dieses Spannungsbereichs gibt es starke Abweichungen von der idealen linearen Kennlinie. Dies zeigt die Ableitung der Ausgangsspannung nach der Eingangsspannung. Sie weicht in einem großen Bereich um mehr als 2% von 1 ab.

Ein wesentlicher Ansatzpunkt zur Verbesserung dieses Verhaltens ist der einzelne OTA. Er kann z.B. durch

- Kaskodetransistoren idealisiert werden oder
- durch Aufteilen der Stromquelle in zwei und Einfügen eines Wider-

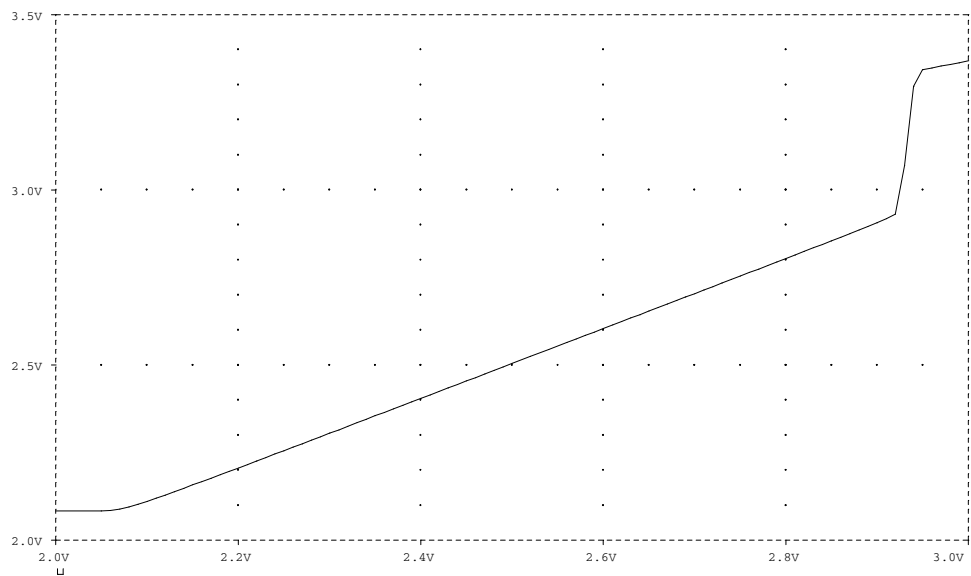


Bild 9.24: Simulation der Ausgangsspannung über der Eingangsspannung eines einfachen gmC-Tiefpasses

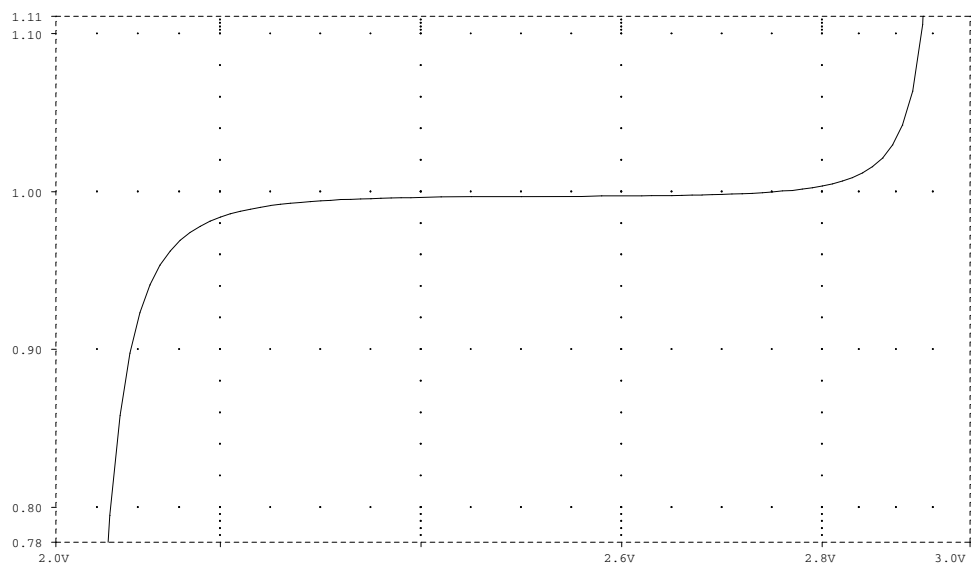


Bild 9.25: Ableitung der Ausgangsspannung

standes angenähert durch zwei Transistoren linearisiert werden (siehe Bild 9.26).

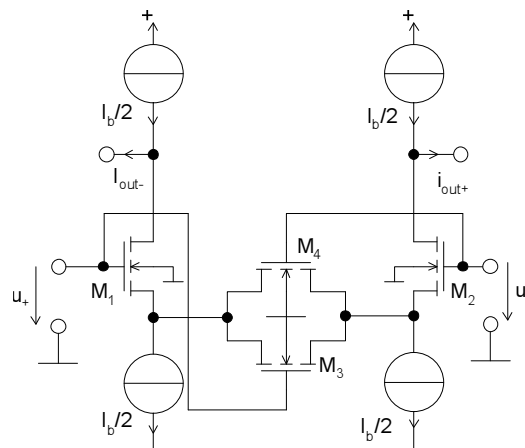


Bild 9.26: Durch zwei als Widerstand wirkende Transistoren linearisierter OTA

## 9.5 Log-Domain-Filter

Sind Filter für Schaltungen mit geringer Verlustleistung (Low-Power) und/oder geringer Versorgungsspannung zu entwerfen, so kann man spezielle Strukturen verwenden. Eine dieser Möglichkeiten sind die Log-Domain-Filter oder auch Comanding-Filter. Sie komprimieren das Signal durch eine Logarithmusoperation, filtern es und expandieren es dann wieder.

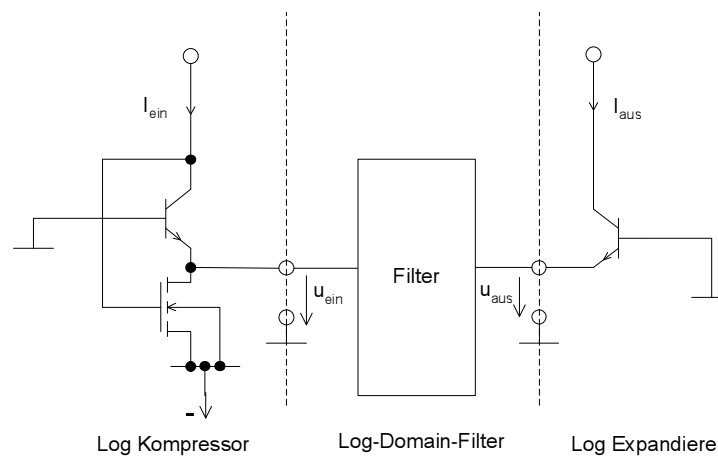


Bild 9.27: Prinzip des Log-Domain Filters

Entscheidender Vorteil der Log-Domain-Filter ist, dass die Signalamplitude klein gehalten wird und dass eine Linearisierung, wie z.B. bei gmC-Filtern durch zusätzliche Transistoren, oder bei Aktiv-RC-Filtern durch die starke Rückkopplung nicht notwendig ist, da das Signal durch Ausnutzen der Exponentialfunktion von Bipolartransistoren sehr genau verarbeitet wird.

### Prinzip

Das Eingangssignal  $i_{\text{ein}}$  wird durch einen logarithmischen Kompressor komprimiert zu einer Zwischenspannung  $u_{\text{ein}}$ .

$$i_{ein} = \beta \cdot I_S \cdot e^{\frac{u_{BE}}{kT/q}} = \beta \cdot I_S \cdot e^{\frac{-u_{ein}}{kT/q}} \quad (9.42)$$

$$\Rightarrow u_{ein} = -\frac{kT}{q} \ln \left( \frac{i_{ein}}{\beta \cdot I_S} \right) \quad (9.43)$$

Diese Spannung wird dann im Filter verarbeitet und anschließend wieder expandiert zu einem Ausgangsstrom

$$i_{aus} = \beta \cdot I_S \cdot e^{\frac{u_{BF}}{kT/q}} = \beta \cdot I_S \cdot e^{\frac{-u_{aus}}{kT/q}} . \quad (9.44)$$

Besteht das dazwischen liegende Filter nur aus einem direkten Kurzschluss ( $u_{aus} = u_{ein}$ ), so ist der Ausgangsstrom gleich dem Eingangsstrom.

### Integrator

Das Grundelement jedes Filters ist der Integrator, der hier erläutert werden soll. Der in Bild 9.28 dargestellte Integrator [PuEn98] legt die Spannung an den Basisanschlüssen der Ein- und Ausgangstransistoren auf die Biasspannung  $U_{Bias}$ . Diese soll in der folgenden Rechnung durch entsprechendes Wählen des Bezugspotentials zu 0 V angenommen werden, um die folgende Rechnung zu vereinfachen.

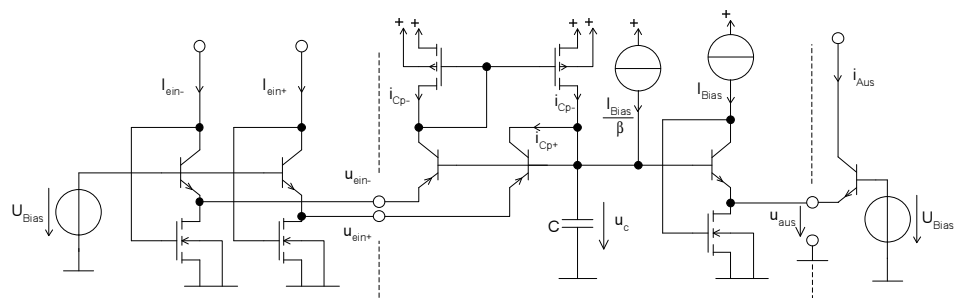


Bild 9.28: Log-Domain-Integrator

Die Ströme  $i_{Cp+}$  und  $i_{Cp-}$  errechnen sich zu

$$i_{Cp+} = \beta I_S e^{\frac{u_C - u_{ein+}}{kT/q}}, i_{Cp-} = \beta I_S e^{\frac{u_C - u_{ein-}}{kT/q}} . \quad (9.45)$$

Der Transistor unter der Biasstromquelle fungiert als DC-Levelshifter. Der Zusammenhang zwischen  $i_{aus}$  und der Spannung  $u_C$  ergibt sich dann zu

$$i_{aus} = \beta I_S e^{\frac{-u_{aus}}{kT/q}}, \quad (9.46)$$

$$I_{Bias} = \beta I_S e^{\frac{u_C - u_{aus}}{kT/q}} \quad (9.47)$$

$$\Rightarrow i_{aus} = I_{Bias} e^{\frac{-u_C}{kT/q}} \Leftrightarrow u_C = -\frac{kT}{q} \cdot \ln \left( \frac{i_{aus}}{I_{Bias}} \right) . \quad (9.48)$$

Die kleine Biasstromquelle dient dazu, den Basisstrom für den DC-Levelshifter zu liefern.

Aus der Kapazitätsgleichung und der Summe der Ströme am Knoten der Kapazität ergibt sich folgender Zusammenhang zwischen der Spannung  $u_C$  und den Eingangsspannungen.

$$\begin{aligned}\frac{\partial u_C}{\partial t} &= \frac{1}{C} i_c = \frac{1}{C} (i_{Cp+} - i_{Cp-}) \\ &= \frac{\beta I_S}{C} \left( e^{\frac{u_C - u_{ein+}}{kT/q}} - e^{\frac{u_C - u_{ein-}}{kT/q}} \right) = \frac{\beta I_S}{C} e^{\frac{u_C}{kT/q}} \left( e^{\frac{-u_{ein+}}{kT/q}} - e^{\frac{-u_{ein-}}{kT/q}} \right)\end{aligned}\quad (9.49)$$

Daraus lassen sich durch Einsetzen der Ausgangs- und Eingangsgleichungen unter Verwendung der Kettenregel die Beziehung zwischen Eingangsströmen und Ausgangsstrom und damit das Integratorverhalten berechnen.

$$\frac{kT}{q} \frac{I_{Bias}}{i_{aus}} \cdot \frac{1}{I_{Bias}} \cdot \frac{\partial i_{aus}}{\partial t} = \frac{1}{C} \frac{I_{Bias}}{i_{aus}} (i_{ein+} - i_{ein-}) \quad (9.50)$$

$$\Leftrightarrow i_{aus} = \int \frac{I_{Bias}}{C} \frac{q}{kT} (i_{ein+} - i_{ein-}) dt \quad (9.51)$$

**Tuning** Anhand der Integratorgleichung ist ersichtlich, dass die Integrationskonstante durch einfaches Verändern des Biasstromes verändert werden kann. Diese kann - wie sich durch Messungen zeigen lässt - über einen sehr großen Bereich variiert werden.

**Tiefpass** Um mit diesem Filter einen einfachen Tiefpass zu bauen, ist lediglich der Ausgang auf den negativen Eingang zurückzukoppeln (Zustandsvariablen-darstellung, siehe Bild 9.29). Es ergibt sich folgende Gleichung.

$$\frac{\partial i_{aus}}{\partial t} = \frac{I_B \cdot q}{C \cdot kT} (-i_{aus} + i_{ein}) \quad (9.52)$$

Als ÜTF umgeschrieben beschreibt sie das gewünschte Tiefpassverhalten.

$$H(s) = \frac{1}{\frac{C \cdot kT}{I_B \cdot q} \cdot s + 1} \quad (9.53)$$

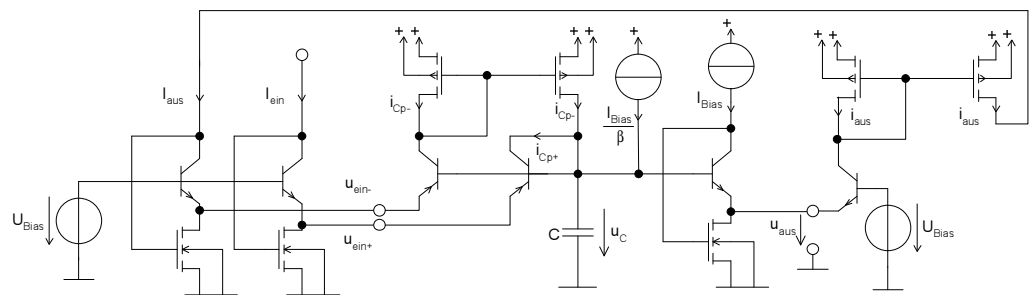


Bild 9.29: Log-Domain-Tiefpass erster Ordnung



## 10 Nichtlineare Schaltungen

Neben den linearen Schaltungen, die im wesentlichen durch Filter repräsentiert sind, sind weiterführende Funktionen nur mit nichtlinearen Schaltungen zu realisieren. Dazu gehören z.B. Mischer für die Modulation und Demodulation von Signalen, AD- und DA-Wandler als Schnittstelle zur digitalen Signalverarbeitung und Oszillatoren zur Signalerzeugung. Hier soll ein kurzer Überblick über die Realisierung und Eigenschaften der wichtigsten Schaltungen in Bezug auf die Implementierung in integrierten Schaltungen gegeben werden.

Eine allgemeine Behandlung nichtlinearer Schaltungen im Frequenzbereich ist nicht möglich, da ja gerade der nichtlineare Effekt die Funktion ausmacht. Deshalb werden diese Schaltungen im Zeitbereich zu analysieren sein. Nur für spezielle Ausnahmen wie für die Mischer werden bestimmte Näherungen verwendet, die eine Analyse im Frequenzbereich zulassen.

Translineare Schaltungen

Als translineare Schaltungen bezeichnet man die Klasse der Schaltungen, die zwar zu den nichtlinearen Schaltungen gehören, aber die folgende besondere Eigenschaft haben. Die Schaltungen basieren auf Transistoren deren Steilheit (Transconductance) linear entweder vom

- Strom oder von der
- Spannung abhängt.

Dies ist bei Bipolartransistoren die lineare Abhängigkeit der Steilheit vom Kollektorstrom

$$g_{m,Bipolar} = \frac{I_C}{kT/q} \cdot \quad (10.1)$$

Bipolartransistoren gehören damit der ersten Klasse an. Der MOS-Transistor weist eine lineare Abhängigkeit der Steilheit von der Gate-Source-Spannung auf.

$$g_{m,MOS} = \frac{\partial i_{DS}}{\partial u_{GS}} = \frac{W}{L} \mu C'_{OX} \cdot 2u_{GS} \quad (10.2)$$

Die Theorie der translinearen Schaltungen wird in der Literatur [Green96] genauer beschrieben und auf einen großen Teil der nichtlinearen analogen Schaltungen angewendet.

### 10.1 Multiplizierer

Aufgabe eines Multiplizierers ist es, zwei analoge Signale miteinander zu multiplizieren. Man unterscheidet 1-, 2- und 4-Quadrantenmultiplizierer je

nach Bereich der Eingangssignale. Der 2-Quadrantenmultiplizierer verarbeitet z.B. ein nur positives und ein positiv und negatives Eingangssignal. Durch Kaskadierung können die unterschiedlichen Typen erzeugt werden.

### 10.1.1 MOS-Multiplizierer

Ein einfacher Multiplizierer in MOS-Technik beruht auf dem Prinzip der Steilheitsmultiplikation und besteht aus einem Differenzverstärker in Verbindung mit einer steuerbaren Bias-Stromquelle (siehe Bild 10.1).

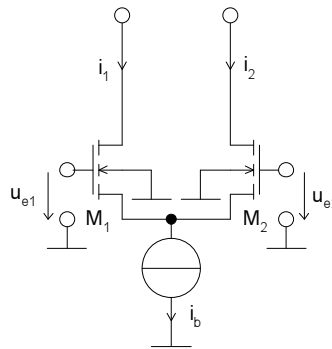


Bild 10.1: Differenzverstärker zur Steilheitsmultiplikation

#### Funktion

Voraussetzung ist, dass beide Transistoren in der Sättigung sind. Dann kann der Drainstrom für kleine Auslenkungen aus dem Gleichgewichtszustand direkt aus der Steilheit für die Sättigung berechnet werden.

$$i_{DS} = g_m \cdot u_{GS} = \sqrt{2 \frac{W}{L} \mu C'_{OX} i_{DS}} \Big|_{AP} \cdot u_{GS} \quad (10.3)$$

Der Differenzstrom berechnet sich um den Arbeitspunkt zu

$$\begin{aligned} i_1 - i_2 &= \sqrt{2 \frac{W}{L} \mu C'_{OX} i_1} \cdot u_{GS1} - \sqrt{2 \frac{W}{L} \mu C'_{OX} i_2} \cdot u_{GS2} \\ &= \sqrt{2 \frac{W}{L} \mu C'_{OX}} \cdot \sqrt{i_B} \cdot (u_{e1} - u_{e2}) . \end{aligned} \quad (10.4)$$

Es ergibt sich aufgrund der Abhängigkeit der Steilheit  $g_m$  von dem Biasstrom  $i_b$  ein multiplikativer Zusammenhang zwischen  $\sqrt{i_b}$  und der Differenzeingangsspannung. Um die wurzelförmige Abhängigkeit von  $i_b$  zu eliminieren, kann man zwei Differenzstufen kaskadieren (siehe Bild 10.2).

Der Differenzstrom berechnet sich für beide Stufen zu

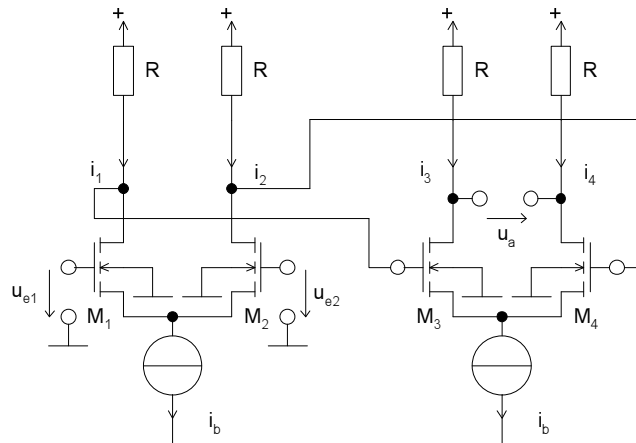


Bild 10.2: Multiplizierer mit zwei Differenzstufen zur Kompensation der Wurzelfunktion für  $i_b$

$$\begin{aligned} i_3 - i_4 &= \sqrt{\frac{W}{L} \mu C'_{OX} \cdot \sqrt{i_b} \cdot (R \cdot (i_1 - i_2))} \\ &= \frac{W}{L} \mu C'_{OX} \cdot i_b \cdot R \cdot (u_{e1} - u_{e2}) . \end{aligned} \quad (10.5)$$

Daraus ergibt sich die Ausgangsspannung zu

$$u_a = \frac{W}{L} \mu C'_{OX} \cdot i_b \cdot R^2 \cdot (u_{e1} - u_{e2}) . \quad (10.6)$$

Symbolische  
Analyse

Da bisher die nichtlineare Beschreibung des Drainstroms durch die linearisierte Gleichung (10.3) angenähert wurde, soll nun mit der symbolischen Analyse der exakte nichtlineare Zusammenhang gewonnen werden. Ausgegangen wird von der nichtlinearen Gleichung für die Sättigung des MOS-Transistors unter Vernachlässigung der Abhängigkeit von der Ausgangsspannung.

$$i_{DS} = \frac{1}{2} \frac{W}{L} \mu C'_{ox} (u_{GS} - V_{TO})^2 \quad (10.7)$$

Nach symbolischer Analyse und Vernachlässigung ergibt sich für die Variante mit einer Differenzstufe

$$\begin{aligned} u_a &= R \cdot \frac{W}{L} \mu C'_{OX} \cdot u_{ein} \cdot 2 \sqrt{-u_{ein}^2 + \frac{2i_b}{L \mu C'_{OX}}} \\ &\approx R \cdot \sqrt{2 \frac{W}{L} \mu C'_{OX} \cdot \sqrt{i_b} \cdot u_{ein}} \end{aligned} \quad (10.8)$$

mit  $u_{ein} = u_{e1} - u_{e2}$ . Dieselbe Analyse liefert für die zweistufige Variante die folgende Gleichung.

$$u_a = -2R^2 \cdot \frac{W}{L} \mu C'_{OX} \cdot u_{ein} \left( \frac{W}{L} \mu C'_{OX} \cdot u_{ein} (V_+ - V_{TO}) - i_b \right) \quad (10.9)$$

$$\approx -2R^2 \cdot \frac{W}{L} \mu C'_{OX} \cdot u_{ein} \cdot i_b$$

Die Vernachlässigungen verursachen einen Fehler  $< 1\%$ , so dass sie im Vergleich zu den Fehlern bei der Annahme des Transistorstroms keine Rolle spielen. In Bild 10.3 sind die Kennlinien des entstehenden Multiplizierers dargestellt.

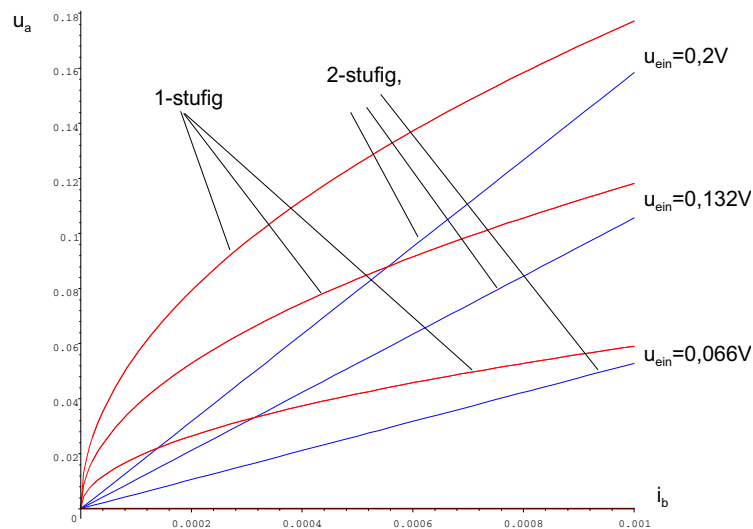


Bild 10.3: Ein-Ausgangskennlinienfeld des 1- und 2-stufigen Multiplizierers nach der symbolischen Analyse

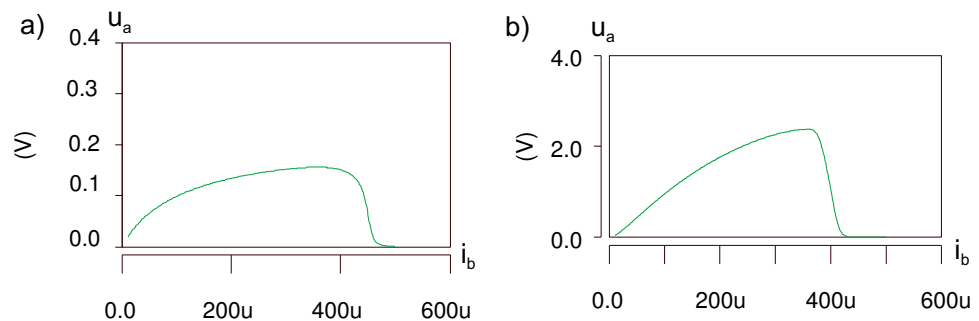


Bild 10.4: Simulation eines a) 1 und b) 2-stufigen Multiplizierers

Aus den Simulationen in Bild 10.4 kann ziemlich deutlich der wurzelförmige Verlauf für den 1-stufigen Multiplizierer abgelesen werden. Für den 2-stufigen Multiplizierer ergibt sich ein wesentlich flacherer, wenn auch nicht

exakt linearer Verlauf. Die unterschiedlichen Aussteuerbereiche sind auf die Reduktion des Spannungsbereichs des 1-stufigen Multiplizierers innerhalb der 2-stufigen Schaltung zurückzuführen.

### 10.1.2 Bipolar-Multiplizierer

Ein Multiplizierer aus Bipolartransistoren ist einfacher und exakter aufzubauen als der MOS-Typ, da bei diesem direkt die exponentialförmige Kennlinie der pn-Übergänge ausgenutzt werden kann.

Prinzip Man kann sich die Funktion auch mit der (translinearen) Eigenschaft der Steilheit des Bipolartransistors

$$g_m = \frac{I_C}{kT/q} \quad (10.10)$$

erklären. Wie beim MOS-Differenzverstärker wirkt bei einem Bipolar-Differenzverstärker ein steuernder Bias-(Kollektor-)-Strom. Er verändert linear die Steilheit des Transistors, so dass leicht ein bezüglich der einzelnen Eingänge linearer Multiplizierer aufgebaut werden kann.

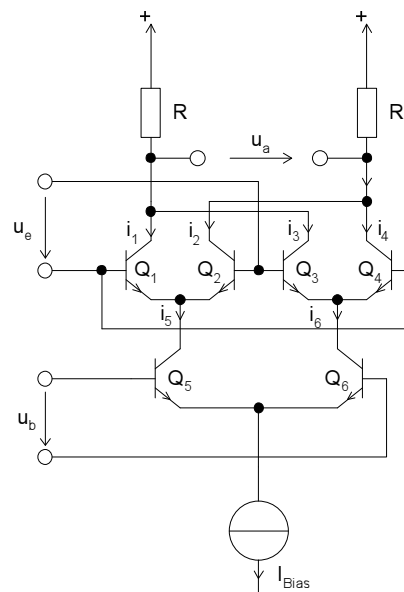


Bild 10.5: Bipolar-Vierquadranten-Multiplizierer: Gilbert-Zelle

Gilbert-Zelle

In Bild 10.5 ist ein Vierquadranten-Gilbertmultiplizierer dargestellt. Die Transistoren  $Q_5$  und  $Q_6$  wirken als Differenzstufe und prägen die Ströme  $i_5$  und  $i_6$  ein, die jetzt das Signal der Spannung  $u_b$  tragen. Diese Ströme steuern die Steilheiten der Transistoren  $Q_1$  bis  $Q_4$ .  $Q_1$  und  $Q_2$  bzw.  $Q_3$  und  $Q_4$  bilden jeweils eine Differenzstufe, die nun die Multiplikation mit der Spannung  $u_a$  durchführen. Durch den voll differentiellen Aufbau ist eine Vierquadrantenmultiplikation möglich.

Strom-  
gleichungen

Die Stromgleichungen der Gilbert-Zelle berechnen sich aus der einfachen Kollektorstromgleichung eines Bipolartransistors unter Vernachlässigung des Basisstroms

$$I_C = I_S e^{\frac{u_{BE}}{kT/q}} \quad (10.11)$$

wie folgt: Das Stromverhältnis eines Differenzpaares ergibt sich zu

$$\frac{I_{C1}}{I_{C2}} = e^{\frac{U_{B1}-U_{B2}}{kT/q}}. \quad (10.12)$$

Damit folgt unter Zuhilfenahme des Summenstroms für die Einzelströme

$$I_{Bias} = I_{C1} + I_{C2} \quad (10.13)$$

$$\Rightarrow I_{C1} = \frac{I_{Bias}}{1 + e^{-\frac{U_{B1}-U_{B2}}{kT/q}}}, \quad I_{C2} = \frac{I_{Bias}}{1 + e^{\frac{U_{B1}-U_{B2}}{kT/q}}}. \quad (10.14)$$

Setzt man diese Beziehung für jedes Differenzpaar aus Bild 10.5 ein, dann ergibt sich unter Ausnutzung von  $\tanh(x) = \frac{1-e^{-2x}}{1+e^{-2x}}$  die Ausgangsspannung des Gilbert-Multiplizierers zu

$$u_a = R \cdot I_{Bias} \cdot \tanh\left(\frac{u_e}{kT/q}\right) \cdot \tanh\left(\frac{u_b}{kT/q}\right). \quad (10.15)$$

Diese Gleichung beschreibt - neben der in beiden Variablen linearen Multiplikation - auch gleichzeitig die Einschränkungen bezüglich des Aussteuerbereichs.

Einsatz

Multiplizierer werden neben anderen Einsatzgebieten häufig zur Modulation und Demodulation eingesetzt. Sie fungieren dann als Mischer, erzeugen also aus einem hochfrequenten und einem Signal einer Zwischenfrequenz ein neues meist niederfrequentes Signal. Handelt es sich bei diesen Signalen nicht um amplitudenmodulierte Signale, so sind die Anforderungen an die Linearität des Multiplizierers eher gering. Deshalb wird dort häufig ein einfacherer Typ, z.B. ein einstufiger MOS-Typ, zu Gunsten eines einfachen und eventuell mit hoher Bandbreite ausgestatteten Entwurfs eingesetzt. Es kommt auch vor, dass die Eingangssignale schon zu Rechtecksignalen entartet sind, so dass noch weitaus niedrigere Anforderungen an die Linearität des Multiplizierers zu stellen sind.

## 10.2 ADC, DAC

Als Schnittstelle zwischen der analogen und digitalen Welt werden Analog-Digital-Wandler (Analog Digital Converter) und Digital-Analog-Wandler

(Digital Analog Converter) benötigt. Eine Schnittstelle basierend auf diesen Wandlern kann aus den in Bild 10.6 gezeigten Komponenten bestehen. Dies sind Anti-Aliasing-Filter, Abtast-Halte-Glied (Sample & Hold), ADC für den Analog zu Digital-Teil und DAC mit nachgeschaltetem Filter für den Digital zu Analog-Teil.

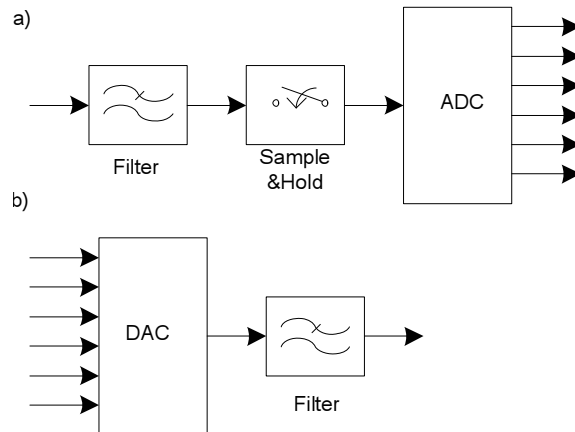


Bild 10.6: a) Analog-Digital-Wandlung mit Antialiasing-Filter, Abtast-Halte-Glied und ADC, b) Digital-Analog-Wandlung mit DAC und Filter

Im folgenden sollen die drei noch nicht besprochenen Teile, das Abtast-Halte-Glied, der ADC und der DAC vorgestellt werden.

### 10.2.1 Abtast-Halte-Glied

Ein Abtast-Halte-Glied hat die Aufgabe, zu einem bestimmten Zeitpunkt ein analoges Signal abzutasten. Anschließend soll dieses Signal über eine gewisse Zeit gespeichert und niederohmig einem folgenden AD-Wandler zur Verfügung gestellt werden, damit dieser ein konstantes Signal vorfindet. Dieses Glied ist besonders bei Wägeverfahren wichtig. Bei bestimmten anderen Typen kann es unter Umständen entfallen. Die wesentlichen Eigenschaften sind:

- schnelle Signalverfolgung bei Funktion Abtasten (Slew Rate),
- kurze Einschwingzeit bei Funktion Halten (Settling Time),
- geringes Übersprechen des Eingangssignals in Funktion Halten (Feedthrough) und
- geringe Drift des Signals in Funktion Halten (Voltage Drop).

Eine Möglichkeit der Realisierung mit Operationsverstärkern ist in Bild 10.7 aufgezeigt.

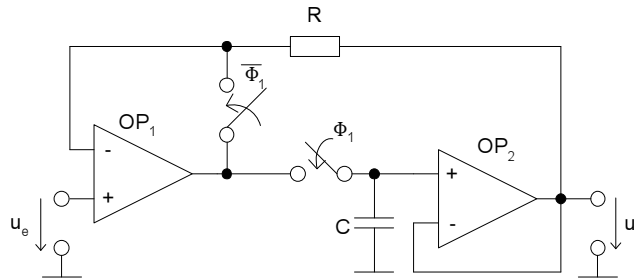


Bild 10.7: Abtast-Halte-Glied

## Funktion

Beide OPs des Abtast-Halte-Glieds folgen bei geschlossenem Schalter  $\Phi_1$  der Eingangsspannung. Durch die Rückkopplung über  $R$  zu  $OP_1$ , wird erreicht, dass lediglich die Offsetspannung von  $OP_1$  noch in das Ausgangssignal eingeht. Die anderen Offsetspannungen und Spannungsabfälle werden eliminiert. Durch den Schalter  $\overline{\Phi_1}$  wird in der Halte-Stellung der  $OP_1$  dem Eingang nachgeführt, um beim Umschalten auf Abtastbetrieb sofort das richtige Ausgangssignal an den Kondensator liefern zu können.

Eine hohe Kapazität bürgt für geringe Spannungsdrift, allerdings verringert sich damit auch die Slew Rate des gesamten Glieds. Daher ist ein sehr geringer Eingangsstrom des  $OP_2$  der bessere Garant für eine geringe Drift.

Die Schalter sind entweder einfache MOS-Transistoren oder Transmission-gates, die einen geringeren Widerstand aufweisen als die Einzeltransistoren.

## 10.2.2 DAC

Die Digital-Analog-Umsetzung kann gegenüber der AD-Umsetzung als das elementarere Problem angesehen werden, da es häufig als Subproblem in AD-Wandlern verwendet wird. Deshalb soll es hier zuerst besprochen werden.

Die Grundfunktionsweisen von DA-Wandlern sind:

- Parallelverfahren: z.B. eine vollständige Spannungsteilerkette, die an der entsprechenden Stelle abgegriffen wird,
- Wägeverfahren: z.B. werden unterschiedlich große (binär abgestufte) Ströme aufeinander addiert und die Summe in eine Ausgangsspannung gewandelt,
- Zählverfahren: z.B. die Aufintegration geschalteter Strompulse zu einer Ausgangsspannung.

Dabei können sowohl Strom als auch Spannung als informationstragende Größen in Frage kommen. In Bild 10.8 wird ein Beispiel vorgestellt, ein DA-Wandler mit Leiternetzwerk.

## Funktion

Die einzelnen Schalter ermöglichen direkt eine binärcodierte Digital-



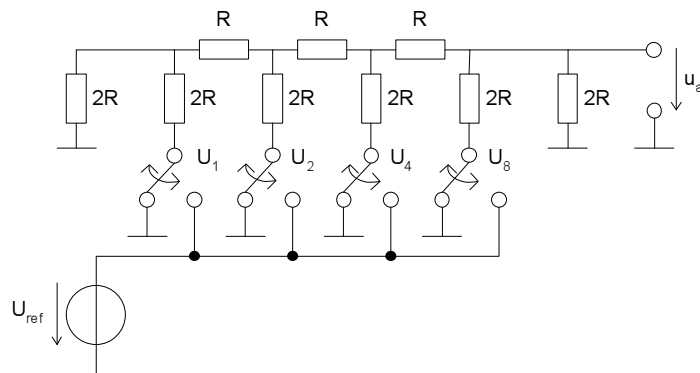


Bild 10.8: DA-Wandler mit Leiternetzwerk

Analog-Umsetzung. Das Widerstandsnetzwerk ist dazu so berechnet, dass jeder Schalter einen Widerstand betätigt, der seinerseits gegen Masse einen Widerstand von  $R$  sieht. Durch Überlagern kann man erkennen, dass sich die Ausgangsspannung wie folgt berechnet.

$$u_a = \frac{1}{3} \left( U_8 + \frac{1}{2} U_4 + \frac{1}{4} U_2 + \frac{1}{8} U_1 \right) \quad (10.16)$$

### Parallel-DAC

Ein zweites Beispiel zeigt einen moderneren DA-Wandler, der keine Widerstände, sondern Stromquellen enthält (siehe Bild 10.9). Dieser Parallelwandler hat  $2 \cdot 2^{N-1}$  Stromquellen für ein  $N$ -Bit breites digitales Wort. Diese können einzeln durch Betätigen der Schalter  $S_b$  positiv,  $S_a$  negativ oder  $S_0$  gar nicht auf den Ausgang geschaltet werden. Die differentielle Architektur eliminiert Störungen. Falls die Stromquellen durch Streuung unterschiedlich ausfallen, kann durch Ansteuerung verschiedener Sätze eine statistische Mittelung der Fehler erreicht werden.

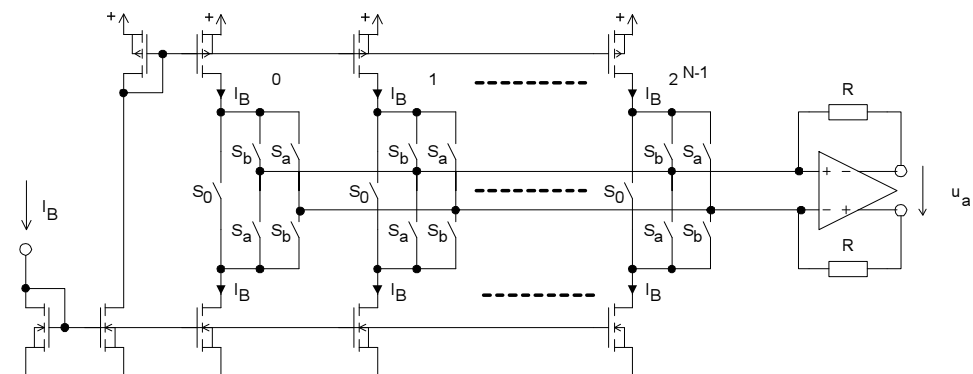


Bild 10.9: Stromgesteuerter DA-Wandler

### 10.2.3 ADC

Die Analog-Digital-Wandler basieren häufig auf Digital-Analog-Wandlern. Das soll hier an einem Beispiel deutlich gemacht werden. Der ADC besteht aus einem oben dargestellten DAC, einem Sukzessive Approximation Register (SAR), einem Abtast-Halte-Glied und einem Komparator (siehe Bild 10.10).

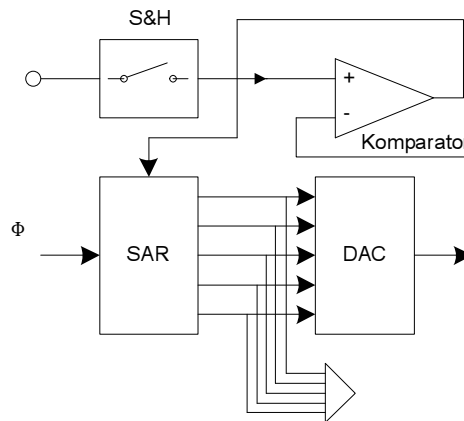


Bild 10.10: Prinzipschaltbild eines ADC nach dem SAR-Verfahren

**Funktion** Das SAR schaltet je nach Ausgang des Komparators ein Bit des Ausgangssignals und damit des DACs ein oder aus. Dies geschieht in der Reihenfolge vom MSB (Most Significant Bit) zum LSB (Least Significant Bit). Es ergibt sich nach  $n$  Taktzyklen das Ausgangswort. Danach kann die Abtast-Halte-Schaltung kurzzeitig wieder auf Abtasten und anschließend auf Halten und damit zu einem neuen Wandlungszyklus gehen.

### 10.3 Bandgap-Spannungsreferenz

Häufig wird eine Referenzspannung auf einer integrierten Schaltung benötigt. Hierzu wird in der Regel eine Bandabstandsschaltung (Bandgapschaltung) eingesetzt. Eine häufig eingesetzte Variante ist in Bild 10.11 gezeigt:

**Temperaturkoeffizient von  $U_{BE}$**  Die Basis-Emitterspannung eines als Diode beschalteten Bipolartransistors berechnet sich aus Gleichung (5.17) und der Gleichung für die intrinsische Ladungsträgerzahl

$$n_i^2 = D_B T^3 \cdot e^{\frac{-U_{BG}}{kT/q}} \quad (10.17)$$

zu

$$U_{BE} = \frac{kT}{q} \ln\left(\frac{i_C N_B W_B}{q \cdot A \cdot D_B^2 \cdot T^3}\right) + U_{BG} \quad (10.18)$$

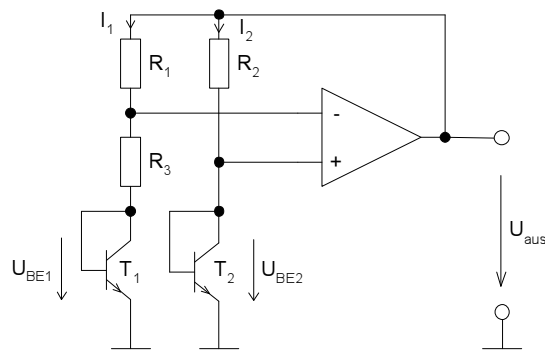


Bild 10.11: Bandgap-Spannungsreferenz

$U_{BG} = 1,205 V$  ist dabei die Bandabstandsspannung von Silizium. Abgeleitet nach der Temperatur ergibt sich eine Temperaturabhängigkeit von

$$\frac{\partial U_{BE}}{\partial T} = \frac{U_{BE} - U_{BG}}{T} - 3 \frac{k}{q} \approx -2 \frac{mV}{K}. \quad (10.19)$$

#### Kompensation

Um diesen negativen Temperaturkoeffizienten zu kompensieren, wird auf die Spannung  $U_{BE2}$  in Bild 10.11 eine Spannung mit positiven Temperaturkoeffizienten addiert. Dies geschieht durch Erhöhung des Stromes  $I_2$ , der dann an  $R_2$  einen entsprechend höheren Spannungsabfall bewirkt.

Um den Strom  $I_2$  zu berechnen, müssen der OP und das Widerstandsnetzwerk betrachtet werden. Für einen idealen OP gilt

$$R_2 \cdot I_2 = R_1 \cdot I_1, \quad (10.20)$$

$$U_{BE2} - U_{BE1} = R_3 \cdot I_1 = \frac{kT}{q} \ln \left( \frac{I_2}{I_1} \right) = \frac{kT}{q} \ln \left( \frac{R_1}{R_2} \right). \quad (10.21)$$

Der Strom  $I_1$  ergibt sich dann zu

$$I_1 = \frac{kT}{R_3 \cdot q} \cdot \ln \left( \frac{R_1}{R_2} \right). \quad (10.22)$$

Daraus folgt für die Gesamtspannung

$$\begin{aligned} U_{aus} &= U_{BE2} + R_2 \cdot I_2 = U_{BE2} + R_1 \cdot I_1 \\ &= U_{BE2} + \frac{R_1}{R_3} \cdot \frac{kT}{q} \cdot \ln \left( \frac{R_1}{R_2} \right). \end{aligned} \quad (10.23)$$

Wird Gleichung (10.18) in (10.23) eingesetzt ergibt sich die Ausgangsspannung in Abhängigkeit von der Temperatur zu

$$U_{Aus} = \frac{kT}{q} \cdot \ln \left( \frac{I_2 \cdot N_B \cdot W_B}{q \cdot A \cdot D_B^2 \cdot T^3} \right) + U_{BG} + \frac{R_1}{R_3} \cdot \frac{kT}{q} \cdot \ln \left( \frac{R_1}{R_2} \right). \quad (10.24)$$

Der erste Term hat eine negative der letzte eine positive Ableitung nach der Temperatur. Der Kurvenverlauf für eine bestimmte Kombination von  $R_1$ ,  $R_2$ ,  $R_3$  ist in Bild 10.10 gezeigt.

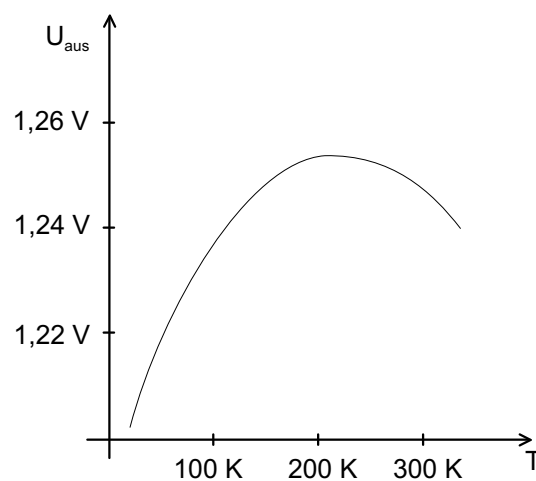


Bild 10.12: Temperaturverlauf von  $U_{Aus}$

Dimensio-  
nierung

Mit  $R_1$ ,  $R_2$  und  $R_3$  lässt sich die dem Scheitel der Kurve zugeordnete Temperatur festlegen. Häufig wird statt der unterschiedlichen Dimensionierung von  $R_1$  und  $R_2$  zur Erreichung unterschiedlicher Ströme  $I_1$ ,  $I_2$  der Transistor  $Q_2$  mehrfach parallel geschaltet. Dann ergibt sich Gleichung (10.24) zu

$$U_{Aus} = \frac{kT}{q} \cdot \ln \left( \frac{I_2 \cdot N_B \cdot W_B}{q \cdot A \cdot D_B^2 \cdot T^3} \right) + U_{BG} + \frac{R_1}{R_3} \cdot \frac{kT}{q} \cdot \ln \left( \frac{n \cdot R_1}{R_2} \right), \quad (10.25)$$

mit  $n$  = Anzahl der parallelen Transistoren.

Matching,  
Offset

Damit die Schaltung gut arbeitet, müssen die Transistoren  $Q_1$  und  $Q_2$  gut gepaart sein und auf derselben Isotherme liegen. Weiterhin muss der Offsetfehler des OPs und dessen Temperaturfehler klein sein.

## 11 Zusammenfassung

Die vorliegende Arbeit behandelt den Entwurf und die Verfahren zum Entwurf integrierter analoger Schaltungen. Letztere sind auf einem zukunftsweisenden Stand beschrieben und spiegeln aktuelle Forschungsarbeiten des Autors und dessen Arbeitsgruppe wieder.

Der Entwurf wird umfassend vom Transistormodell bis hin zu modernen Low-Power-/Low-Voltage-Schaltungen dargestellt. Schaltungsarchitekturen wie gmC- und Log-Domain-Filter werden erläutert. Begleitend wird die Verhaltensmodellierungssprache VHDL-AMS vorgestellt und durchgängig mit Beispielen vertieft.

Bei den Verfahren wird ein moderner Entwurfsablauf vorgestellt. Die automatische symbolische Analyse ist ein wesentlicher Bestandteil dieses Entwurfsablaufs. Sie wird durchgängig dazu verwendet, nichtlineare und lineare Zusammenhänge aus den zu untersuchenden Strukturen zu gewinnen, die für Analyse- und Dimensionierungszwecke verwendet werden können. Dazu gibt es ausführliche Beispiele in Form von Worksheets in dem Computeralgebrasystem Maple V. Diese beinhalten eine Bibliothek zur symbolischen Analyse linearer und nichtlinearer Schaltungen.

Für die Zukunft ist zu wünschen, dass die hier vorgestellten Verfahren zu gängigen Instrumenten des Analogschaltungsentwicklers werden.

# Anhang A Maple-Worksheets

## A.1 Lineare symbolische Analyse einer Sourceschaltung

Worksheet zu Abschnitt 3.2 Symbolische Analyse linearer Schaltungen

### Worksheet zur linearen symbolischen Analyse einer einfachen Sourceschaltung

Einlesen der AMV-Bibliothek

```
> restart;  
> read 'AMV100.proc':
```

#### Transistormodell

Hier: linear mit gm, rds, cgd und cgs

```
> mos_lin:=proc(ref_name,d,g,s,gm,rds,sgd,cgs)  
> spg(Instanz(ref_name,'gm'),d,s,g,s,p1=gm);  
> spr(Instanz(ref_name,'rds'),d,s,p1=rds);  
> spc(Instanz(ref_name,'sgd'),g,d,p1=sgd);  
> spc(Instanz(ref_name,'cgs'),g,s,p1=cgs);  
> end:
```

#### Netzliste

Die Netzliste in an SPICE angelehnter Syntax

```
> einfache_sourceschaltung:=proc(ref_name)  
> # Knoten deklarieren :  
> gin:=knoten(ref_name,'gin');  
> gate:=knoten(ref_name,'gate');  
> drain:=knoten(ref_name,'drain');  
> udd:=knoten(ref_name,'udd');  
> # Generator, '0' ist der Masseknoten  
> spv(Instanz(ref_name,'Uq'),gin,'0',p1=u_q(t));  
> spr(Instanz(ref_name,'Rq'),gin,gate,p1=Rq);  
> # Versorgungsspannung  
> spv(Instanz(ref_name,'UDD'),udd,'0',p1='UDD');  
> # Eingangskapazitaet und Biaswiderstaende  
> spr(Instanz(ref_name,'R2'),gate,'0',p1='R2');  
> # Aufruf des Transistormodells mit 4 symbolischen  
> # Parametern  
> mos_lin(Instanz(ref_name,'M1'),drain,gate,'0',gm,rds,  
> sgd,cgs);  
> # Lastwiderstand  
> spr(Instanz(ref_name,'RL'),drain,udd,p1='RL');  
> # Belastungsquelle am Ausgang zur Ausgangswiderstands-  
> # berechnung:  
> spi(Instanz(ref_name,'ILast'),drain,'0',p1='ILast');  
> end:
```

Numerische Schaltungsparameter

```
> par_satz:={ Rq=5000, UDD=5, R1=4750000, R2=1250000, Ck=10E-3,
> RL=10000, gm=0.0021, rds=100000, cgd = 1E-12, cgs = 1E-12,
ILast=0
> }:
```

## MNA

Aufstellen des nichtlinearen Differentialgleichungssystems aus der Toplevel-Zelle

nach der Methode des Modified-Nodal-Approach

```
> dgl_system:=aufstellen_dgl(einfache_sourceschaltung,u_q);
```

$$\begin{aligned}
 dgl\_system := & [f\_Uq\_iout(t) - \frac{u\_gin(t) - u\_gate(t)}{Rq} = 0, \\
 & \frac{u\_gin(t) - u\_gate(t)}{Rq} - \frac{u\_gate(t)}{R2} \\
 & - ((\frac{\partial}{\partial t} u\_gate(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgd - (\frac{\partial}{\partial t} u\_gate(t)) cgs \\
 & = 0, gm u\_gate(t) - \frac{u\_drain(t)}{rds} \\
 & + ((\frac{\partial}{\partial t} u\_gate(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgd \\
 & - \frac{u\_drain(t) - u\_udd(t)}{RL} - ILast = 0, \\
 & f\_UDD\_iout(t) + \frac{u\_drain(t) - u\_udd(t)}{RL} = 0, \\
 & u\_gin(t) - u\_q(t) = 0, u\_udd(t) - UDD = 0]
 \end{aligned}$$

## Symbolische Analyse der linearen Schaltung

### Symbolisch Analyse in einzelnen Schritten

**Arbeitspunkt durch DC-Analyse Berechnen:**

```
> dc_loesung:=dc_analyse(subs(u_q(t)=0.01,par_satz,
> dgl_system));
```

$$\begin{aligned}
 dc\_loesung := & \{u\_drain(t) = 4.73560304237595, \\
 & u\_gin(t) = .0100000000000000, \\
 & f\_Uq\_iout(t) = .796812749003984 \cdot 10^{-8}, \\
 & u\_gate(t) = .00996015936254980, \\
 & u\_udd(t) = 5.00000000000000, \\
 & f\_UDD\_iout(t) = .0000264396957624049\}
 \end{aligned}$$

**Symbolisch in diesem Arbeitspunkt linearisieren:**

```
> dgl_linear_symb:=symb_lin(subs(u_q(t)=v_ac(t)+0.01,
> dgl_system),v_ac(t),dc_loesung);
```

$$\begin{aligned}
dgl\_linear\_symb &:= [1. \frac{u\_gate(t)}{Rq} - 1. \frac{u\_gin(t)}{Rq} + f\_Uq\_iout(t) = 0, \\
&- 1. cgd(\frac{\partial}{\partial t} u\_gate(t)) - 1. (\frac{\partial}{\partial t} u\_gate(t)) cgs - 1. \frac{u\_gate(t)}{Rq} \\
&- 1. \frac{u\_gate(t)}{R2} + \frac{u\_gin(t)}{Rq} + 1. (\frac{\partial}{\partial t} u\_drain(t)) cgd = 0, \\
&cgd(\frac{\partial}{\partial t} u\_gate(t)) + 1. \frac{u\_udd(t)}{RL} + gm u\_gate(t) \\
&- 1. \frac{u\_drain(t)}{rds} - 1. \frac{u\_drain(t)}{RL} - 1. (\frac{\partial}{\partial t} u\_drain(t)) cgd = 0, \\
&- 1. \frac{u\_udd(t)}{RL} + \frac{u\_drain(t)}{RL} + f\_UDD\_iout(t) = 0, \\
&u\_gin(t) - 1. v\_ac(t) = 0, u\_udd(t) = 0]
\end{aligned}$$

### Aufstellen der Systemmatrix im Frequenzbereich

```

> ac_symb_system:=aufst_system_matrix(dgl_linear_symb,
> v_ac(t)):
> A:=ac_symb_system[1]:
> x:=ac_symb_system[2]:
> q:=ac_symb_system[3]:
> print(A, ' * ', convert(x,matrix), ' = ', convert(q,matrix));

```

$$\begin{bmatrix}
0, 1, 0, \frac{1}{Rq}, -1. \frac{1}{Rq}, 0 \\
0, 0, cgd s, -1. cgd s - 1. cgs s - 1. \frac{1}{Rq} - 1. \frac{1}{R2}, \frac{1}{Rq}, 0 \\
0, 0, -1. cgd s - 1. \frac{1}{rds} - 1. \frac{1}{RL}, cgd s + gm, 0, \frac{1}{RL} \\
1, 0, \frac{1}{RL}, 0, 0, -1. \frac{1}{RL} \\
0, 0, 0, 0, 1, 0 \\
0, 0, 0, 0, 0, 1
\end{bmatrix}, *,$$

$$\begin{bmatrix}
F\_UDD\_iout(s) \\
F\_Uq\_iout(s) \\
U\_drain(s) \\
U\_gate(s) \\
U\_gin(s) \\
U\_udd(s)
\end{bmatrix}, =, \begin{bmatrix}
0 \\
0 \\
0 \\
0 \\
1. \text{laplace}(v\_ac(t), t, s) \\
0
\end{bmatrix}$$

### Lösen des linearen Gleichungssystems und selektieren der Lösung aus dem Lösungsvektor

```

> loes_vektor:=linalg[linsolve](A,q):
> # Gleichungssystem invertieren
> loes_gleichungen:=[seq(x[i]=eval(loes_vektor[i]),
> i=1..linalg[rowdim](A))];
> # in Liste von Gleichungen umwandeln

```



```

loes_gleichungen := [
F_UDD_iout(s) =  $\frac{R2 (cgs + gm) rds \text{laplace}(v\_ac(t), t, s)}{\%1}$ 
, F_Uq_iout(s) =  $\text{laplace}(v\_ac(t), t, s) (cgs R2 rds RL gm$ 
- 1. R2 cgs RL - 1. cgs R2 rds
- 1. cgs s2 R2 cgd rds RL - 1. cgs s R2 RL
- 1. cgs s R2 rds - 1. cgs rds RL - 1. RL - 1. rds) / (%1),
U_drain(s) =
- 1.  $\frac{R2 (cgs + gm) rds RL \text{laplace}(v\_ac(t), t, s)}{\%1}$ , U_gate(s)
= - 1.  $\frac{(cgs rds RL + RL + rds) R2 \text{laplace}(v\_ac(t), t, s)}{\%1}$ ,
U_gin(s) =  $\text{laplace}(v\_ac(t), t, s)$ , U_udd(s) = 0]
%1 :=  $cgs Rq R2 rds RL gm - 1. cgs Rq R2 RL$ 
- 1.  $cgs Rq R2 rds - 1. cgs s^2 Rq R2 cgd rds RL$ 
- 1.  $cgs s Rq R2 RL - 1. cgs s Rq R2 rds$ 
- 1.  $R2 cgs rds RL - 1. R2 RL - 1. R2 rds$ 
- 1.  $Rq cgs rds RL - 1. Rq RL - 1. Rq rds$ 
> H1 := (rhs(op(select(has, loes_gleichungen, U_drain(s)))) \
> /laplace(v_ac(t), t, s));
> # Daraus Gleichung fuer den Ausgang
> # U_drain(s) selektieren
H1 := - 1.  $R2 (cgs + gm) rds RL / (cgs Rq R2 rds RL gm$ 
- 1.  $cgs Rq R2 RL - 1. cgs Rq R2 rds$ 
- 1.  $cgs s^2 Rq R2 cgd rds RL - 1. cgs s Rq R2 RL$ 
- 1.  $cgs s Rq R2 rds - 1. R2 cgs rds RL - 1. R2 RL$ 
- 1.  $R2 rds - 1. Rq cgs rds RL - 1. Rq RL - 1. Rq rds)$ 

```

## Alle Schritte zusammen

Berechnen der exakten Übertragungsfunktion von Eingang(u\_q(t)) zu Ausgang (u\_drain(t))

```

> H2 := loese_lin_dgl(dgl_system, u_q, u_drain);
H2 := - 1.  $R2 (cgs + gm) rds RL / (cgs Rq R2 rds RL gm$ 
- 1.  $cgs Rq R2 RL - 1. cgs Rq R2 rds$ 
- 1.  $cgs s^2 Rq R2 cgd rds RL - 1. cgs s Rq R2 RL$ 
- 1.  $cgs s Rq R2 rds - 1. R2 cgs rds RL - 1. R2 RL$ 
- 1.  $R2 rds - 1. Rq cgs rds RL - 1. Rq RL - 1. Rq rds)$ 

```

## ÜTF vereinfachen (Vereinfachung nach Erzeugung)

Entwicklungspunkt ist hier f=100Hz, Fehlertoleranz ist 2%

```

> H_niedrig_f := simple(H1, par_satz union {s=6.29*100}, 0.02);
H_niedrig_f := - 1.  $\frac{R2 gm rds RL}{- 1. R2 RL - 1. R2 rds}$ 
> H_niedrig_f2 := simple(H_niedrig_f, par_satz, 0.2);
H_niedrig_f2 := 1. gm RL

```

## A.2 Nichtlineare symbolische Analyse eines zweistufigen OPs

Worksheet zu Abschnitt 3.3.2

### Worksheet zur symbolischen Analyse der Slew-Rate eines zweistufigen Operationsverstärkers

Einlesen der AMV-Bibliothek

```
> restart;
> read 'AMV100.proc':
```

#### Nichtlineares Großsignal-Transistormodell

```
> mos_non_lin:=proc(ref_name,d,g,s,beta,vth,kTq,cgd,
> cgs,ttype,lambda)
> local uds,ugs,n_ugsteff,l_ugsteff,ugsteff,
> n_udseff,l_udseff,udseff,
> id,saett,lin,subth,off;
> spc(instanz(ref_name,'cgd'),g,d,p1=cgd);
> spc(instanz(ref_name,'cgs'),g,s,p1=cgs);
> uds:=u.(d)(t) - u.(s)(t);
> ugs:=u.(g)(t) - u.(s)(t);
> if ttype='_p' then
> ugs:=-ugs;
> uds:=-uds;
> fi;
> n_ugsteff:=unh(ref_name,'ugst');
> l_ugsteff:=(kTq*ln(1+exp((ugs-vth)/(kTq))));
> unh.(n_ugsteff):=-f.(n_ugsteff)(t)+l_ugsteff;
> ugsteff:=f.(n_ugsteff)(t);
> # Deklaration einer unabhaengigen
> # Variablen fuer die
> # effektive Gate-Sourcespannung.
> # ( Umschaltung zwischen Off,
> # Subthreshold, On )
> udseff:=ugsteff-0.5*(ugsteff-uds-0.01+
> sqrt((ugsteff-uds-0.01)^2
> +4*0.01*ugsteff));
> l_udseff:=unh(ref_name,'udseff');
> unh.(l_udseff):=-f.(l_udseff)(t)+udseff;
> udseff:=f.(l_udseff)(t);
> # Dasselbe fuer die effektive
> # Drain-Sourcespannung.
> # (Umschaltung zwischen Linear und
> # Saettigung)
> id:=unh(ref_name,'id');
> unh.(id):= -f.(id)(t)+beta*(ugsteff*udseff-udseff^2/2)
> *(1+lambda*uds)+ 1E-12*uds;
> # Drain Strom
> if ttype='_p' then
> i.(d):=i.(d) + f.(id)(t);
> i.(s):=i.(s) - f.(id)(t);
```

```

> else
> i.(d):=i.(d) - f.(id)(t);
> i.(s):=i.(s) + f.(id)(t);
> fi;
> # Bereichserkennung:
> if 1 = 1 then
> saett:=unh(ref_name,'saett');
> unh.(saett):=-f.(saett)(t)+Heaviside(uds-(ugs-vth))
> *Heaviside(ugs-vth);
> lin:=unh(ref_name,'lin');
> unh.(lin):=-f.(lin)(t)+Heaviside(-uds+(ugs-vth))
> *Heaviside(ugs-vth);
> subth:=unh(ref_name,'subth');
> unh.(subth):=-f.(subth)(t)+Heaviside(-ugs+vth)
> *Heaviside(ugs-0.9*vth);
> off:=unh(ref_name,'off');
> unh.(off):=-f.(off)(t)+Heaviside(-ugs+0.9*vth);
> fi;
> end:

```

## Netzliste und Schaltungs-/Simulationsparameter

```

> zweistufiger_op:=proc(ref_name)
> # Knoten deklarieren :
> gin_a:=knoten(ref_name,'gin_a');
> gin_b:=knoten(ref_name,'gin_b');
> in_a:=knoten(ref_name,'in_a');
> in_b:=knoten(ref_name,'in_b');
> ubias:=knoten(ref_name,'ubias');
> drain_a:=knoten(ref_name,'drain_A');
> drain_b:=knoten(ref_name,'drain_b');
> drain2:=knoten(ref_name,'drain2');
> bi_gat:=knoten(ref_name,'bi_gat');
> source:=knoten(ref_name,'source');
> vdd:=knoten(ref_name,'vdd');
> # Generator, '0' ist der Masseknoten
> spv(instanz(ref_name,'Uqe1'),gin_a,ubias,p1=u_q(t));
> spe(instanz(ref_name,'Uqe2'),gin_b,ubias,
> gin_a,ubias,p1=-1);
> spv(instanz(ref_name,'Ub'),ubias,'0',p1='Ubias');
> spr(instanz(ref_name,'Rqa'),in_a,gin_a,p1='Rq');
> spr(instanz(ref_name,'Rqb'),in_b,gin_b,p1='Rq');
> # Versorgungsspannung
> spv(instanz(ref_name,'Vdd'),vdd,'0',p1='VDD');
> spi(instanz(ref_name,'Ibias'),vdd,bi_gat,p1='Ibias');
> # Aufruf des Transistormodells mit 4
> # symbolischen Parametern
> # Eingangsstufe
> mos_non_lin(instanz(ref_name,'M11'),drain_a,in_a,
> source,beta,
> vth,kTq,cgd,cgs,_n,lambda);
> mos_non_lin(instanz(ref_name,'M12'),drain_b,in_b,
> source,beta,
> vth,kTq,cgd,cgs,_n,lambda);
> # Bias-Stromspiegel

```

```

> mos_non_lin(instanz(ref_name, 'M1'), bi_gat, bi_gat,
> '0', beta,
> vth, kTq, cgd, cgs, _n, lambda);
> mos_non_lin(instanz(ref_name, 'M2'), drain2, bi_gat,
> '0', beta,
> vth, kTq, cgd, cgs, _n, lambda);
> mos_non_lin(instanz(ref_name, 'M13'), source, bi_gat,
> '0', beta,
> vth, kTq, cgd, cgs, _n, lambda);
> # Lastwiderstand
> spr(instanz(ref_name, 'RL1'), drain_a, vdd, p1='RL');
> spr(instanz(ref_name, 'RL2'), drain_b, vdd, p1='RL');
> spc(instanz(ref_name, 'CL2'), drain2, '0', p1='CL');
> # Ausgangsstufe
> mos_non_lin(instanz(ref_name, 'M3'), drain2, drain_b,
> vdd, beta,
> vth, kTq, cgd, cgs, _p, lambda);
> end:

```

### Numerische Schaltungsparameter

```

> par_satz:={ Rq=50, VDD=5, R1=4750000, R2=1250000,
> Cx=10E-6, RL=500, beta=0.05, vth=0.7,
> cgd = 1E-14, cgs = 1E-14, ILast=0.0,
> kTq=0.025, Ubias=2.5, Ubias_s=1.5,
> Ibias=5E-3, CL=1E-5, lambda=0.03};

```

Arbeitsbereiche der Schaltung, gleichzeitig als Simulationsparameter verwendet.

```

> min_u:=-0.3;           # Minimale Eingangsspannung
> # fuer DC-Sweep
> max_u:=0.3;           # Maximale Eingangsspannung
> step_u:=0.01;         # Schrittweite fuer DC-Sweep
> ampl:=0.3;            # Amplitude des Eingangssprungs
> # fuer TR-Analyse
> t_end:=0.4e-4;        # Endezeit fuer TR-Analyse
> t_step:=1e-5;         # Schrittweite
> freq:=10000;          # Frequenz der Eingangsquelle

```

```
min_u := -.3
```

```
max_u := .3
```

```
step_u := .01
```

```
ampl := .3
```

```
t_end := .00004
```

```
t_step := .00001
```

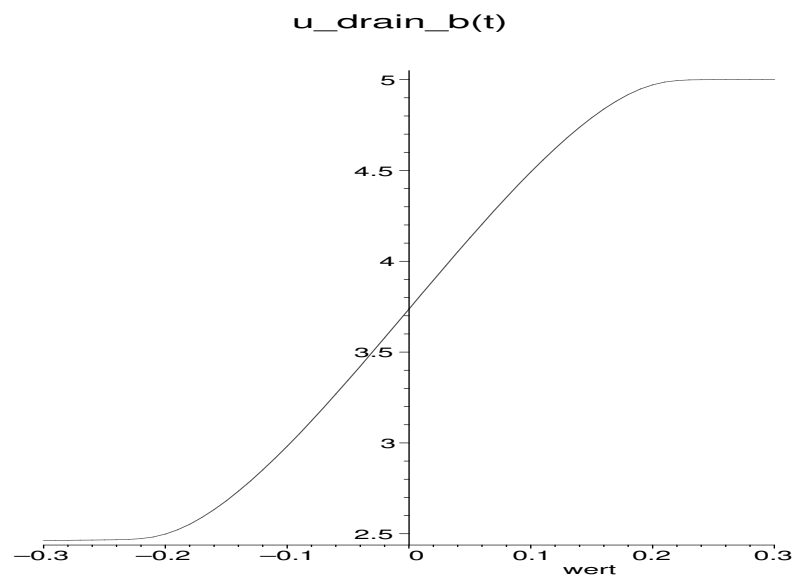
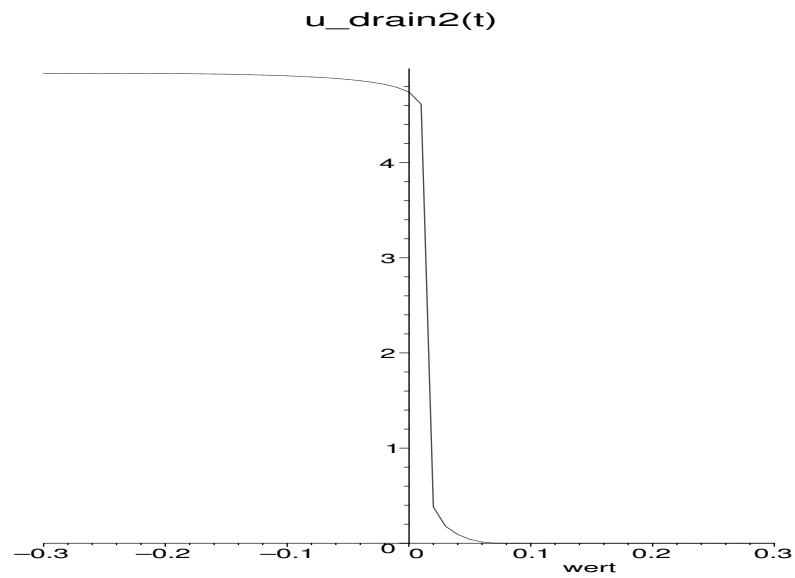
```
freq := 10000
```

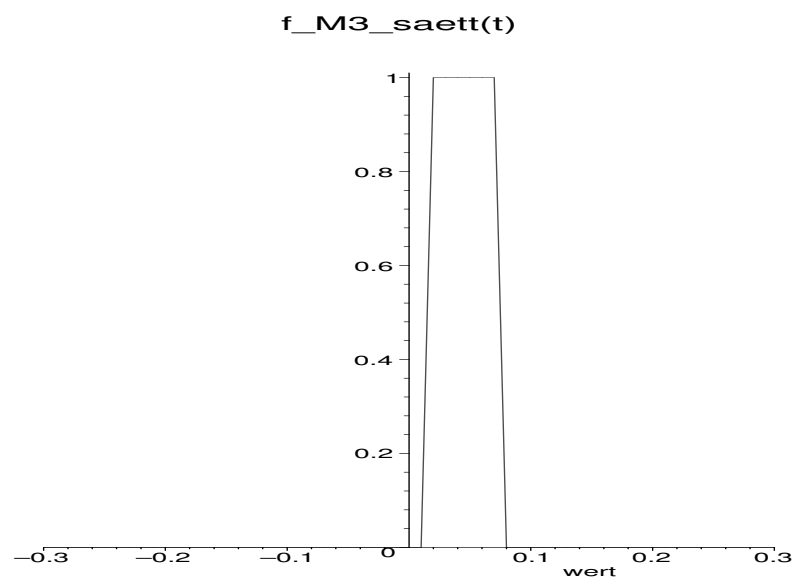
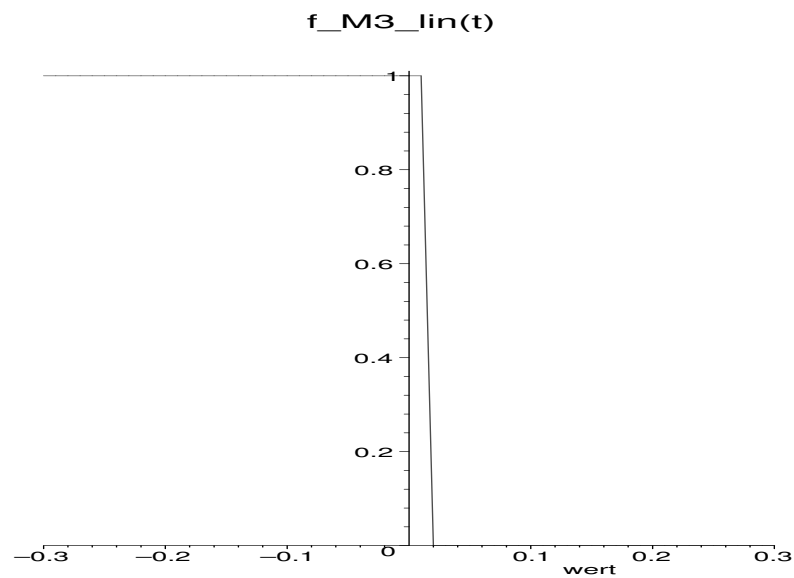
### MNA

```
> dgl_system:=aufstellen_dgl(zweistufiger_op, u_q):
```

### DC-Übertragungsfunktion numerisch

```
> dc_sweep(subs(par_satz,dgl_system),u_q(t)=min_u..max_u,  
> step_u,{},[u_drain2(t),u_drain_b(t),  
> f_M3_lin(t),f_M3_saett(t)],style=line):
```





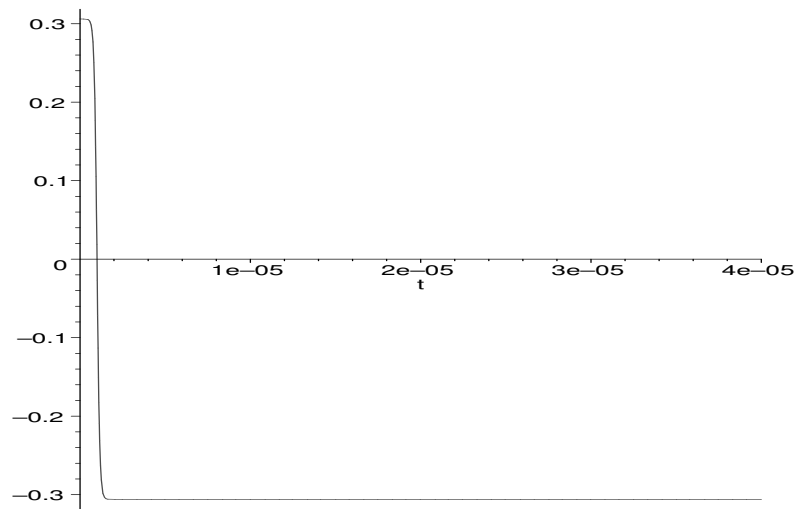
## Nichtlineare Erregung für Slew-Rate Bestimmung: TR-Analyse

```
> dgl_system_1:=remove_bereiche(dgl_system):
> # Eingangserregung: Sprungfunktion
> tr_input:=u_q(t)=-ampl*(+1.02*tanh(6.28*100.5
> *freq*(t-0.01E-4))+1.0)+ampl;
> tr_input_0:=lhs(tr_input)=subs(t=0,rhs(tr_input));
> plot(rhs(tr_input),t=0..t_end,title='Eingangserregung');
```

$$tr\_input := u_q(t) = -.306 \tanh(.6311400000 10^7 t - 6.311400000)$$

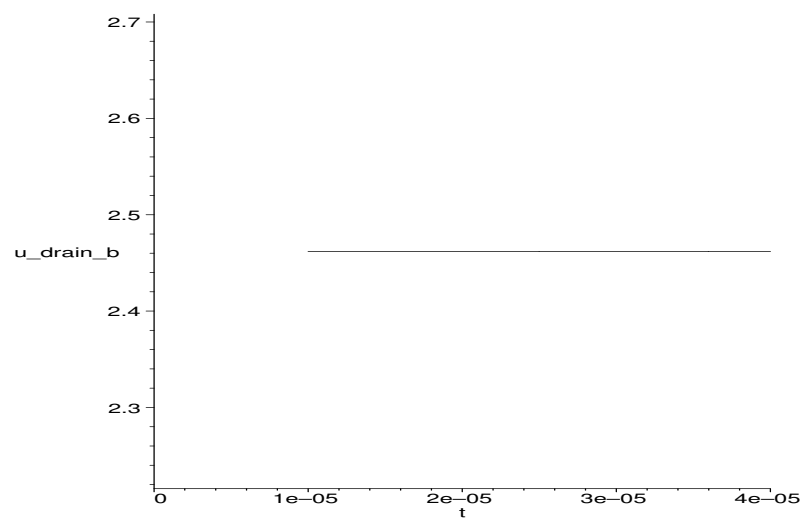
$$tr\_input_0 := u_q(t) = -.306 \tanh(-6.311400000)$$

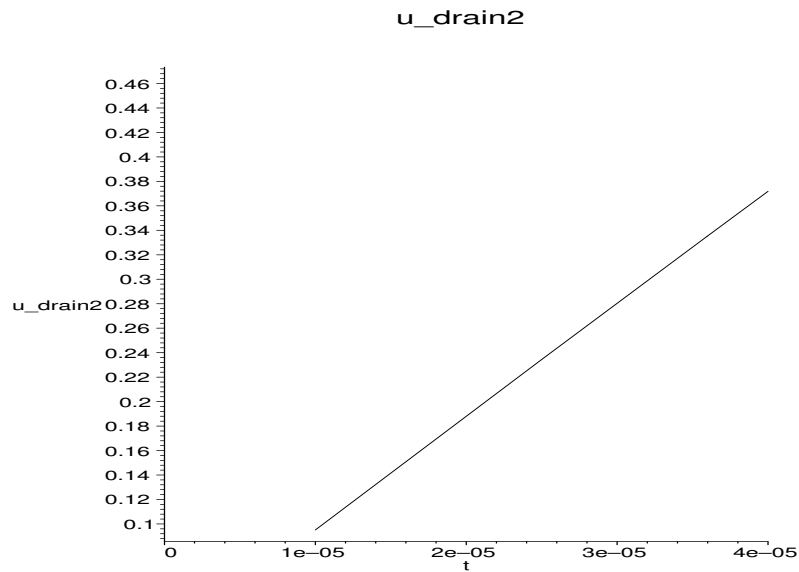
## Eingangserregung



```
> # DC-Startwert fuer TR-Analyse
> dc_loes:=dc_analyse(subs(tr_input_0,par_satz,
> dgl_system_1)):
> # TR-Analyse
> p_orig:=tr_analyse(subs(par_satz,dgl_system_1),
> tr_input,dc_loes,t_end,t_step,
> [u_drain_b(t),u_drain2(t)]):
```

## u\_drain\_b





## Nichtlineare Vereinfachung

```

> ude:=0.20;          # Fehler
> # Einfache Ersetzungen
> dgl_ss1:=elim_simple_equa(dgl_system_1,{u_q(t)}):
> # Aktivieren aller Vereinfachungen: physical,
> #   const, param, hierarchie
> label_mode:='take_all';
> label_value:=VDD;  # 2.Parameter fuer const
> infolevel[vereinfache_dgl]:=1;
> # Hier werden alle Vereinfachungen nacheinander
> # ausgef"uhrt:
> dgl_ss2:=vereinfache_dgl(dgl_ss1,u_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,TR,dc_loes,
> tr_input,t_step,t_end):
> dgl_ss3:=elim_simple_equa(dgl_ss2,{u_q(t)},{u_drain2(t)});

      ude := .20
      label_mode := take_all
      label_value := VDD
      infolevel_vereinfache_dgl := 1
vereinfache_dgl: Vereinfache mit Methode physical
vereinfache_dgl: 30   Label vergeben
call_delterm:   TR-analysis enabled
vereinfache_dgl: All terms: 30   Deleted terms: 11
      Percentage: 36.6666666666667
vereinfache_dgl: Vereinfache mit Methode consts auf 0
vereinfache_dgl: 48   Label vergeben
call_delterm:   TR-analysis enabled
vereinfache_dgl: All terms: 48   Deleted terms: 12
      Percentage: 25.
vereinfache_dgl: Vereinfache mit Methode consts auf
      extern: VDD
vereinfache_dgl: 39   Label vergeben
call_delterm:   TR-analysis enabled

```



```

vereinfache_dgl: All terms: 39 Deleted terms: 6
Percentage: 15.3846153846154
vereinfache_dgl: Vereinfache mit Methode param infinity
vereinfache_dgl: 10 Label vergeben
call_delterm: TR-analysis enabled
vereinfache_dgl: All terms: 10 Deleted terms: 3
Percentage: 30.
vereinfache_dgl: Vereinfache mit Methode param 0
vereinfache_dgl: 7 Label vergeben
call_delterm: TR-analysis enabled
vereinfache_dgl: All terms: 7 Deleted terms: 0
Percentage: 0
vereinfache_dgl: Vereinfache mit Methode hierarchie
vereinfache_dgl: 102 Label vergeben
call_delterm: TR-analysis enabled
vereinfache_dgl: All terms: 102 Deleted terms: 39
Percentage: 38.2352941176471

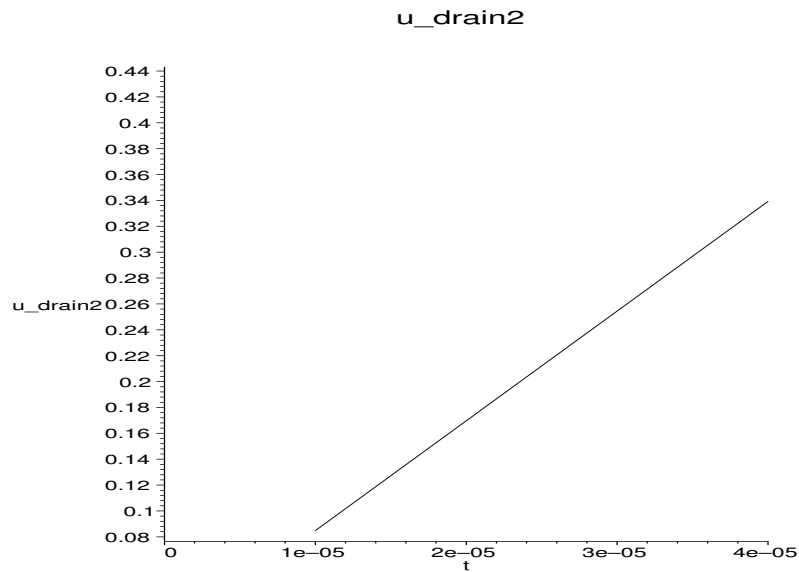
dgl_ss3 := [f_M12_ugst(t) = u_in_b(t) - u_source(t),
f_M12_udseff(t) = 1.0f_M12_ugst(t), f_M12_id(t) = beta
f_M12_ugst(t)f_M12_udseff(t) lambda (u_drain_b(t) - u_source(t)),
f_M1_ugst(t) = u_bi_gat(t) - vth,
f_M1_udseff(t) = 1.0f_M1_ugst(t), f_M1_id(t) = beta
(f_M1_ugst(t)f_M1_udseff(t) - 1/2 f_M1_udseff(t)^2)
(1 + lambda u_bi_gat(t)), f_M13_ugst(t) = u_bi_gat(t) - vth,
f_M13_udseff(t) = .5f_M13_ugst(t) + .5u_source(t)
- .5 sqrt((f_M13_ugst(t) - u_source(t))^2), f_M13_id(t) =
beta (f_M13_ugst(t)f_M13_udseff(t) - 1/2 f_M13_udseff(t)^2),
f_M3_ugst(t) = -u_drain_b(t) + VDD - vth,
f_M3_udseff(t) = 1.0f_M3_ugst(t), f_M3_id(t) = beta
(f_M3_ugst(t)f_M3_udseff(t) - 1/2 f_M3_udseff(t)^2)
(1 + lambda VDD), -u_in_b(t) - 2Ubias / Rq = 0,
-f_M12_id(t) - (u_drain_b(t) - VDD) / RL = 0,
-(d/dt u_drain2(t)) CL + f_M3_id(t) = 0, Ibias - f_M1_id(t) = 0,
f_M12_id(t) - f_M13_id(t) = 0]

```

```

> # Zur Kontrolle plotten:
> tr_analyse(subs(par_satz, dgl_ss3), tr_input, dc_loes,
> t_end, t_step, [u_drain2(t)]):

```



```
> # Gleichungen ineinander einsetzen
> infolevel[try_isolate_and_elim]:=0;
> dgl_ss4:=try_isolate_and_elim(dgl_ss3,u_q(t),u_drain2(t));
```

*infolevel*<sub>try\_isolate\_and\_elim</sub> := 0

*dgl\_ss4* := [

$$I_{bias} = \frac{1}{2} \beta f_{M13\_udseff}(t)^2 (1 + \lambda (f_{M13\_udseff}(t) + v_{th})),$$

$$\frac{1}{2} \beta f_{M13\_udseff}(t)^2 = \beta f_{M12\_ugst}(t)^2 \lambda ($$

$$-\frac{1}{2} \beta f_{M13\_udseff}(t)^2 RL + VDD + f_{M12\_ugst}(t) - 2 U_{bias}),$$

$$\left(\frac{\partial}{\partial t} u_{drain2}(t)\right) CL =$$

$$\frac{1}{2} \beta \left(\frac{1}{2} \beta f_{M13\_udseff}(t)^2 RL - v_{th}\right)^2 (1 + \lambda VDD)]$$

```
> # Nachvereinfachen
> dgl_ss5:=vereinfache_dgl(dgl_ss4,u_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,TR,dc_loes,
> tr_input,t_step,t_end);
vereinfache_dgl:  Warnung: Eingangsvariable nicht im
dgl-System: u_q(t)
vereinfache_dgl: 17 Label vergeben
call_deltterm: TR-analysis enabled
vereinfache_dgl: All terms: 17 Deleted terms: 6
Percentage: 35.2941176470588
```

$$dgl\_ss5 := [I_{bias} = \frac{1}{2} \beta f_{M13\_udseff}(t)^2 (1 + \lambda v_{th}),$$

$$0 = -2 \beta f_{M12\_ugst}(t)^2 \lambda U_{bias},$$

$$\left(\frac{\partial}{\partial t} u_{drain2}(t)\right) CL = \frac{1}{2} \beta \left(\frac{1}{2} \beta f_{M13\_udseff}(t)^2 RL - v_{th}\right)^2]$$

```
> # Nochmal einsetzen und plotten
> dgl_ss6:=try_isolate_and_elim(dgl_ss5,u_q(t),u_drain2(t),
```

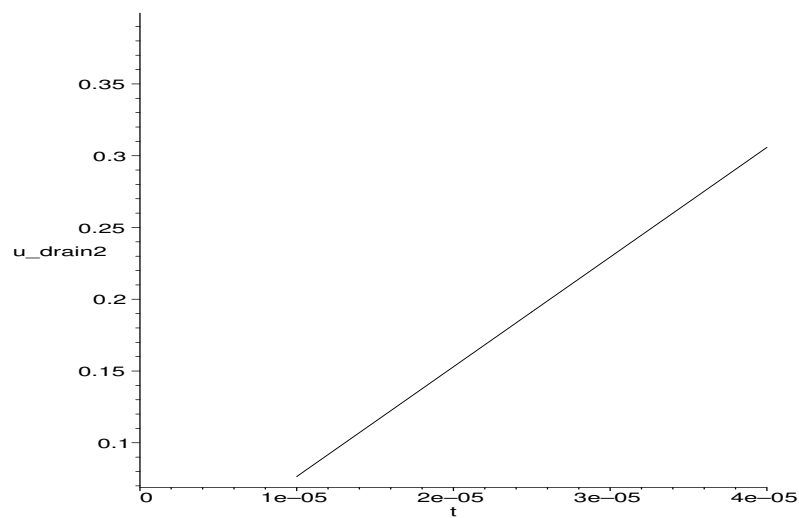
```

> 21);
> p_6:=tr_analyse(subs(par_satz,dgl_ss6),tr_input,dc_loes,
> t_end,t_step,[u_drain2(t)]):
> plots[display]([p_orig,p_6],
> title='Original und Vereinfacht');

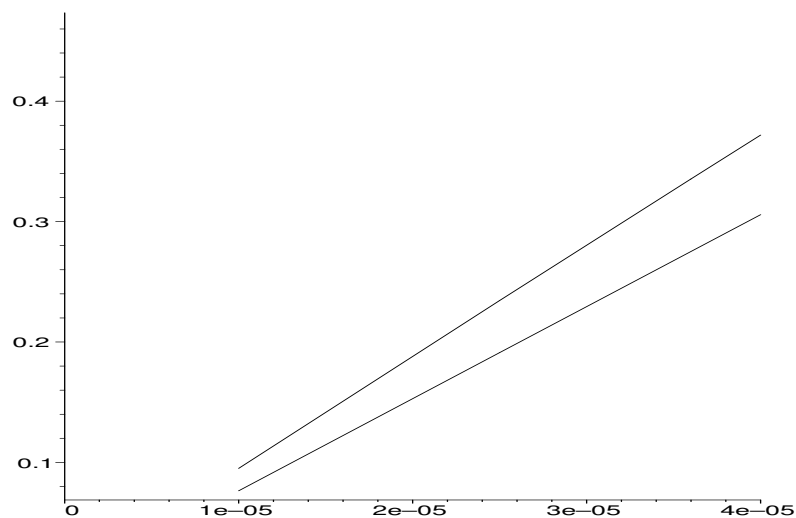
```

$$dgl\_ss6 := \left[ I_{bias} = \frac{(v_{th} \beta + \sqrt{2} \sqrt{\beta \left( \frac{\partial}{\partial t} u_{drain2}(t) \right) CL} (1 + \lambda v_{th})}{\beta RL} \right]$$

$u\_drain2$



Original und Vereinfacht



### SR-Berechnen

```

> # Nach Slew-Rate Auflösen:
> dgl_ss7:=convert(dgl_ss6,D);
> slew_rate:=rhs(isolate(op(dgl_ss7),D(u_drain2)(t)));

```

```

> slew_rate_simpler:=simple(subs(tr_input,
> t=t_end,slew_rate),par_satz,ude);

```

$$dgl_{ss7} := [Ibias = \frac{(vth\beta + \sqrt{2}\sqrt{\beta D(u_{drain2})(t)CL})(1 + \lambda vth)}{\beta RL}]$$

$$slew\_rate := \frac{1}{2} \frac{\left(\frac{Ibias\beta RL}{1 + \lambda vth} - vth\beta\right)^2}{\beta CL}$$

$$slew\_rate\_simpler := \frac{1}{2} \frac{\beta (IbiasRL - vth)^2}{CL}$$

```

> #Numerischer Wert der Slewwrate
> num_slew_rate:=evalf(subs(tr_input,t=t_end,
> par_satz,slew_rate_simpler));
num_slew_rate := 8100.000000000000

```

### A.3 Sourceschaltung

Worksheet zu Abschnitt 6.1.1 Eintransistorverstärker

## Worksheet zur symbolischen Analyse einer einfachen Sourceschaltung

Einlesen der AMV-Bibliothek

```

> restart;
> read 'AMV100.proc':

```

### Transistormodell

Hier: linear mit gm, rds, cgd und cgs

```

> mos_lin:=proc(ref_name,d,g,s,gm,rds,cgd,cgs)
> spg(instanz(ref_name,'gm'),d,s,g,s,p1=gm);
> spr(instanz(ref_name,'rds'),d,s,p1=rds);
> spc(instanz(ref_name,'cgd'),g,d,p1=cgd);
> spc(instanz(ref_name,'cgs'),g,s,p1=cgs);
> end:

```

### Netzliste

```

> sourceschaltung:=proc(ref_name)
> # Knoten deklarieren :
> ein:=knoten(ref_name,'ein');
> gin:=knoten(ref_name,'gin');
> gate:=knoten(ref_name,'gate');
> drain:=knoten(ref_name,'drain');
> udd:=knoten(ref_name,'udd');
> # Generator, '0' ist der Masseknoten
> spv(instanz(ref_name,'Uq'),gin,'0',p1=u_q(t));
> spr(instanz(ref_name,'Rq'),gin,ein,p1=Rq);
> # Versorgungsspannung
> spv(instanz(ref_name,'UDD'),udd,'0',p1='UDD');

```

```

> # Eingangskapazitaet und Biaswiderstaende
> spr(instanz(ref_name, 'R1'), gate, udd, p1='R1');
> spr(instanz(ref_name, 'R2'), gate, '0', p1='R2');
> spc(instanz(ref_name, 'Ck'), ein, gate, p1='Ck');
> # Aufruf des Transistormodells mit 4 symbolischen
> # Parametern
> mos_lin(instanz(ref_name, 'M1'), drain, gate, '0',
> gm, rds, cgd, cgs);
> # Lastwiderstand
> spr(instanz(ref_name, 'RL'), drain, udd, p1='RL');
> # Belastungsquelle am Ausgang zur Ausgangswiderstandsberechnung:
> spi(instanz(ref_name, 'ILast'), drain, '0', p1='ILast');
> end:

```

### Numerische Schaltungsparameter

```

> par_satz:={ Rq=5000, UDD=5, R1=4750000, R2=1250000, Ck=10E-3,
> RL=10000, gm=0.0021, rds=100000, cgd = 1E-12, cgs = 1E-12,
> ILast=0
> }:

```

## MNA

Aufstellen des nichtlinearen Differentialgleichungssystems aus der Toplevel-Zelle

nach der Methode des Modified-Nodal-Approach

```

> dgl_system:=aufstellen_dgl(sourceschaltung, u_q);

dgl_system := [

$$\frac{u\_gin(t) - u\_ein(t)}{Rq} - \left( \left( \frac{\partial}{\partial t} u\_ein(t) \right) - \left( \frac{\partial}{\partial t} u\_gate(t) \right) \right) Ck = 0,$$


$$f\_Uq\_iout(t) - \frac{u\_gin(t) - u\_ein(t)}{Rq} = 0, -\frac{u\_gate(t) - u\_udd(t)}{RI}$$


$$- \frac{u\_gate(t)}{R2} + \left( \left( \frac{\partial}{\partial t} u\_ein(t) \right) - \left( \frac{\partial}{\partial t} u\_gate(t) \right) \right) Ck$$


$$- \left( \left( \frac{\partial}{\partial t} u\_gate(t) \right) - \left( \frac{\partial}{\partial t} u\_drain(t) \right) \right) cgd - \left( \frac{\partial}{\partial t} u\_gate(t) \right) cgs = 0,$$


$$- gm u\_gate(t) - \frac{u\_drain(t)}{rds}$$


$$+ \left( \left( \frac{\partial}{\partial t} u\_gate(t) \right) - \left( \frac{\partial}{\partial t} u\_drain(t) \right) \right) cgd - \frac{u\_drain(t) - u\_udd(t)}{RL}$$


$$- ILast = 0,$$


$$f\_UDD\_iout(t) + \frac{u\_gate(t) - u\_udd(t)}{RI} + \frac{u\_drain(t) - u\_udd(t)}{RL}$$


$$= 0, u\_gin(t) - u\_q(t) = 0, u\_udd(t) - UDD = 0]$$


```

## ÜTF

Berechnen der Übertragungsfunktion von Eingang( $u_q(t)$ ) zu Ausgang ( $u\_drain(t)$ )

```

> H:=loese_lin_dgl(dgl_system, u_q, u_drain);

```

$$\begin{aligned}
H := & R1 R2 (cgs - 1. gm) rds RL Cks / (R2 RL + R2 rds + R1 RL \\
& + R1 rds + cgs R1 R2 rds RL gm + Cks^2 R1 R2 cgd rds RL \\
& + cgs^2 R1 R2 cgd rds RL + Cks R1 R2 RL + Cks R1 R2 rds \\
& + cgs R1 R2 RL + cgs R1 R2 rds + cgs R1 R2 RL \\
& + cgs R1 R2 rds + R2 cgd rds RL + R1 cgd rds RL \\
& + R2 RL Cks Rq + cgs^2 R1 R2 rds RL gm Ck Rq \\
& + cgs^2 R1 R2 RL Ck Rq + cgs^2 R1 R2 rds Ck Rq \\
& + cgs^2 R1 R2 RL Ck Rq + cgs^2 R1 R2 rds Ck Rq \\
& + cgs^3 R1 R2 cgd rds RL Ck Rq + R2 rds Cks Rq \\
& + R2 cgd^2 rds RL Ck Rq + R1 RL Cks Rq + R1 rds Cks Rq \\
& + R1 cgd^2 rds RL Ck Rq)
\end{aligned}$$

## Verstärkung

ÜTF vereinfachen: Entwicklungspunkt ist hier f=100Hz, Fehlertoleranz ist 2%

```
> H_niedrig_f:=simple(H,par_satz union {s=6.29*100},0.02);
```

$$H_{niedrig\_f} := -1. \frac{gm rds RL}{RL + rds}$$

```
> H_niedrig_f2:=simple(H_niedrig_f,par_satz,0.2);
```

$$H_{niedrig\_f2} := -1. gm RL$$

## Eingangswiderstand

```
> R_ein:=1/loese_lin_dgl(dgl_system,u_q,f_Uq_iout):
> R_ein:=limit(R_ein,Rq=0):
> # Rq auf 0 setzen um tatsaechlichen Eingangswiderstand
> ohne
> # Umschreiben der Netzliste berechnen zu koennen
> Jetzt Eingangswiderstandsformel noch vereinfachen:
> R_ein_simple:=simple(R_ein,par_satz union {s=6.29*100},0.02);
```

$$R_{ein\_simple} := \frac{R1 R2}{R2 + R1}$$

## Ausgangswiderstand

```
> dgl_system_ra:=subs(ILast=ILast(t),u_q(t)=0,dgl_system):
> # Eingangsgroesse vom Eingang zur Stromquelle am
> Ausgang wechseln
> R_aus:=-loese_lin_dgl(dgl_system_ra,ILast,
> u_drain,{ILast(t)=1.0}):
```

Jetzt Ausgangswiderstandsformel noch vereinfachen

```
> R_aus_simple:=simplify(simple(R_aus, par_satz
> union {s=6.29*1000},0.02));
```

$$R_{aus\_simple} := \frac{rds RL}{RL + rds}$$

## Grenzfrequenz

Dazu zuerst eine neue Näherung der ÜTF für hohe Frequenzen:

```
> H_grenz:=simple(H,par_satz union {s=6.29*1E7},0.1);
```

$$H_{\text{grenz}} := -1 \cdot \frac{gmRL}{1 + cgd s RL gm Rq}$$

Hieraus den Pol und damit auch die Grenzfrequenz berechnen:

```
> Pol1:=nullstellen(denom(H_grenz),par_satz)[1];
> f_3db:=1/('2'*Pi)*Pol1;
```

$$f_{3db} := -1 \cdot \frac{1}{2\pi cgd RL gm Rq}$$

## Gain-Bandwidth

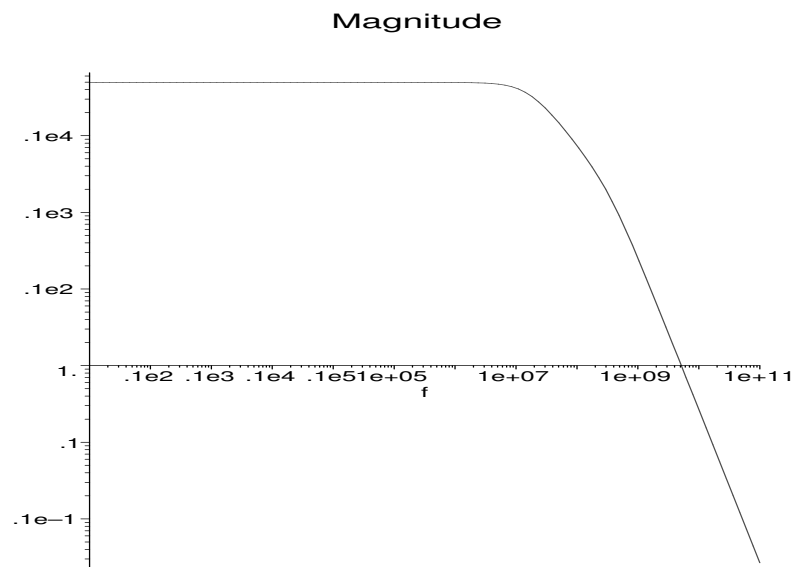
Die Gain-Bandwidth ergibt sich dann durch Multiplikation der Grenzfrequenz mit der Verstärkung

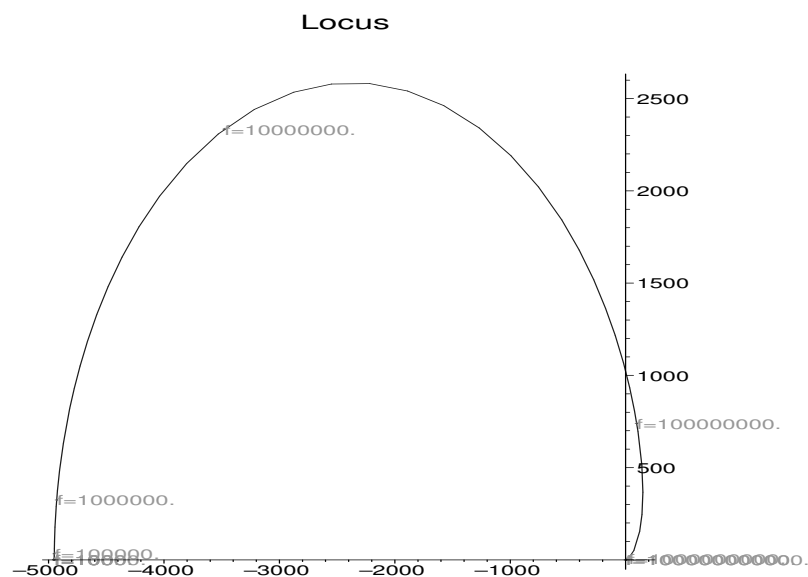
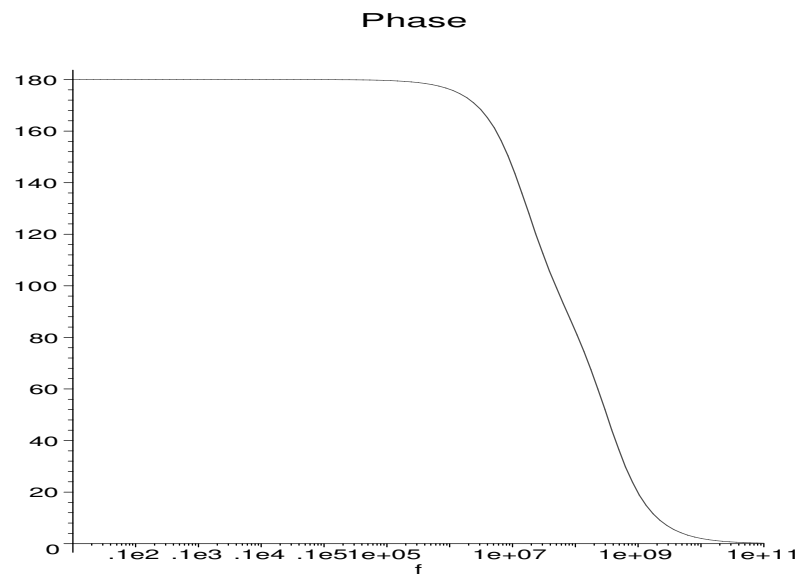
```
> GBW:=H_niedrig_f2*f_3db;
```

$$GBW := 1 \cdot \frac{1}{2\pi cgd Rq}$$

## Bode-Diagramm und Ortskurve

```
> plote_b_dia(subs(par_satz,H),s,1..10000000000);
```





## A.4 Kaskodestufe

Worksheet zu Abschnitt 6.2 Kaskodestufen

### Worksheet zur symbolischen Analyse einer einfachen Kaskodestufe

#### Einlesen der AMV-Bibliothek

```
> restart;
> WORKSHEET_HOME:=getenv('WORKSHEET_HOME');
```



```

> if WORKSHEET_HOME=NULL then
> # Falls AMV100.proc nicht gefunden wird,
> # hier das Directory, in dem sich die worksheets befinden,
> # eintragen
> WORKSHEET_HOME:='D:\\worksheets';
> fi;
> currentdir(WORKSHEET_HOME):
> read 'AMV100.proc':

```

## Transistormodell

Hier: linear mit gm, rds, cgd und cgs

```

> mos_lin:=proc(ref_name,d,g,s,gm,rds,cgd,cgs)
> spg(instanz(ref_name,'gm'),d,s,g,s,p1=gm);
> spr(instanz(ref_name,'rds'),d,s,p1=rds);
> spc(instanz(ref_name,'cgd'),g,d,p1=cgd);
> spc(instanz(ref_name,'cgs'),g,s,p1=cgs);
> end:

```

## Netzliste

Kaskodestufe mit einem Transistor in Source und dem anderen in Kaskodeschaltung

```

> kaskodestufe:=proc(ref_name)
> # Knoten deklarieren :
> gin:=knoten(ref_name,'gin');
> gate:=knoten(ref_name,'gate');
> drain:=knoten(ref_name,'drain');
> aus:=knoten(ref_name,'aus');
> bias:=knoten(ref_name,'bias');
> udd:=knoten(ref_name,'udd');
> # Generator, '0' ist der Masseknoten
> spv(instanz(ref_name,'Uq'),gin,'0',p1=u_q(t));
> spr(instanz(ref_name,'Rq'),gin,gate,p1=Rq);
> # Versorgungsspannung
> spv(instanz(ref_name,'UDD'),udd,'0',p1='UDD');
> spv(instanz(ref_name,'UBias'),bias,'0',p1='UBias');
> # Transistormodells fuer Sourceschaltung
> mos_lin(instanz(ref_name,'M1'),drain,gate,'0',
> gm1,rds1,cgd,cgs);
> # Kaskodetransistor
> mos_lin(instanz(ref_name,'M2'),aus,bias,drain,
> gm2,rds2,cgd,cgs);
> # Lastwiderstand
> spr(instanz(ref_name,'RL'),aus,udd,p1='RL');
> # Belastungsquelle am Ausgang zur Ausgangswiderstandsberechnung:
> spi(instanz(ref_name,'ILast'),aus,'0',p1='ILast');
> end:

```

## Numerische Schaltungsparameter

```

> par_satz:={ Rq=5000, UDD=5, UBias=2, Ck=10E-3, RL=10000,
gm1=0.0021,

```

```
> gm2=0.021, rds1=100000, rds2=10000, cgd = 1E-12, cgs = 1E-12,
  ILast=0
> }:
```

## MNA

Aufstellen des nichtlinearen Differentialgleichungssystems aus der Toplevel-Zelle

nach der Methode des Modified Nodal Approach

```
> dgl_system:=aufstellen_dgl(kaskodestufe,u_q);
```

$$\begin{aligned}
 dgl\_system := & [f\_Uq\_iout(t) - \frac{u\_gin(t) - u\_gate(t)}{Rq} = 0, \\
 & \frac{u\_gin(t) - u\_gate(t)}{Rq} - ((\frac{\partial}{\partial t} u\_gate(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgd \\
 & - (\frac{\partial}{\partial t} u\_gate(t)) cgs = 0, -gm1 u\_gate(t) - \frac{u\_drain(t)}{rds1} \\
 & + ((\frac{\partial}{\partial t} u\_gate(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgd \\
 & + gm2 (u\_bias(t) - u\_drain(t)) + \frac{u\_aus(t) - u\_drain(t)}{rds2} \\
 & + ((\frac{\partial}{\partial t} u\_bias(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgs = 0, \\
 & -gm2 (u\_bias(t) - u\_drain(t)) - \frac{u\_aus(t) - u\_drain(t)}{rds2} \\
 & + ((\frac{\partial}{\partial t} u\_bias(t)) - (\frac{\partial}{\partial t} u\_aus(t))) cgd - \frac{u\_aus(t) - u\_udd(t)}{RL} \\
 & - ILast = 0, f\_UBias\_iout(t) \\
 & - ((\frac{\partial}{\partial t} u\_bias(t)) - (\frac{\partial}{\partial t} u\_aus(t))) cgd \\
 & - ((\frac{\partial}{\partial t} u\_bias(t)) - (\frac{\partial}{\partial t} u\_drain(t))) cgs = 0, \\
 & f\_UDD\_iout(t) + \frac{u\_aus(t) - u\_udd(t)}{RL} = 0, \\
 & u\_gin(t) - u\_q(t) = 0, u\_udd(t) - UDD = 0, \\
 & u\_bias(t) - UBias = 0]
 \end{aligned}$$

## ÜTF

Berechnen der Übertragungsfunktion von Eingang(u\_q(t)) zu Ausgang (u\_drain(t))

```
> H:=loese_lin_dgl(dgl_system,u_q,u_au);
```

$$\begin{aligned}
H := & -1.rds1(1. + gm2rds2)RL(gm1 - 1.cgds)/(RL + rds1 \\
& + rds2 + gm2rds1rds2 + cgdsrds1rds2 + cgssrds1rds2 \\
& + cgdsrds2RL + 2.cgdsrds1RL + cgd^2s^2rds1rds2RL \\
& + gm2rds1rds2cgdsRL + cgssrds1RL \\
& + cgss^2rds1rds2cgdRL \\
& + gm2rds1rds2cgds^2RLcgSRq + cgss^2s^2rds1RLRq \\
& + cgss^2rds1rds2Rq + cgss^3rds1rds2cgdRLRq \\
& + rds1cgdsRqgm1RL + rds1cgdsRqgm1rds2 \\
& + rds1cgd^2s^2Rqgm1rds2RL + cgd^2s^2rds1RLRq \\
& + 3.cgd^2s^2rds1RLcgSRq + 2.cgd^2s^2rds1rds2cgSRq \\
& + 2.cgd^2s^3rds1rds2RLcgSRq + cgd^2s^2rds2RLRq \\
& + cgd^2rds2RLcgSRq + gm2rds1rds2cgdsRq \\
& + gm2rds1rds2cgssRq + gm2rds1rds2cgd^2s^2RLRq \\
& + RLcgdsRq + RLcgssRq + rds2cgdsRq \\
& + rds2cgssRq + rds1cgdsRq + rds1cgssRq)
\end{aligned}$$

## Verstärkung

ÜTF vereinfachen: Entwicklungspunkt ist hier  $f=100\text{Hz}$ , Fehlertoleranz ist  $0.02\%$

```
> H_niedrig_f:=simple(H,par_satz union {s=6.29*100},0.0002);
```

$$H_{\text{niedrig}_f} := -1. \frac{rds1(1. + gm2rds2)RLgm1}{rds2 + rds1 + RL + gm2rds1rds2}$$

```
> H_niedrig_f2:=simple(H_niedrig_f,par_satz,0.2);
```

$$H_{\text{niedrig}_f2} := -1.RLgm1$$

## Eingangswiderstand

```
> R_ein:=1/loese_lin_dgl(dgl_system,u_q,f_Uq_iout):
```

```
> R_ein:=limit(R_ein,Rq=0):
```

```
> # Rq auf 0 setzen um tatsaechlichen Eingangswiderstand
```

```
> ohne
```

```
> # Umschreiben der Netzliste berechnen zu koennen
```

```
Jetzt Eingangswiderstandsformel noch vereinfachen:
```

```
> R_ein_simple:=simple(R_ein,par_satz union {s=6.29*1},0.2);
```

$$R_{\text{ein\_simple}} := \frac{1}{s(cgd + cgss)}$$

## Ausgangswiderstand

```
> dgl_system_ra:=subs(ILast=ILast(t),u_q(t)=0,dgl_system):
```

```
> # Eingangsgroesse vom Eingang zur Stromquelle am
```

```
> Ausgang wechseln
```

```
> R_aus:=-loese_lin_dgl(dgl_system_ra,
```

```
> ILast,u_aus,{ILast(t)=1.0}):
```

Jetzt Ausgangswiderstandsformel noch vereinfachen

```
> R_aus_simple:=limit(simplify(simple(R_aus,par_satz
```

```
> union {s=6.29*1},0.0002)),RL=infinity);
```

$$R_{aus\_simple} := rds2 + gm2rds1rds2 + rds1$$

## Grenzfrequenz

Dazu zuerst eine neue Näherung der ÜTF für hohe Frequenzen:

```
> H_grenz:=simple(H,par_satz union {s=6.29*1E7},0.16);
```

$$H_{grenz} := -1.RLgm1 / (1. + RLcgs + cgs^2 RLcgsRq + cgsRq + cgsRq + cgd^2 s^2 RL Rq)$$

Hieraus den Pol und damit auch die Grenzfrequenz berechnen:

```
> Pol1:=nullstellen(denom(H_grenz),par_satz)[1];
> f_3db:=1/('2'*Pi)*Pol1;
```

$$f_{3db} := -1. \frac{1}{2\pi Rq(cgd + cgs)}$$

## Gain-Bandwidth

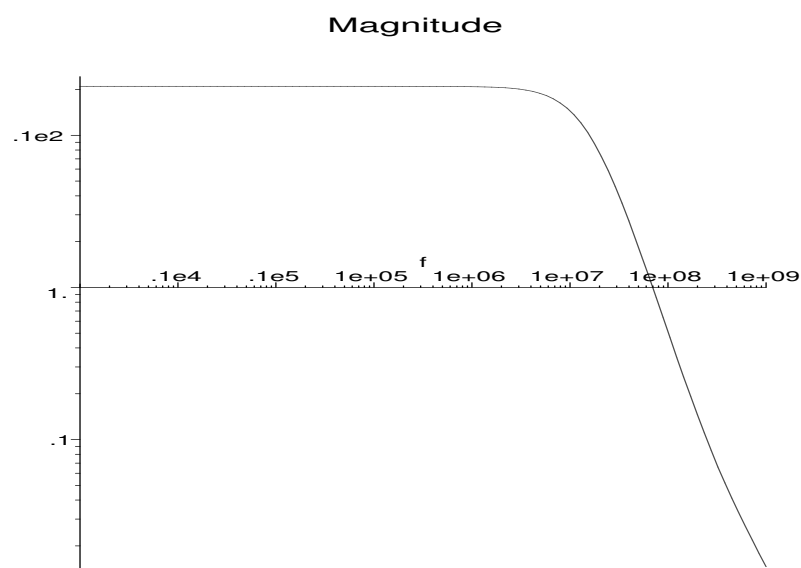
Die Gain-Bandwidth ergibt sich dann durch Multiplikation der Grenzfrequenz mit der Verstärkung

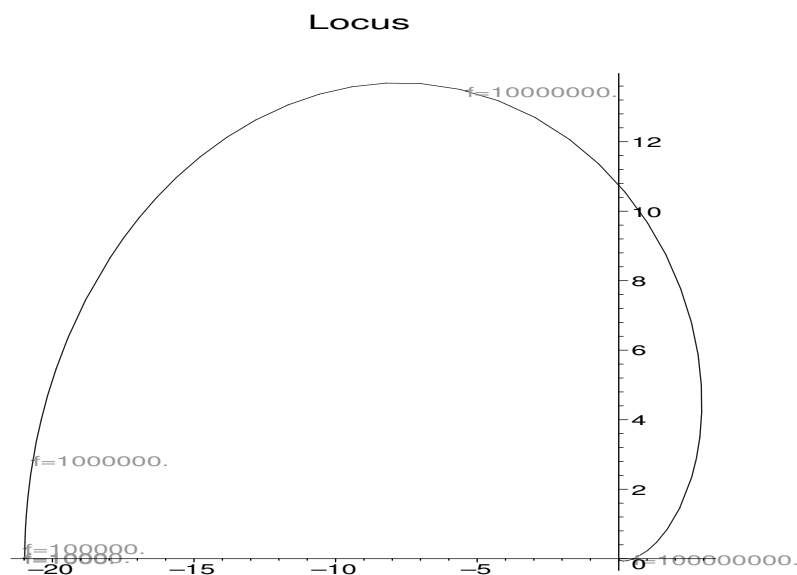
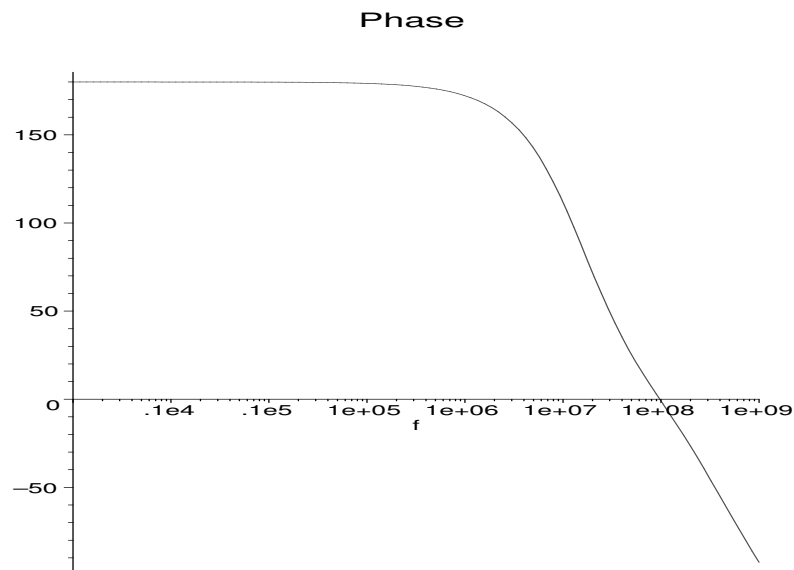
```
> GBW:=H_niedrig_f2*f_3db;
```

$$GBW := 1. \frac{RLgm1}{2\pi Rq(cgd + cgs)}$$

## Bode-Diagramm und Ortskurve

```
> plotte_b_dia(subs(par_satz,H),s,100..100000000);
```





## A.5 Automatische Dimensionierung eines OTAs

Worksheet zu Abschnitt 7.2.1 Beispiel: Differenzverstärker mit Kaskodelast

### Worksheet zur automatischen Dimensionierung eines OTAs mit Hilfe der nichtlinearen und linearen symbolischen Analyse

#### Initialisierung

> #Initialisierung und Einlesen der wichtigsten Routinen:

```

> restart;
> WORKSHEET_HOME:=getenv('WORKSHEET_HOME');
> if WORKSHEET_HOME=NULL then
> # Falls AMV100.proc nicht gefunden wird,
> # hier das Directory, in dem sich die worksheets befinden,
> # eintragen
> WORKSHEET_HOME:='E:\\worksheets';
> fi;
> currentdir(WORKSHEET_HOME):
> read 'AMV100.proc';

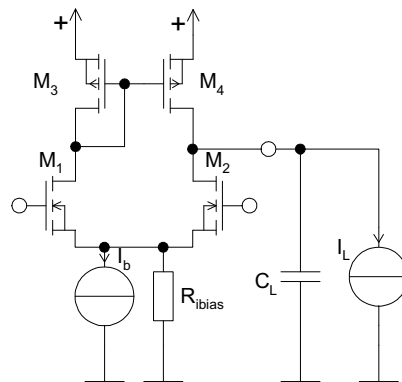
```

*WORKSHEET\_HOME := ""*

## Einlesen der Schaltung A

### Lineares und nichtlineares Transistormodell

#### Netzliste



```

> # Jetzt die Netzliste
> ota:=proc(ref_name)
> # Deklaration von neuen Knoten :
> local gen,in1,in2,gen2,vdd2,drain1,drain2,source,vdd;
> # Knoten initialisieren :
> gen:=knoten(ref_name,'gen');
> in1:=knoten(ref_name,'in1');
> gen2:=knoten(ref_name,'gen2');
> in2:=knoten(ref_name,'in2');
> source:=knoten(ref_name,'source');
> drain1:=knoten(ref_name,'drain1');
> drain2:=knoten(ref_name,'drain2');
> vdd:=knoten(ref_name,'vdd');
> vdd2:=knoten(ref_name,'vdd2');
> infolevel[vereinfache_dgl]:=1;
> # Generator:
> spv(instanz(ref_name,'Vg'),gen,vdd2,dc='v_q(t)');
> spe(instanz(ref_name,'Vg2'),gen2,vdd2,gen,vdd2,e='-1.0');
> spr(instanz(ref_name,'Rg'),gen,in1,p1='Rq');
> spr(instanz(ref_name,'Rg2'),gen2,in2,p1='Rq');

```

```

> # Versorgungsspannung Bias
> spv(instanz(ref_name, 'Vdd2'), vdd2, '0', dc='VDD'/2.0);
> spv(instanz(ref_name, 'Vdd'), vdd, '0', p1='VDD');
> spi(instanz(ref_name, 'IB'), source, '0', p1='IBIAS');
> spr(instanz(ref_name, 'RIBIAS'), source, '0', p1='Ribias');
> # Differenzstufe
> mos_lin(instanz(ref_name, 'M1'), drain1, in1, source, gm1,
> rds1, cgd1,
> cgd1, 0, KPn, VTo, '_n', Ven, W1, L1,
> cgdo, cgdo, kTq, Gmin, delta);
> mos_lin(instanz(ref_name, 'M2'), drain2, in2, source, gm1, rds1, cgd1,
> cgd1, 0, KPn, VTo, '_n', Ven, W1, L1,
> cgdo, cgdo, kTq, Gmin, delta);
> # Strom-Spiegel als aktive Last
> mos_lin(instanz(ref_name, 'M3'), drain1, drain1, vdd, gm3,
> rds3, cgd3,
> cgd3, 0, KPp, VTo, '_p', Vep, W3, L3,
> cgdo, cgdo, kTq, Gmin, delta);
> mos_lin(instanz(ref_name, 'M4'), drain2, drain1, vdd, gm3,
> rds3, cgd3,
> cgd3, 0, KPp, VTo, '_p', Vep, W3, L3,
> cgdo, cgdo, kTq, Gmin, delta);
> # Last:
> spc(instanz(ref_name, 'CL'), drain2, '0', p1=CL);
> spi(instanz(ref_name, 'IL'), drain2, '0', p1='IL');
> end:

```

## Parameter fuer Transistor und Startdimensionierung

```

> par_satz:= {
> # Schaltungsparameter
> Rq=50000,      # Ohm
> VDD=5,        # V
> IL=1E-6,      # A
> IBIAS=10E-6, # A
> Ribias=1E9,   # Ohm
> CL=100e-12,  # F
> # Transistorwerte
> # ESB-Werte(zunaechst geschaetzt):
> gm1=0.0005,
> rds1=50000000,
> cgd1=10e-15,
> gm3=0.0005,
> rds3=50000000,
> cgd3=10e-15,
> # Grosssignalwerte
> VTo=0.8,      # V
> cgdo=540E-12, # F/m
> KPn=40E-6,    # A/V
> KPp=15E-6,    # A/V
> lambdan=0.0001,
> Ven=5000000,  # V/m
> Vep=8000000,  # V/m
> lambdap=0.0001,
> kTq=0.025,    # V ( 25mV )

```

```

> Gmin=1e-12,          # S Minimaler Leitwert
> delta=0.01,
> # Startdimensionierung
> W1=1e-6,
> L1=1e-6,
> W3=1e-6,
> L3=1e-6,
> W5=1e-6,
> L5=1e-6
> }:
```

## Aufstellen des linearen Dgl-Systems

```

> dgl_system:=aufstellen_dgl(ota,v_q):
```

## Erster Dimensionierungsdurchgang

## Bestimmung der Nichtlinearen Kenngrößen

### Zunächst nichtlineares Dgl-System aufstellen

```

> mos_lin:=mos_non_lin; # Transistormodell umbauen
> dgl_system_nl_all:=aufstellen_dgl(ota,v_q):
> dgl_system_nl_all:=subs(IL=0,dgl_system_nl_all):
> dgl_system_nl:=remove_bereiche(dgl_system_nl_all):
> # Bereich fuer die Kontroll-Simulation
> min_u:=-0.1;        # DC-Startwert
> max_u:=0.1;        # DC-Endwert
> step_u:=0.001;     # DC-Schrittweite
> dc_start:=dc_analyse(subs(v_q(t)=min_u,par_satz,
> dgl_system_nl)):
> dc_sweep(subs(par_satz,dgl_system_nl),
> v_q(t)=min_u..max_u,step_u,{},[u_drain2(t)],
> style=line):
```

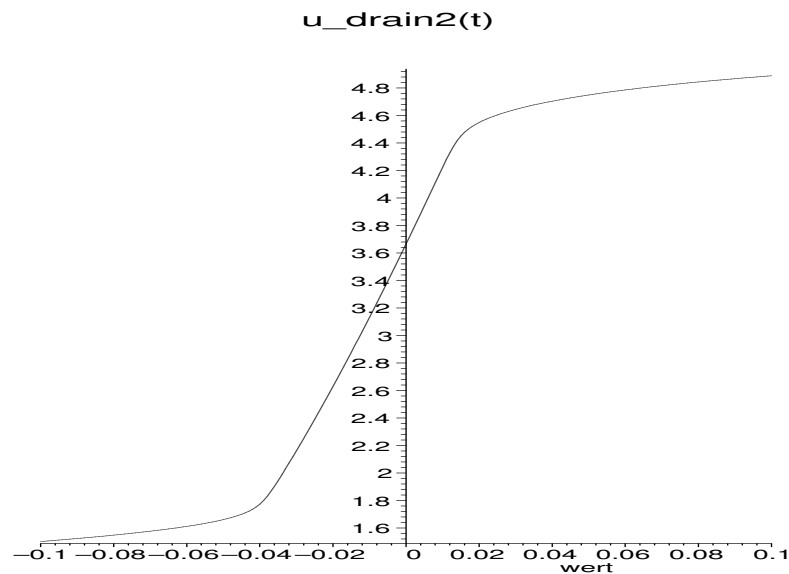
*mos\_lin := mos\_non\_lin*

*min\_u := -.1*

*max\_u := .1*

*step\_u := .001*





### Untere Grenze:

```

> min_u:=-0.061;    # Arbeitspunkt fuer untere Grenze
> max_u:=-0.06;
> step_u:=0.001;
> ude:=0.05;      # Fehlergrenze
> dc_start:=sort([op(dc_analyse(subs(v_q(t)=min_u,par_satz,
> dgl_system_nl)))]),sort_lex_var):
> # Startwert fuer Vereinfachung
> infolevel[vereinfache_dgl]:=0:
> ref_dt_liste:=NULL:
> # Ruecksetzen der Referenz
> label_mode='take_all':
> # Alle Vereinfachungsverfahren
> # Alternativen: 'hierarchie'
> label_value=[]: # Keine Konstantsetzungen
> # Jetzt die Vereinfachung
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),
> u_drain2(t),min_u,max_u,step_u,ude,DT,dc_start):
> # Nachvereinfachung durch Einsetzen
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},
> {u_drain2(t)});
> # Da mehrere Loesungen, die richtige selektieren:
> Vmax_unten_1:=loese_nl_dgl(dgl_ss2,v_q,u_drain2,1):
> Vmax_unten_2:=loese_nl_dgl(dgl_ss2,v_q,u_drain2,2):
> if has(Vmax_unten_1,VDD) then
> Vmax_unten:=Vmax_unten_1:
> else
> Vmax_unten:=Vmax_unten_2:
> fi:
> # Und numerisch ausgeben
> Vmax_unten:=simplify(subs(v_q=0,Vmax_unten));
> Vmax_unten_num:=evalf(subs(par_satz,Vmax_unten));

```

*min\_u := -0.061*

$$\begin{aligned}
& \max_u := -.06 \\
& \text{step}_u := .001 \\
& ude := .05 \\
& \text{dgl\_ss2} := \left[ \begin{aligned}
& f_{M1\_ugst}(t) = u_{in1}(t) - u_{source}(t) - VTo, \\
& f_{M1\_udseff}(t) = f_{M1\_ugst}(t), 2KPnW1 \\
& (f_{M1\_ugst}(t)f_{M1\_udseff}(t) - \frac{1}{2}f_{M1\_udseff}(t)^2) \\
& (1 + \frac{u_{drain1}(t)}{VenLI})/LI = 0, \\
& f_{M2\_ugst}(t) = u_{in2}(t) - u_{source}(t) - VTo, \\
& f_{M2\_udseff}(t) = u_{drain2}(t) - u_{source}(t), \\
& 2 \frac{KPnW1 f_{M2\_ugst}(t)f_{M2\_udseff}(t)}{LI} = 0, \\
& f_{M4\_ugst}(t) = -u_{drain1}(t) - VTo, \\
& f_{M4\_udseff}(t) = f_{M4\_ugst}(t), 2 \\
& \frac{KppW3 (f_{M4\_ugst}(t)f_{M4\_udseff}(t) - \frac{1}{2}f_{M4\_udseff}(t)^2)}{L3} \\
& = 0, \frac{u_{gen}(t) - u_{in1}(t)}{Rq} = 0, -\frac{u_{in2}(t)}{Rq} = 0, \\
& u_{gen}(t) - .5000000000000000VDD - v_q(t) = 0 \end{aligned} \right] \\
& Vmax\_unten := .5000000000000000VDD - 1.VTo \\
& Vmax\_unten\_num := 1.7000000000000000
\end{aligned}$$

### Obere Grenze:

```

> min_u:=0.03;      # Hier die obere Grenze am oberen
> # Ende der DC-Transferkurve
> max_u:=0.032;
> step_u:=0.001;
> ude:=0.05;      # Fehlergrenze
> dc_start:=sort([op(dc_analyse(subs(v_q(t)=min_u,par_satz,
> dgl_system_nl),{u_drain2(t)=5}))],sort_lex_var):
> ref_dt_liste:=NULL:
> label_mode:='take_all':
> label_value:=[]:
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,DT,dc_start):
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},{u_drain2(t)}):
> dgl_ss3:=try_isolate_and_elim(dgl_ss2,v_q(t),u_drain2(t),
> 0.2);
> Vmax_oben_1:=loese_nl_dgl(dgl_ss3,v_q,u_drain2,1):
> Vmax_oben_2:=loese_nl_dgl(dgl_ss3,v_q,u_drain2,2):
> if evalf(subs(par_satz,Vmax_oben_1)) < 5 then
> Vmax_oben:=Vmax_oben_1:
> else
> Vmax_oben:=Vmax_oben_2:
> fi:
> Vmax_oben:=simplify(subs(v_q=0,Vmax_oben));

```

```

> Vmax_oben_num:=evalf(subs(par_satz,Vmax_oben));

      min_u := .03
      max_u := .032
      step_u := .001
      ude := .05
dgl_ss3 := [2  $\frac{IBIASL3}{KpW3VDD} = -u_{drain2}(t) + VDD]$ 
Vmax_oben :=  $\frac{-2IBIASL3 + KpW3VDD^2}{KpW3VDD}$ 
Vmax_oben_num := 4.733333333333334

```

### SR-Berechnen

```

> min_u:=-0.03;           # DC-Werte sind jetzt nur Dummys,
> max_u:=0.032;          # da TR-Analyse fuer SR verwendet
> step_u:=0.01;          # wird.
> ampl:=0.3;             # Amplitude des Eingangssprungs
> # fuer TR-Analyse
> t_end:=4e-6;           # Endezeit fuer TR-Analyse
> t_step:=1e-7;          # Schrittweite
> freq:=100000;          # Frequenz der Eingangsquelle
> ude:=0.10;             # Fehlergrenze
> # Eingangserregung: Sprungfunktion
> tr_input:=v_q(t)=ampl*tanh(6.28*100.5
> *freq*(t-0.01E-5));
> tr_input_0:=lhs(tr_input)=evalf(subs(t=0,rhs(tr_input)));
> dc_start:=sort([op(dc_analyse(subs(tr_input_0,
> par_satz,dgl_system_nl)))] ,sort_lex_var):
> # Plot
> p_orig:=tr_analyse(subs(par_satz,dgl_system_nl),
> tr_input,dc_start,t_end,t_step,
> [u_drain2(t)]):
> ref_dt_liste:=NULL:
> label_mode:='take_all':
> label_value:=[]:
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,
> TR,dc_start,
> tr_input,t_step,t_end):
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},{u_drain2(t)}):
> # Kontrolliertes ineinander Einsetzen
> dgl_ss3:=try_isolate_and_elim(dgl_ss2,v_q(t),u_drain2(t)):
> # Nachvereinfachen
> dgl_ss4:=vereinfache_dgl(dgl_ss3,v_q(t),u_drain2(t),
> min_u,max_u,step_u,2*ude,TR,dc_start,
> tr_input,t_step,t_end);
> dgl_ss5:=try_isolate_and_elim(dgl_ss4,u_q(t),u_drain2(t),
> 21):
> dgl_ss6:=convert(dgl_ss5,D);
> SR:=rhs(isolate(op(dgl_ss6),D(u_drain2)(t)));
> SR_simpl:=simple(subs(tr_input,
> t=t_end,SR),par_satz,ude*2);

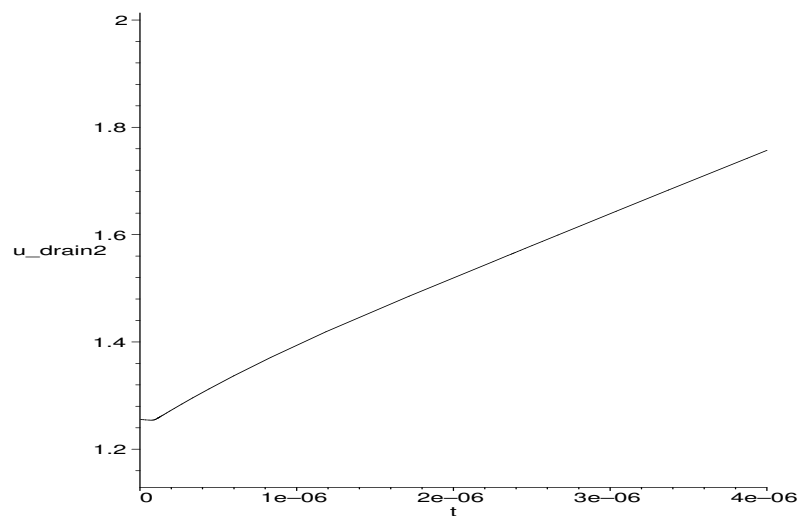
      min_u := -.03

```

```

max_u := .032
step_u := .01
ampl := .3
t_end := .410-5
t_step := .110-6
freq := 100000
ude := .10
tr_input := v_q(t) = .3 tanh(.63114000000 108t - 6.3114000000)
tr_input_0 := v_q(t) = -.299998022404648
u_drain2

```



```

vereinfache_dgl:  Warnung: Eingangsvariable nicht
im dgl-System: v_q(t)
dgl_ss4 := [IBIAS = 2  $\frac{Kp_n W1 u\_source(t)^2}{L1}$ ,
IBIAS =  $\frac{Kp_p W3 f\_M3\_ugst(t)^2}{L3}$ ,
 $(\frac{\partial}{\partial t} u\_drain2(t)) CL = \frac{Kp_p W3 f\_M3\_ugst(t)^2}{L3}$ ]
dgl_ss6 := [D(u_drain2)(t) CL = IBIAS]
SR :=  $\frac{IBIAS}{CL}$ 
SR_simpl :=  $\frac{IBIAS}{CL}$ 

```

## Bestimmung der Linearen Kenngrößen

### DC-Loesung, Linearisieren und ÜTF berechnen

```

> # Aus nichtlinearem Arbeitspunkt die linearisierten
> # Ersatzschaltelemente berechnen und in par_satz einsetzen
> dc_abp:=dc_analyse(subs(v_q(t)=0,par_satz,
> dgl_system_nl_all)):
> par_satz:=ersetz(par_satz,'gm','gm',[1,3],false):
> par_satz:=ersetz(par_satz,'gds','rds',[1,3],true):

```

```

> par_satz:=ersetz(par_satz,'cgd','cgd',[1,3],false):
Ersetze, {gm1 = .0005}, durch,
{gm1 = .0000339097992140727060}
Ersetze, {gm3 = .0005}, durch,
{gm3 = .0000184830745522284407}
Ersetze, {rds1 = 50000000}, durch,
{rds1 = .145130189231502 107}
Ersetze, {rds3 = 50000000}, durch,
{rds3 = .186032145869204 107}
Ersetze, {cgd1 = .10 10-13}, durch,
{cgd1 = .540000000000000097 10-15}
Ersetze, {cgd3 = .10 10-13}, durch,
{cgd3 = .540000000000000097 10-15}
> # Unvereinfachte UETF berechnen
> H:=loese_lin_dgl(dgl_system,v_q,u_drain2):

```

### Vereinfachen der UETF

```

> par_satz_A:=extract_par(par_satz,nominal):
> H_A_simple:=vereinfache_h(H,1000,1000000,0.1):

```

### Weitere Vereinfachung und Berechnung von Kennwerten

#### Ausgabe der Ergebnisse nach Vereinfachung

```

> # Ausgabe der Ergebnisse nach Vereinfachung
> H_A_simple:=simplify(H_A_simple):

```

#### Berechnen der Verstaerkung bei Frequenz 0

```

> # Berechnen der Verstaerkung bei Frequenz 0
> Au0:= simplify(subs(s=0,H_A_simple)):
> Au0_simple :=simple(subs(rds3=rds3,Au0),par_satz_A,0.5);
> print('Gain:',subs(par_satz_A,Au0_simple));

```

$$Au0\_simple := 2. \frac{gm1 rds3 rds1}{rds3 + rds1}$$

$$Gain :, 55.2917116981376$$

#### Weitere Vereinfachung der UTF

```

> #Weitere Vereinfachung der UTF
> A_simple:=simplify(simple(H_A_simple,par_satz_A union
> {s=100},0.01));

```

$$A\_simple := 2. \frac{gm1 rds3 rds1}{CLs rds3 rds1 + rds3 + rds1}$$

### Pole und Nullstellen

#### Vereinfachen des Zaehlers und Nenners:

```

> #Vereinfachen des Zaehlers:
> zaehler_orig:=subs(cgs=cgd, numer(H)):
> zaehler:=collect(zaehler_orig,s):

```

```

> zaehler:=simple(zaehler,par_satz_A,0.1):
> #Vereinfachen des Nenners:
> nenner_orig:=subs(cgs=cgd,denom(H)):
> nenner:=collect(nenner_orig,s):
> nenner:=simple(nenner,par_satz_A,0.1):

```

### Herausextrahieren des 1. Pols

```

> #Herausextrahieren des 1. Pols
> nullstellen(nenner,par_satz_A,false,1,0.4);

```

$$\left[-1, \frac{rds3 + rds1}{CLrds3rds1}\right]$$

### Herausextrahieren des 2. Pols

```

> #Herausextrahieren des 2. Pols
> nullstellen(nenner,par_satz_A,false,2,0.4);

```

$$\left[-\frac{1}{3} \frac{gm3}{cgd3 + gm3cgd1Rq}, 0\right]$$

### GBW bestimmen:

```

> # Vereinfachen der UTF
> Betrag:=simplify(evalc(abs(subs(s=I*w,A_simple)))));
> GBW_orig:=solve(Betrag=1,w):
> if evalf(subs(par_satz_A,GBW_orig[1])) >0 then
> GBW:=simplify(GBW_orig[1]):
> else
> GBW:=simplify(GBW_orig[2]):
> fi;
> print('Frequenz exakt:',evalf(subs(par_satz_A,GBW)
> /2/Pi));
> GBW_simple:=simplify(simple(GBW,par_satz_A,0.001)):
> GBW_simple:=simplify(simple_sqrt(GBW_simple)):
> GBW_simple:=simplify(simple(GBW_simple,par_satz_A,
> 0.001)):
> GBW_simple_komp:=simplify(simple_sqrt(GBW_simple));
> print('Frequenz:',evalf(subs(par_satz_A,GBW_simple)
> /2/Pi));

```

$$\text{Betrag} := 2 \cdot \sqrt{\frac{gm1^2 rds3^2 rds1^2}{rds3^2 + 2 \cdot rds3 rds1 + rds1^2 + CL^2 w^2 rds3^2 rds1^2}}$$

$$\text{GBW} := \frac{\sqrt{4 gm1^2 rds3^2 rds1^2 - rds3^2 - 2 rds3 rds1 - rds1^2}}{rds1 rds3 CL}$$

Frequenz exakt :, 107920.588564899

$$\text{GBW\_simple\_komp} := 2 \frac{gm1}{CL}$$

Frequenz :, 107938.243283467

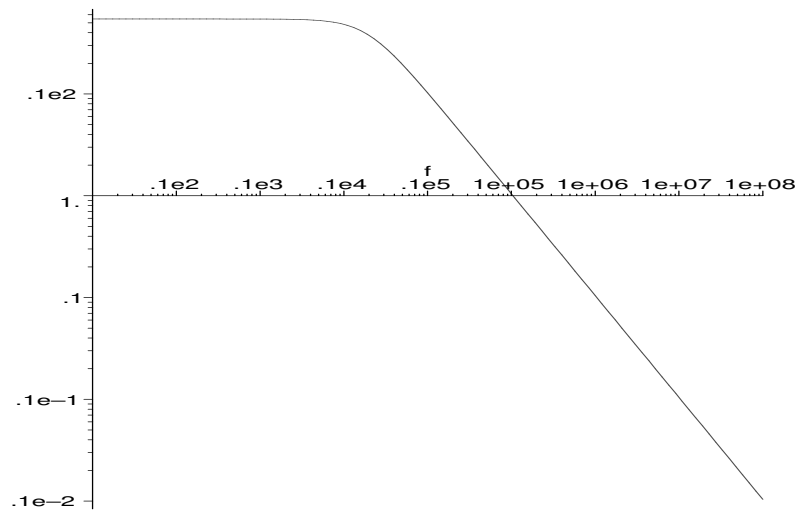
### Plotten

```

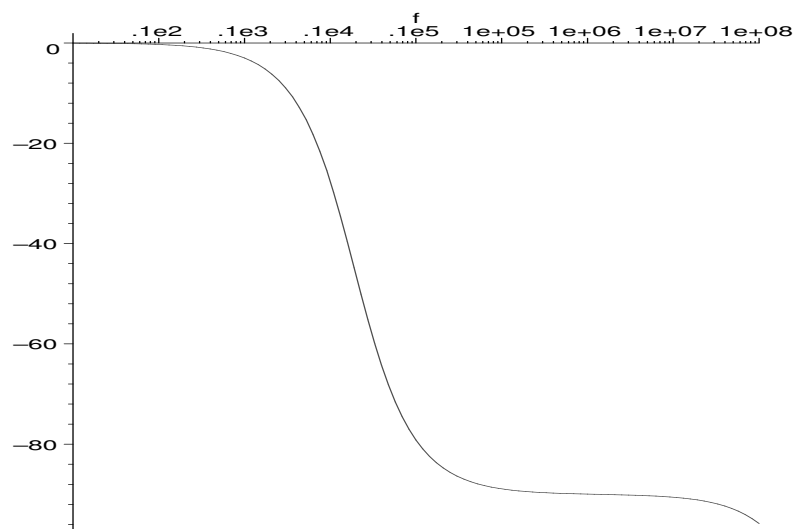
> H_A_num:=subs(par_satz_A,H):
> plotte_b_dia(H_A_num,s,1..1E8,'Original-UETF'):
> plotte_p_n_dia(H_A_num,s,'Original-UETF'):

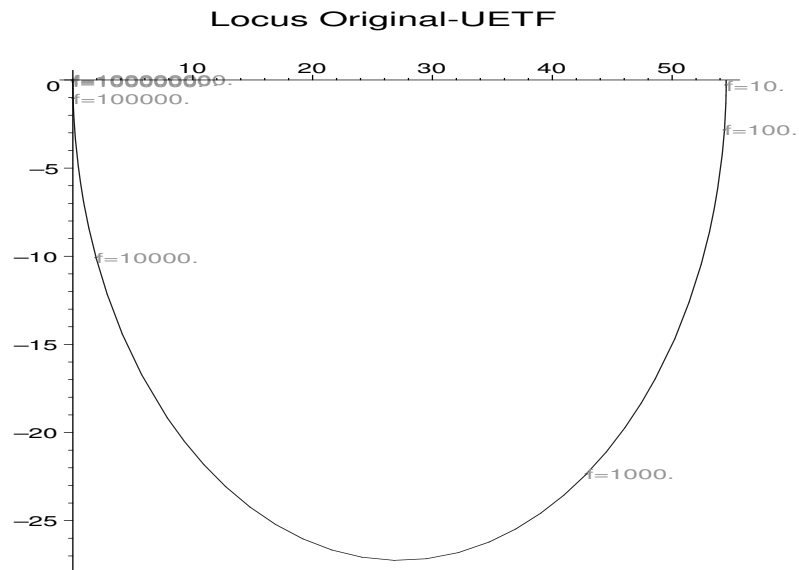
```

Magnitude Original-UETF



Phase Original-UETF





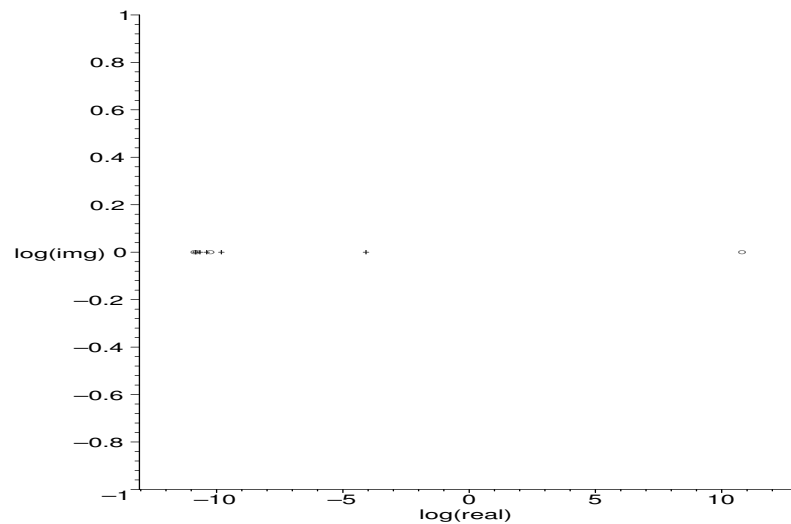
Liste der Pole :,

$$\begin{bmatrix} -.674628572882262 \cdot 10^{11} & 0 \\ -.454957845169908 \cdot 10^{11} & 0 \\ -.244806618179710 \cdot 10^{11} & 0 \\ -.645371237086190 \cdot 10^{10} & 0 \\ -12047.2767797909 & 0 \end{bmatrix}$$

Liste der Nullstellen :,

$$\begin{bmatrix} -.757676458720432 \cdot 10^{11} & 0 \\ -.624471403461022 \cdot 10^{11} & 0 \\ -.174166351750365 \cdot 10^{11} & 0 \\ .627959244705054 \cdot 10^{11} & 0 \end{bmatrix}$$

**log. Pole- Zero Plot Original-UETF**



## Dimensionierung

### Transistorkennwerte und Spezifikationswerte

> #Differenzverstärker mit Stromspiegellast Spezifikation:



```

> par_spec:={
> #Spec
> Au=10^(50/20),      #
> GBW_sp=2E5,        # 1/s
> deltav=2.5,        # V
> SRspec=1E5         # V/s
> } union select(has,par_satz,{delta,kTq,KPn,KPp,
> Rq,Ven,Vep,VDD,CL,cgdo,VTo});
> # Gesucht
> vars:={W1,L1,W3,L3,IBIAS};

par_spec := {Rq = 50000, VDD = 5, CL = .100 10-9, VTo = .8,
cgdo = .540 10-9, KPn = .000040, KPp = .000015,
Ven = 5000000, Vep = 8000000, kTq = .025, δ = .01,
Au = 100√10, GBW_sp = 200000., deltav = 2.5,
SRspec = 100000.}

vars := {W1, L1, W3, L3, IBIAS}

```

### Zwischengleichungen aus nichtlinearen Transistorgleichungen holen

```

> #Zwischengleichungen
> get_symb_par:=proc(dgl,par_name,dc_abp)
> RETURN(evalf(subs(dc_abp,par_spec,
> rhs(op(select(has,dgl,par_name))))));
> end:
> zwgl:=[]
> 'gm1'=get_symb_par(dgl_system_nl_all,f_M1_gms,dc_abp),
> 'gm3'=get_symb_par(dgl_system_nl_all,f_M3_gms,dc_abp),
> 'rds1'=1/get_symb_par(dgl_system_nl_all,f_M1_gdss,dc_abp),
> 'rds3'=1/get_symb_par(dgl_system_nl_all,f_M3_gdss,dc_abp),
> 'cgd1'=get_symb_par(dgl_system_nl_all,f_M1_cgds,dc_abp),
> 'cgd3'=get_symb_par(dgl_system_nl_all,f_M3_cgds,dc_abp):
> zwgl:=subs(par_spec,zwgl):

```

### Gleichungen zur Dimensionierung aufstellen:

```

> gl1:=SRspec=SR;          # Slewrate am Ausgang
> sol1:=IBIAS=solve(gl1,IBIAS); # .. und nach
Biasstrom
> # auflösen
> gl2:=Au=Au0_simple;      # Verstärkung
> gl3:=GBW_sp*(2*Pi)=GBW_simple_komp; # Bandbreite
> gl4:=deltav=Vmax_oben-Vmax_unten; # Aussteuerbereich

```

$$\begin{aligned}
 gl1 &:= SRspec = \frac{IBIAS}{CL} \\
 sol1 &:= IBIAS = SRspec CL \\
 gl2 &:= Au = 2 \cdot \frac{gm1 rds3 rds1}{rds3 + rds1} \\
 gl3 &:= 2 GBW\_sp \pi = 2 \frac{gm1}{CL} \\
 gl4 &:= deltav = \frac{-2 IBIAS L3 + KPp W3 VDD^2}{KPp W3 VDD} \\
 &- .5000000000000000 VDD + 1. VTo
 \end{aligned}$$

### Aktuelle Schaltungskennwerte berechnen und mit Spec vergleichen

```
> for glx in [gl1,gl2,gl3,gl4] do
> print(lhs(glx), 'spec : ', evalf(subs(par_spec,
> lhs(glx)), 4), 'ist : ',
> evalf(subs(par_satz, rhs(glx)), 4));
> od:

```

*SRspec, spec : , 100000., ist : , 100000.*

*Au, spec : , 316.2, ist : , 55.28*

*2GBW\_spπ, spec : , .125710<sup>7</sup>, ist : , 678200.*

*deltav, spec : , 2.5, ist : , 3.034*

### Auflösen nach W und L

```
> gl5:=W3=10E-6; # Eine weitere Annahme, da
sonst
> # GLS unterbestimmt. W3 = 10u
> sys1234:=subs(zwgl, par_spec, {gl1,gl2,gl3,gl4}):
> sysbekannt:=subs(par_spec, {gl5}):
> sysloes:=subs(sysbekannt, sys1234):
> varsloes:=indets(map(evalf, sysloes), name):
> sols:=solve(sysloes, varsloes):
> solution:=sols union sysbekannt:
> print('Loesung : ', evalf(solution, 3));
```

*gl5 := W3 = .000010*

*Loesung : , {W1 = .0000104, L3 = .0000300, L1 = .429 10<sup>-5</sup>,  
W3 = .000010, IBIAS = .0000100}*

### Parametersatz updaten

```
> if assigned(solution) then
> par_satz := solution union
> remove(has, par_satz, vars);
> fi:
> par_satz:
```

## Zweiter Durchlauf zur Kontrolle

### Bestimmung der Nichtlinearen Kenngrößen

#### Zunaechst nichtlineares Dgl-System aufstellen

```
> mos_lin:=mos_non_lin; # Transistormodell umbauen
> dgl_system_nl_all:=aufstellen_dgl(ota, v_q):
> dgl_system_nl_all:=subs(IL=0, dgl_system_nl_all):
> dgl_system_nl:=remove_bereiche(dgl_system_nl_all):
> # Bereich fuer die Kontroll-Simulation
> min_u:=-0.1; # DC-Startwert
> max_u:=0.1; # DC-Endwert
> step_u:=0.001; # DC-Schrittweite
> dc_start:=dc_analyse(subs(v_q(t)=min_u, par_satz,
> dgl_system_nl)):
> dc_sweep(subs(par_satz, dgl_system_nl),
> v_q(t)=min_u..max_u, step_u, {},
> [u_drain2(t)], style=line):
```

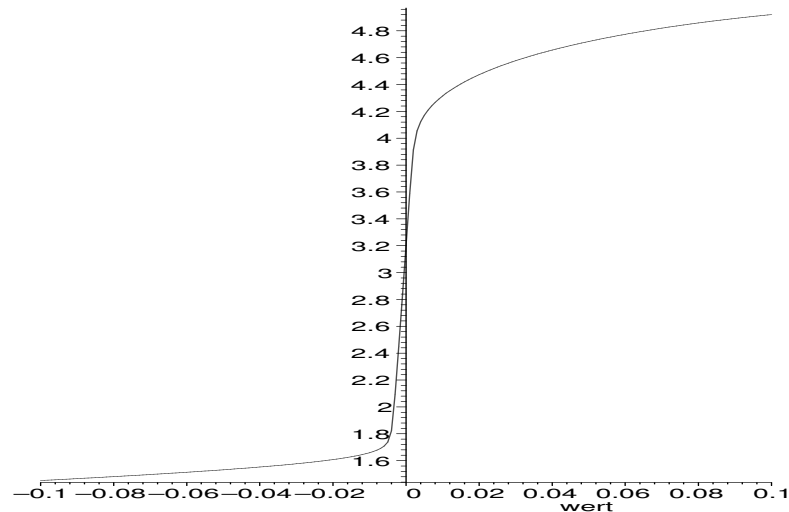
```
mos_lin := mos_non_lin
```

```
min_u := -.1
```

```
max_u := .1
```

```
step_u := .001
```

```
u_drain2(t)
```



### Untere Grenze:

```
> min_u:=-0.051;      # Arbeitspunkt fuer untere Grenze
> max_u:=-0.05;
> step_u:=0.001;
> ude:=0.10;         # Fehlergrenze
> dc_start:=sort([op(dc_analyse(subs(v_q(t)=min_u,par_satz,
> dgl_system_nl)))]),sort_lex_var):
> # Startwert fuer Vereinfachung
> ref_dt_liste:=NULL:
> # Ruecksetzen der Referenz
> label_mode:='take_all':
> # Alle Vereinfachungsverfahren
> # Alternativen: 'hierarchie'
> label_value:=[]: # Keine Konstantsetzungen
> # Jetzt die Vereinfachung
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),
> u_drain2(t),min_u,max_u,step_u,ude,DT,dc_start):
> # Nachvereinfachung durch Einsetzen
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},
> {u_drain2(t)});
> # Da mehrere Loesungen, die richtige selektieren:
> Vmax_unten_1:=loese_nl_dgl(dgl_ss2,v_q,u_drain2,1):
> Vmax_unten_2:=loese_nl_dgl(dgl_ss2,v_q,u_drain2,2):
> if has(Vmax_unten_1,VDD) then
> Vmax_unten:=Vmax_unten_1:
> else
> Vmax_unten:=Vmax_unten_2:
> fi:
```

```
> # Und numerisch ausgeben
> Vmax_unten:=simplify(subs(v_q=0,Vmax_unten));
> Vmax_unten_num:=evalf(subs(par_satz,Vmax_unten));
```

$$\text{min}_u := -.051$$

$$\text{max}_u := -.05$$

$$\text{step}_u := .001$$

$$\text{ude} := .10$$

$$\text{dgl\_ss2} := [\text{f\_M1\_ugst}(t) = \text{u\_in1}(t) - \text{u\_source}(t) - \text{VTo},$$

$$\text{f\_M1\_udseff}(t) = \text{f\_M1\_ugst}(t),$$

$$2 \frac{\text{KPnW1 f\_M1\_ugst}(t) \text{f\_M1\_udseff}(t)}{\text{LI}} = 0,$$

$$\text{f\_M2\_udseff}(t) = \text{u\_drain2}(t) - \text{u\_source}(t),$$

$$-2 \frac{\text{KPnW1 VTo f\_M2\_udseff}(t)}{\text{LI}} = 0,$$

$$\text{f\_M4\_udseff}(t) = \text{f\_M4\_ugst}(t),$$

$$2 \frac{\text{KPPW3 f\_M4\_ugst}(t) \text{f\_M4\_udseff}(t)}{\text{L3}} = 0,$$

$$\frac{\text{u\_gen}(t) - \text{u\_in1}(t)}{\text{Rq}} = 0,$$

$$\text{u\_gen}(t) - .500000000000000 \text{VDD} - \text{v\_q}(t) = 0]$$

Warning: 2 Solutions found

Warning: 2 Solutions found

$$\text{Vmax\_unten} := .500000000000000 \text{VDD} - 1. \text{VTo}$$

$$\text{Vmax\_unten\_num} := 1.700000000000000$$

### Obere Grenze:

```
> min_u:=0.03; # Hier die obere Grenze am oberen
> # Ende der DC-Transferkurve
> max_u:=0.032;
> step_u:=0.001;
> ude:=0.8; # Fehlergrenze
> dc_start:=sort([op(dc_analyse(subs(v_q(t)=min_u,par_satz,
> dgl_system_nl),{u_drain2(t)=5}))],sort_lex_var):
> ref_dt_liste:=NULL:
> label_mode='take_all':
> label_value:=[]:
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,DT,dc_start):
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},{u_drain2(t)}):
> dgl_ss3:=try_isolate_and_elim(dgl_ss2,v_q(t),u_drain2(t),
> 0.2);
> Vmax_oben_1:=loese_nl_dgl(dgl_ss3,v_q,u_drain2,1):
> Vmax_oben_2:=loese_nl_dgl(dgl_ss3,v_q,u_drain2,2):
> if evalf(subs(par_satz,v_q=min_u,Vmax_oben_1)) < 5 then
> Vmax_oben:=Vmax_oben_1:
> else
> Vmax_oben:=Vmax_oben_2:
> fi:
> Vmax_oben:=simplify(subs(v_q=0,Vmax_oben));
> Vmax_oben_num:=evalf(subs(par_satz,Vmax_oben));
```

```

min_u := .03
max_u := .032
step_u := .001
ude := .8
dgl_ss3 := [Gmin(-u_drain2(t) + VDD) = 0]
Vmax_oben := VDD
Vmax_oben_num := 5.

```

### SR-Berechnen

```

> min_u:=-0.03;          # DC-Werte sind jetzt nur Dummys,
> max_u:=0.032;         # da TR-Analyse fuer SR verwendet
> step_u:=0.01;        # wird.
> ampl:=0.3;           # Amplitude des Eingangssprungs
> # fuer TR-Analyse
> t_end:=4e-6;         # Endezeit fuer TR-Analyse
> t_step:=1e-7;        # Schrittweite
> freq:=100000;        # Frequenz der Eingangsquelle
> ude:=0.10;          # Fehlergrenze
> # Eingangserregung: Sprungfunktion
> tr_input:=v_q(t)=ampl*tanh(6.28*100.5
> *freq*(t-0.01E-5));
> tr_input_0:=lhs(tr_input)=evalf(subs(t=0,rhs(tr_input)));
> dc_start:=sort([op(dc_analyse(subs(tr_input_0,
> par_satz,dgl_system_nl)))]),sort_lex_var):
> # Plot
> p_orig:=tr_analyse(subs(par_satz,dgl_system_nl),
> tr_input,dc_start,t_end,t_step,
> [u_drain2(t)]):
> ref_dt_liste:=NULL:
> label_mode:='take_all':
> label_value:=[]:
> dgl_ss1:=vereinfache_dgl(dgl_system_nl,v_q(t),u_drain2(t),
> min_u,max_u,step_u,ude,
> TR,dc_start,
> tr_input,t_step,t_end):
> dgl_ss2:=elim_simple_equa(dgl_ss1,{v_q(t)},{u_drain2(t)}):
> # Kontrolliertes ineinander Einsetzen
> dgl_ss3:=try_isolate_and_elim(dgl_ss2,v_q(t),u_drain2(t)):
> # Nachvereinfachen
> dgl_ss4:=vereinfache_dgl(dgl_ss3,v_q(t),u_drain2(t),
> min_u,max_u,step_u,2*ude,TR,dc_start,
> tr_input,t_step,t_end):
> dgl_ss5:=try_isolate_and_elim(dgl_ss4,u_q(t),u_drain2(t),
> 21):
> dgl_ss6:=convert(dgl_ss5,D);
> SR:=rhs(isolate(op(dgl_ss6),D(u_drain2)(t)));
> SR_simpl:=simple(subs(tr_input,
> t=t_end,SR),par_satz,ude*2);

```

```

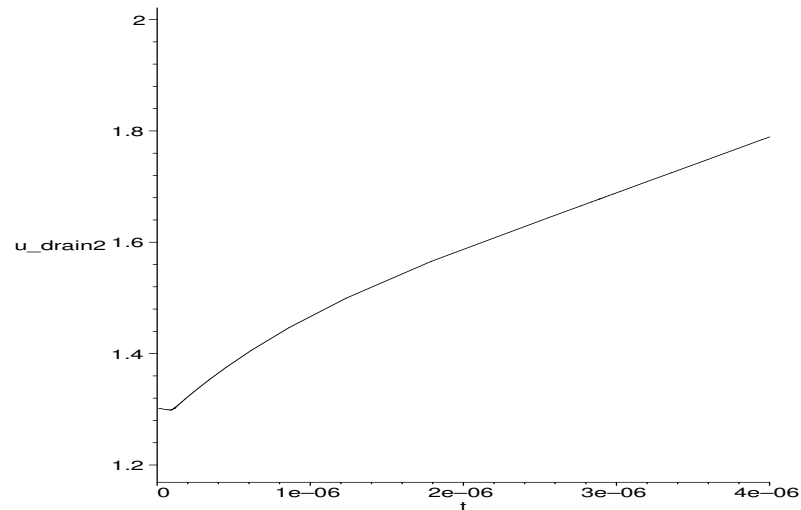
min_u := -.03
max_u := .032
step_u := .01
ampl := .3

```

```

t_end := .410-5
t_step := .110-6
freq := 100000
ude := .10
tr_input := v_q(t) = .3 tanh(.63114000000 108t - 6.3114000000)
tr_input_0 := v_q(t) = -.299998022404648
u_drain2

```



```

dgl_ss6 := [IBIAS = KppW3(
- 1 - 2 KppW3 VTo + 2 sqrt(KppW3 D(u_drain2)(t) CLL3)
- 2 / KppW3
- VTo)^2 / L3]
SR := (- (sqrt(IBIASL3 / KppW3) + VTo) KppW3 + KppW3 VTo)^2 / (KppW3 CLL3)
SR_simpl := IBIAS / CL

```

## Bestimmung der Linearen Kenngrößen

### DC-Loesung, Linearisieren und ÜTF berechnen

```

> # Aus nichtlinearem Arbeitspunkt die linearisierten
> # Ersatzschaltelemente berechnen und in par_satz einsetzen
> dc_abp := dc_analyse(subs(v_q(t)=0, par_satz,
> dgl_system_nl_all)):
> par_satz := ersetz(par_satz, 'gm', 'gm', [1,3], false):
> par_satz := ersetz(par_satz, 'gds', 'rds', [1,3], true):
> par_satz := ersetz(par_satz, 'cgd', 'cgd', [1,3], false):

```

Ersetze, {gm1 = .0000339097992140727060}, durch,

{gm1 = .0000455556075017457673}

Ersetze, {gm3 = .0000184830745522284407}, durch,

{gm3 = .991673118608681549 10<sup>-5</sup>}

```

Ersetze, {rds1 = .145130189231502 107}, durch,
{rds1 = .462929642633010 107}
Ersetze, {rds3 = .186032145869204 107}, durch,
{rds3 = .445321981015447 108}
Ersetze, {cgd1 = .540000000000000097 10-15}, durch,
{cgd1 = .564057990546797029 10-14}
Ersetze, {cgd3 = .540000000000000097 10-15}, durch,
{cgd3 = .540000000000000018 10-14}

> # Unvereinfachte UETF berechnen
> H:=loese_lin_dgl(dgl_system,v_q,u_drain2):

```

### Vereinfachen der UETF

```

> par_satz_A:=extract_par(par_satz,nominal):
> H_A_simple:=vereinfache_h(H,1000,1000000,0.1):

```

### Weitere Vereinfachung und Berechnung von Kennwerten

#### Ausgabe der Ergebnisse nach Vereinfachung

```

> # Ausgabe der Ergebnisse nach Vereinfachung
> H_A_simple:=simplify(H_A_simple):

```

#### Berechnen der Verstaerkung bei Frequenz 0

```

> # Berechnen der Verstaerkung bei Frequenz 0
> Au0:= simplify(subs(s=0,H_A_simple)):
> Au0_simple :=simple(subs(rds3=rds3,Au0),par_satz_A,0.5);
> print('Gain:',subs(par_satz_A,Au0_simple));

```

*Au0\_simple := 2.gm1 rds1*

*Gain :, 421.780822014258*

#### Weitere Vereinfachung der UTF

```

> #Weitere Vereinfachung der UTF
> A_simple:=simplify(simple(H_A_simple,par_satz_A union
> {s=100},0.01));

```

$$A\_simple := 2. \frac{gm1 rds3 rds1}{CLs rds3 rds1 + rds3 + rds1}$$

### Pole und Nullstellen

#### Vereinfachen des Zaehlers und Nenners:

```

> #Vereinfachen des Zaehlers:
> zaehler_orig:=subs(cgs=cgd,numer(H)):
> zaehler:=collect(zaehler_orig,s):
> zaehler:=simple(zaehler,par_satz_A,0.1):
> #Vereinfachen des Nenners:
> nenner_orig:=subs(cgs=cgd,denom(H)):
> nenner:=collect(nenner_orig,s):
> nenner:=simple(nenner,par_satz_A,0.1):

```

**Herausextrahieren des 1. Pols**

```
> #Herausextrahieren des 1. Pols
> nullstellen(nenner,par_satz_A,false,1,0.4);
```

$$\left[-1, \frac{1}{CLrdsI}\right]$$

**Herausextrahieren des 2. Pols**

```
> #Herausextrahieren des 2. Pols
> nullstellen(nenner,par_satz_A,false,2,0.4);
```

$$\left[-\frac{1}{3} \frac{gm3}{cgd3 + gm3cgd1Rq}, 0\right]$$

**GBW bestimmen:**

```
> # Vereinfachen der UTF
> Betrag:=simplify(evalc(abs(subs(s=I*w,A_simple))));
> GBW_orig:=solve(Betrag=1,w);
> if evalf(subs(par_satz_A,GBW_orig[1])) >0 then
> GBW:=simplify(GBW_orig[1]):
> else
> GBW:=simplify(GBW_orig[2]):
> fi;
> print('Frequenz exakt:',evalf(subs(par_satz_A,GBW)
> /2/Pi));
> GBW_simple:=simplify(simple(GBW,par_satz_A,0.001)):
> GBW_simple:=simplify(simple_sqrt(GBW_simple)):
> GBW_simple:=simplify(simple(GBW_simple,par_satz_A,
> 0.001)):
> GBW_simple_komp:=simplify(simple_sqrt(GBW_simple));
> print('Frequenz:',evalf(subs(par_satz_A,GBW_simple)
> /2/Pi));
```

$$Betrag := 2 \cdot \sqrt{\frac{gmI^2 rds3^2 rdsI^2}{rds3^2 + 2 \cdot rds3 rdsI + rdsI^2 + CL^2 w^2 rds3^2 rdsI^2}}$$

$$GBW := \frac{\sqrt{4 gmI^2 rds3^2 rdsI^2 - rds3^2 - 2 rds3 rdsI - rdsI^2}}{rdsI rds3 CL}$$

*Frequenz exakt* :, 145007.505692813

$$GBW\_simple\_komp := 2 \frac{gmI}{CL}$$

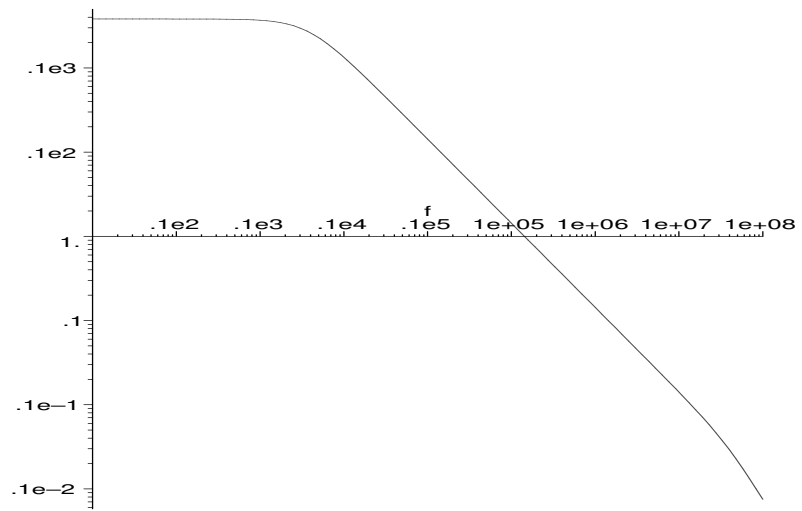
*Frequenz* :, 145008.002389142

**Plotten**

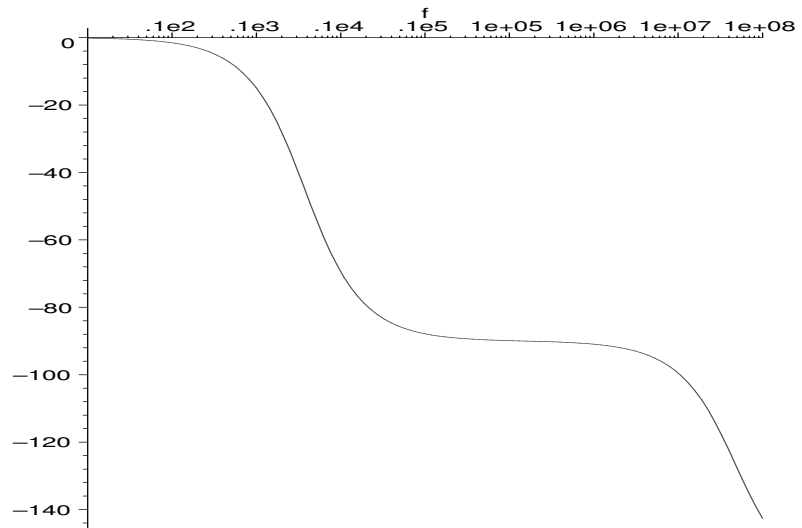
```
> H_A_num:=subs(par_satz_A,H):
>
> plotte_b_dia(H_A_num,s,1..1E8,'Original-UETF'):
>
> plotte_p_n_dia(H_A_num,s,'Original-UETF'):
```



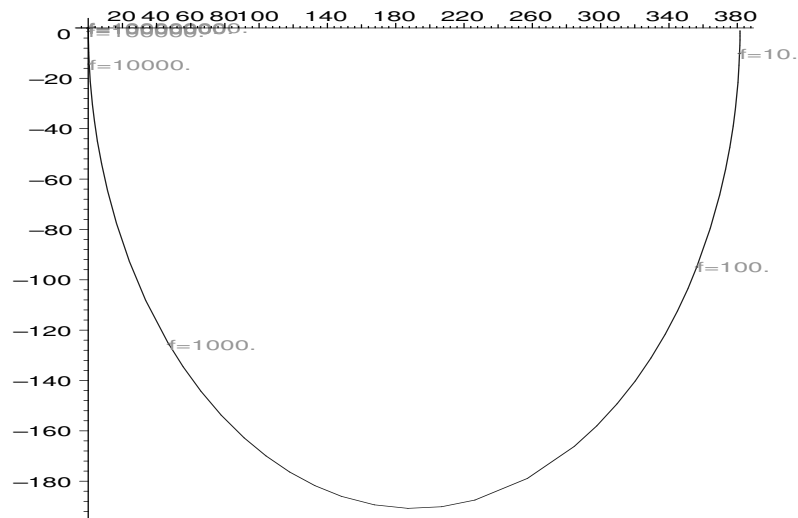
Magnitude Original-UETF



Phase Original-UETF



Locus Original-UETF



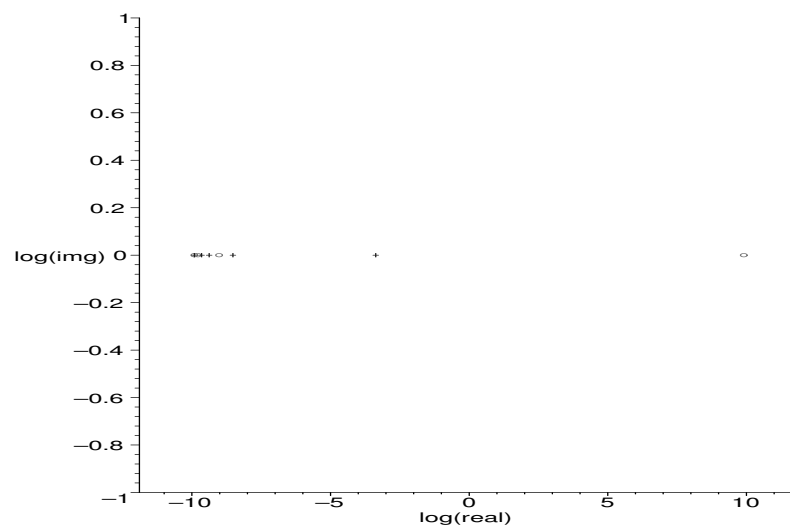
Liste der Pole :,

$$\begin{bmatrix} -.818774914489249 \cdot 10^{10} & 0 \\ -.448459753517819 \cdot 10^{10} & 0 \\ -.239592565650398 \cdot 10^{10} & 0 \\ -.330892074183388 \cdot 10^9 & 0 \\ -2358.40247766745 & 0 \end{bmatrix}$$

Liste der Nullstellen :,

$$\begin{bmatrix} -.821293284744002 \cdot 10^{10} & 0 \\ -.612475734131964 \cdot 10^{10} & 0 \\ -.105162923136976 \cdot 10^{10} & 0 \\ .807640495573591 \cdot 10^{10} & 0 \end{bmatrix}$$

log. Pole- Zero Plot Original-UETF



## Kontrolle der Spezifikation

### Transistorkennwerte und Spezifikationswerte

> #Differenzverstärker mit Stromspiegellast Spezifikation:

```

> par_spec:={
> #Spec
> Au=10^(50/20),      #
> GBW_sp=2E5,        # 1/s
> deltav=2.5,        # V
> SRspec=1E5         # V/s
> } union select(has,par_satz,{delta,kTq,KPn,KPp,
> Rq,Ven,Vep,VDD,CL,cgdo,VTo,Gmin});;
> # Gesucht
> vars:={W1,L1,W3,L3,IBIAS};

par_spec := {Rq = 50000, VDD = 5, CL = .100 10^-9, VTo = .8,
cgdo = .540 10^-9, KPn = .000040, KPp = .000015,
Ven = 5000000, Vep = 8000000, kTq = .025,
Gmin = .1 10^-11, delta = .01, Au = 100*sqrt(10), GBW_sp = 200000.,
deltav = 2.5, SRspec = 100000.}
vars := {W1, L1, W3, L3, IBIAS}

```

### Zwischengleichungen aus nichtlinearen Transistorgleichungen holen

```

> #Zwischengleichungen
> get_symb_par:=proc(dgl,par_name,dc_abp)
> RETURN(evalf(subs(dc_abp,par_spec,
> rhs(op(select(has,dgl,par_name))))));
> end:
> zwgl:=[]
> 'gm1'=get_symb_par(dgl_system_nl_all,f_M1_gms,dc_abp),
> 'gm3'=get_symb_par(dgl_system_nl_all,f_M3_gms,dc_abp),
> 'rds1'=1/get_symb_par(dgl_system_nl_all,f_M1_gdss,dc_abp),
> 'rds3'=1/get_symb_par(dgl_system_nl_all,f_M3_gdss,dc_abp),
> 'cgd1'=get_symb_par(dgl_system_nl_all,f_M1_cgds,dc_abp),
> 'cgd3'=get_symb_par(dgl_system_nl_all,f_M3_cgds,dc_abp)]:
> zwgl:=subs(par_spec,zwgl):

```

### Gleichungen zur Dimensionierung aufstellen:

```

> gl1:=SRspec=SR;          # Slewrate am Ausgang
> sol1:=IBIAS=solve(gl1,IBIAS); # .. und nach
Biasstrom
> # auflösen
> gl2:=Au=Au0_simple;      # Verst"arkung
> gl3:=GBW_sp*(2*Pi)=GBW_simple_komp; # Bandbreite
> gl4:=deltav=Vmax_oben-Vmax_unten; # Aussteuerbereich

```

$gl1 := SRspec =$

$$\frac{\left(-\sqrt{\frac{IBIASL3}{KPpW3}} + VTo\right) KPpW3 + KPpW3 VTo)^2}{KPpW3 CLL3}$$

$KPpW3 CLL3$

$$sol1 := IBIAS = SRspec CL$$

$$gl2 := Au = 2. gm1 rds1$$

$$gl3 := 2 GBW\_sp \pi = 2 \frac{gm1}{CL}$$

$$gl4 := deltav = .5000000000000000 VDD + 1. VTo$$

**Aktuelle Schaltungskennwerte berechnen und mit Spec vergleichen**

```
> for glx in [g11,g12,g13,g14] do
> print(lhs(glx), 'spec : ', evalf(subs(par_spec,
> lhs(glx)), 4), 'ist : ',
> evalf(subs(par_satz, rhs(glx)), 4));
> od:
      SRspec, spec : , 100000., ist : , 99970.
      Au, spec : , 316.2, ist : , 421.8
      2GBW_spπ, spec : , .1257107, ist : , 911200.
      deltav, spec : , 2.5, ist : , 3.300
```

## Literaturverzeichnis

- [AllHol87] Allen, P.E.; Holberg, D.R.: "CMOS Analog Circuit Design", Holt, Rinehart and Winston, New York, 1987
- [Anacad91] Anacad: "Eldo-FAS, Dynamical System Modeling", Release 4.xx, 1991
- [Analogy93] Analogy Inc.: "MAST Reference Manual", Release 3.2, 1993
- [AnGrWi94] Antreich, K.J.; Graeb, H.E.; Wieser, C.U.: "Circuit Analysis and Optimization Driven by Worst-Case Distances", IEEE Transactions on Computer-Aided Design, Bd. 13, Nr.1, S. 57-71, 1994
- [Antrim01] Antrim Design Systems Inc. : "<http://www.antrim.com>", MSS (Mixed-Signal Synthesis System, Learning Optimizer), 2001
- [Bend97] Bender, St.: "Rapid Prototyping - jetzt auch analog!", F& M, Band 105, Nummer 9, Carl Hanser Verlag, S. 661-665, 1997
- [BeLeRo95] Bergé, J.-M.; Levia, O.; Rouillard, J.: "Modeling in Analog Design", Kluwer Academic Publishers, Boston, 1995
- [BoHeBa96] Borchers, C.; Hedrich, L.; Barke, E.: "Equation-Based Behavioral Model Generation for Nonlinear Analog Circuits", Proceedings of the ACM/IEEE Design Automation Conference, S. 236-239, 1996
- [Boyl74] Boyle, G. R.; Cohn, B. M.; Pederson, D. O.; Solomon, J. E.: "Macromodeling of Integrated Circuit Operational Amplifiers", IEEE Journal of Solid-State Circuits, Vol. 9, No. 6, S. 353-365, 1974
- [Cadence94] Cadence Inc.: "Spectre Reference Manual", 1994
- [ChaCha97] Chang, H.; Charbon, E.; Choudhury, U.; Demir, A.; Felt, E.; Liu E.; Malavasi E.; Sangiovanni-Vincentelli, A.: "A Top-Down Constraint-Driven Design Methodology for Analog Integrated Circuits", Kluwer Academic Publishers, New York, 1997
- [ChBa96] Christen, E.; Bakalar, K.: "VHDL 1076.1 - Analog and Mixed-Signal Extensions to VHDL", Proceedings of the European Design Automation Conference, S. 556-561, 1996
- [DaVeWa99] Daems, W.; Verhaegen, W.; Wambacq, P.; Gielen, G.; Sansen, W.: "Evaluation of Error-Control Strategies for the Linear Symbolic Analysis of Analog Integrated Circuits", IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications, Bd. 46, Nr. 5, S. 594-606, 1999

- [DemSaV98] Demir, A.; Sangiovanni-Vincentelli, A.: "Analysis and Simulation of Noise in Nonlinear Electronic Systems", Kluwer Academic Publishers, London, 1998
- [DeNyDi87] Degrauwe, M.G.R.; Nys, O.; Dijkstra, E.; Rijmenants, J.; Bitz, S.; Goffart, B. L. A. G.; Vittoz, E. A.: "IDAC: An Interactive Design Tool for Analog CMOS Circuits", IEEE Journal of Solid-State Circuits, Bd. 22, Nr. 6, S. 1106-1116, 1987
- [DiHa77] Director, St.W.; Hachtel, G.D.: "The Simplicial Approximation Approach to Design Centering", IEEE Transactions on Circuits and Systems, Bd. 24, Nr. 7, S. 363-372, 1977
- [FeRoHu97] Fernández, F. V.; Rodríguez-Vázquez, A.; Huertas, J. L.; Gielen, G.: "Symbolic Analysis Techniques – Applications to Analog Design Automation", IEEE Press, New York, 1997
- [FeRoMa93] Fernández, F.V.; Rodriguez-Vázquez, A.; Martin, J.D.; Huertas, J.L.: "Formula Approximation for Flat and Hierarchical Symbolic Analysis", S. 43-58, in "Symbolic Analysis of Analog Circuits: Techniques and Applications" Editoren: Huelsman, L. P.; Gielen, G.E., Kluwer, 1993
- [Gajski88] Gajski, D.D.: "Silicon Compilation", Addison-Wesley, New York, 1988
- [GieSan91] Gielen, G.; Sansen, W.: "Symbolic Analysis for Automated Design of Analog Integrated Circuits", Kluwer Academic Publishers, Norwell, 1991
- [GraMey93] Gray, P.R.; Meyer, R.G.: "Analysis and Design of Analog Integrated Circuits", John Wiley & Sons Inc., New York, 1993
- [Green96] Greneich, E.W.: "Analog Integrated Circuits", Chapman and Hall, New York, 1996
- [HaRuCa89] Harjani, R.; Rutenbar, R. A.; Carley L. R.: "OASYS: A Framework for Analog Circuit Synthesis", IEEE Transactions on Computer Aided Design, Bd. 8, Nr. 12, S. 1247-1266, 1989
- [HedBar98] Hedrich, L.; Barke, E.: "A Formal Approach to Verification of Linear Analog Circuits with Parameter Tolerances", Design, Automation and Test in Europe, 1998.
- [Hennig00] Hennig, E.: "Symbolic Approximation and Modeling Techniques for Analysis and Design of Analog Circuits", Shaker Verlag, 2000
- [HsuSec94] Hsu, J.J.; Sechen, C.: "DC Small Signal Analysis of Large Analog Integrated Circuits", IEEE Transactions on Circuits and Systems, Bd. 41, S. 817-828, 1994

- [KrLe95] Kruiskamp, W.; Leenarts, D.: "DARWIN:CMOS opamp Synthesis by means of a Genetic Alorithm", DAC '95: Design Automation Conference, S. 433-438, 1995
- [LakSan94] Laker, K. R.; Sansen, W. M. C.: "Design of Analog Integrated Circuits and Systems", McGraw-Hill, New-York, 1994
- [Lin91] Lin, P.-M.: "Symbolic Network Analysis", Elsevier, New York, 1991
- [LitZwo97] Litovski, V.; Zwolinski, M.: "VLSI Circuit Simulation and Optimization", Chapman & Hall, New York, 1997
- [Mayeda72] Mayeda, W.: "Graph Theory", Wiley-Interscience, New York ,1972
- [MaySes57] Mayeda, W.; Seshu, S.: "Topological Formulas for Network Functions", Eng. Experimentation Station Bull. 446 University of Illinois at Urbana, 1957
- [NäPpHe99] Nähnke, L.; Popp, R.; Hedrich, L.; Barke, E.: "Using Term Ordering to Improve Symbolic Behavioral Model Generation of Nonlinear Analog Circuits", European Conference on Circuit Theory and Design, S. 74-77, 1999
- [NagPed73] Nagel, L.W.; Pederson, D.O.: "Simulation Program with Integrated Circuit Emphasis", Proc. Sixteenth Midwest Symposium on Circuit Theory, Waterloo, Canada, Memorandum Nr. ERL-M382, Electronics Research Laboratory, University of California, Berkeley, 1973
- [Neolin01] Neolinear Inc., "<http://www.neolinear.com>", NeoCircuit, 2001
- [OcRu96] Ochotta, E.S.; Rutenbar, R.; Carley, L.R.: "Synthesis of High-Performance Analog Circuits in ASTRX/OBLX", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Bd. 15, Nr. 3, S. 273-94, 1996
- [OlPoNä01] Olbrich, M.; Popp, R.; Nähnke, L.; Hedrich, L.; Barke, E.: "A Combined Structural and Symbolic Method for Automatic Behavioral Modeling of Nonlinear Analog Circuits", European Conference on Circuit Theory and Design, 2001
- [Paroda97] Parodat, S.: "MARABU - Ein Werkzeug zur Aproximation nichtlinearer Kennlinien mit radialen Basisfunktionen", Workshop "Methoden und Werkzeuge zum Entwurf von Mikrosystemen", Bd. 6, 1997
- [PiShi00] Pi T.; Shi, C.-J. R.: "Multi-Terminal Determinant Decision Diagrams: A New Approach to Semi-Symbolic Analysis of

- Analog Integrated Circuits”, Proceedings of the ACM/IEEE Design Automation Conference, S. 19-22, 2000
- [PoNäBo99] Popp, R. and NÄthke, L. and Borchers, C.: “Automatische Erzeugung symbolischer Verhaltensmodelle für nichtlineare Analschaltungen im transienten Großsignalbetrieb”, Proc. 5.ITG/GMM Diskussionsitzung (Analog '99) , 1999
- [Pspice01] Cadence Inc. “<http://www.pspice.com>”, Pspice 9.2, 2001
- [PuEn98] Punzenberger, Manfred; Enz, Christian C.: “A Compact Low-Power BICMOS Log-Domain Filter”, IEEE Journal of Solid-State Circuits, Bd. 33, Nr 7, 1998
- [Rammig89] Rammig, F. J.: “Systematischer Entwurf digitaler Systeme”, B.G. Teubner, Stuttgart, 1989
- [SoHeTh99] Sommer, R.; Hennig, E.; Thole, M.; Halfmann, Th.; Wichmann, T.: “Symbolic Modeling and Analysis of Analog Integrated Circuits”, European Conference on Circuit Theory and Design, S. 66-69, 1999
- [SoAmHe93] Sommer, R.; Ammermann, D.; Hennig, E.: “More Efficient Algorithms for Symbolic Network Analysis: Supernodes and Reduced Loop Analysis”, Analog Integrated Circuits and Signal Processing 3, Kluwer Academic Publishers, S. 73-83, 1993
- [SoHeDr93] Sommer, R.; Hennig, E.; Dröge, G.; Horneber, E.H.: “Equation-Based Symbolic Approximation by Matrix Reduction with Quantitative Error Prediction”, Alta Frequenza-Rivista di Electronica, Bd. 5, 1993
- [Spiro90] Spiro, H.: “Simulation integrierter Schaltungen”, Oldenbourg Verlag, München, 1990
- [Thoma73] Thoma, M.: “Theorie linearer Regelsysteme”, Vieweg, Braunschweig, 1973
- [TieSch99] Tietze, U.; Schenk, Ch.: “Halbleiter-Schaltungstechnik”, Springer Verlag, Berlin, 1999
- [VaWaRo00] Vandersteen, G.; Wambacq, P.; Rolain, Y. Dbrovolny, P.; Donnay, S. Engels, M.; Bolsens, I.: “A Methodology for Efficient High-Level Dataflow Simulation of Mixed-Signal Front-Ends of Digital Telecom Transcievers”, Proceedings of the ACM/IEEE Design Automation Conference, S. 440-445, 2000
- [Vlach90] Vlach, M.: “Modeling and Simulation with Saber”, IEEE ASIC Seminar and Exhibit, S. T-11.1-11.9, 1990,



- 
- [WaFeGi95] Wambacq, P.; Fernández, F.V.; Gielen, G.; Sansen, W.; Rodríguez-Vázquez, A.: “Efficient Symbolic Computation of Approximated Small-Signal Characteristics of Analog Integrated Circuits”, *Journal of Solid-State Circuits*, Bd. 30, Nr. 3, S. 327-330, 1995
- [WaGiSa98] Wambacq, P.; Gielen, G.; Sansen, W.: “Symbolic Network Analysis Methods for Practical Analog Integrated Circuits: A Survey”, *IEEE Transactions on Circuits and Systems II*, Bd. 45, Nr. 10, 1998