

Simulation leitungsgeführter Störspannungen von DC-DC-Wandlern

M. Sc. Tim Baumgarten, Dr. Peter Scholz, PHOENIX CONTACT Electronics GmbH, Technologie Entwicklung

Dr. Denis Sievers, Prof. Dr. Jens Förstner, Universität Paderborn, Institut für Elektrotechnik und Informationstechnik

1 Einleitung

In diesem Beitrag werden simulatorische und messtechnische EMV-Untersuchungen von Gleichspannungswandlern vorgestellt. Der Fokus liegt auf leitungsgeführten Störspannungen, ihre Abhängigkeit vom Schaltungslayout und ihre Unterdrückung durch Filterung. Der Simulationsprozess besteht aus kombinierten Feld- und Netzwerksimulationen. Zur Bewertung der Simulationsergebnisse werden zwei Prototypen gezeigt und verglichen, die unterschiedliche EMV-Eigenschaften aufweisen. Bei der Beurteilung der Ergebnisse wird insbesondere Wert auf die Untersuchung gelegt, inwieweit einfache Schaltungssimulationen ausreichen, um leitungsgeführte Störspannungen korrekt vorherzusagen und wann aufwändigere Feldsimulationen notwendig sind.

2 Grundlagen

2.1 Schaltungsaufbau

Als Untersuchungsobjekt dienen Gleichspannungswandler vom Typ SEPIC (engl. *Single Ended Primary Inductance Converter*). Abhängig vom eingestellten Tastverhältnis des Schalttransistors kann dabei eine höhere oder niedrigere Ausgangsspannung bezogen auf die Eingangsspannung erreicht werden. Bild 1 zeigt eine Schaltskizze des SEPICs, bestehend aus einem Eingangskondensator C_{in} , Koppelkondensator C_S , Ausgangskondensator C_{out} , zwei Spulen L_1 und L_2 , einer Diode D und einem Transistor S (hier als einfacher Schalter gezeigt). Der Koppelkondensator C_S isoliert Eingangs- und Ausgangsseite der Schaltung voneinander und schützt somit die Eingangsseite vor einer kurzgeschlossenen Last. Ein Vorteil der SEPIC-Topologie gegenüber einem Buck-Boost-Converter ist die Erhaltung der selben Polarität und des selben Bezugspotentials zwischen Eingangs- und Ausgangsseite.

Zusätzlich sind im Schaltbild die Bauelemente einer Netznachbildung (engl. Line Impedance Stabilization Network (LISN)) nach DIN EN 55016-1-2 gezeigt, die zur Auskoppelung der hochfrequenten Anteile leitungsgeführter Störspannungen dienen. Leitungsgeführte Störemissionen erscheinen als in das Stromnetz eingepreßte Störströme, die dann am Netzzinnenwiderstand einen Störspannungsabfall erzeugen [3]. Daher ist der Innenwiderstand des Netzes maßgeblich für die entstehenden Störspannungen. Die Netznachbildung besteht aus jeweils einer 250 μ H Drossel (L_{L1} , bzw. L_{L3}) die das Prüfobjekt für hohe Frequenzen vom Netz entkoppelt. Über Koppelkondensatoren (C_{L1} , bzw. C_{L2}) werden die hochfrequenten Störungen auf die netzimpedanznachbildende Schaltung aus

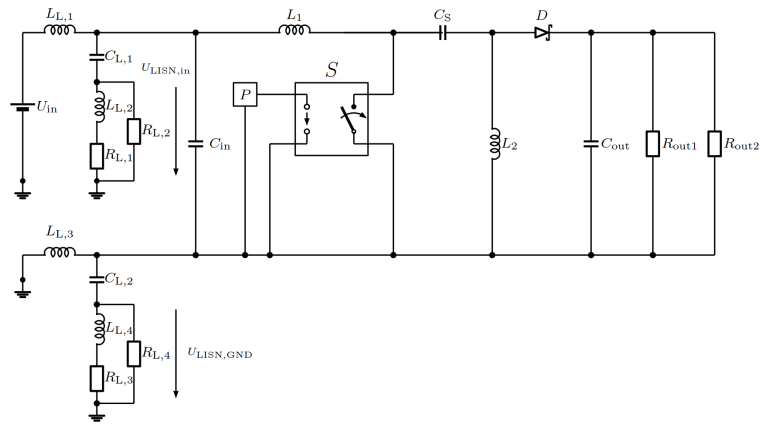
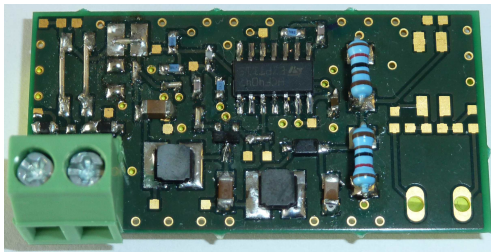
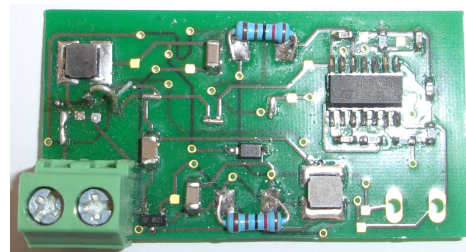


Bild 1: Schaltbild des SEPIC mit vorgeschalteter Netznachbildung.

$50 \Omega \parallel (50 \mu\text{H} + 5 \Omega)$ gegeben. Der 50Ω Parallelwiderstand spiegelt dabei den Innenwiderstand des Messgerätes wieder, der in den Simulationen beachtet werden muss, um der Messung vergleichbare Ergebnisse zu erzielen.



(a) Prototyp: Gutes Design



(b) Prototyp: Schlechtes Design

Bild 2: Messschaltungen für Vergleichsmessungen

Es werden zwei Prototypen (Bild 2) vorgestellt die als „gutes Design“ und „schlechtes Design“ bezeichnet werden, da sie gute bzw. schlechte leitungsgeführte EMV-Eigenschaften besitzen. Bei beiden Schaltungen wurden vierlagige Layouts verwendet. Beim Entwurf des guten Designs wurde darauf geachtet, dass die Komponenten des SEPICs sehr nah beieinander liegen, um große Schaltströme und Spannungen nicht weit über die Platine zu schicken und die aus Hin- und Rückleiter entstehende Masche klein zu halten. Dabei sind die Bauteile vollständig auf der obersten Lage platziert und auch soweit wie möglich auf dieser Lage kontaktiert um möglichst keine Lagenwechsel der Leiterbahnen und wenige Durchkontaktierungen zu benötigen. Die freien Flächen sind mit Masse geflutet. Die zweite Lage ist bis auf die Durchkontaktierungen vollständig mit Masse geflutet, dies soll kapazitive Kopplungen der Bauteile untereinander verringern und elektromagnetische Abstrahlungen reduzieren. Auf der dritten Lage befinden sich weitere Leiterbahnen. Die unterste Lage schließlich ist auch wieder vollständig mit Masse geflutet. Die großen Masseflächen dienen zum einen der Abschirmung und zum anderen besitzen sie eine geringe Impedanz um Impedanzkopplungen zu vermeiden.

Beim Entwurf des schlechten Designs wurde Wert darauf gelegt, möglichst starke leitungsgeführte Emissionen zu erzeugen. Aus diesem Grunde besitzt dieses Layout keine Masseflächen. Des Weiteren wurde auf eine möglichst ungünstige Anordnung der Bauelemente, welche die größten Leistungen aufnehmen bzw. abgeben geachtet. Daher sind die einzelnen Komponenten des SEPICs über die gesamte Schaltung verteilt worden, um

die von ihnen aufgespannte Masche zu maximieren. Gleichzeitig ist die Bahnführung aller Leitungen möglichst lang und verwunden gewählt.

2.2 Messaufbau

In Bild 3 ist der Messaufbau schematisch dargestellt. Eine Spannungsquelle liefert den Betriebsstrom für das zu testende Gerät (engl. Device Under Test (DUT)). Dieser Strom wird durch eine Netznachbildung (Modell: TESEQ NNB51) geführt, welche den Gleichstrom bzw. niederfrequenten Wechselstrom der Quelle zum Testgerät durchlässt. Die vom Testgerät auf die Versorgungsleitungen aufgeprägten Hochfrequenzstörungen werden hingegen nicht an die Quelle weitergegeben, sondern auf ein Messgerät ausgekoppelt. Als Messgerät dient ein Spektrumanalysator (Modell: Rohde & Schwarz FSB 1093.4495.03).

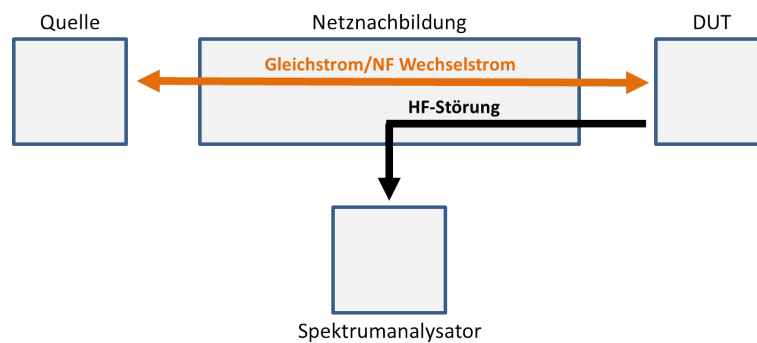


Bild 3: Schematischer Messaufbau zur Messung leitungsgeführter Störspannungen.

2.3 Simulationsaufbau

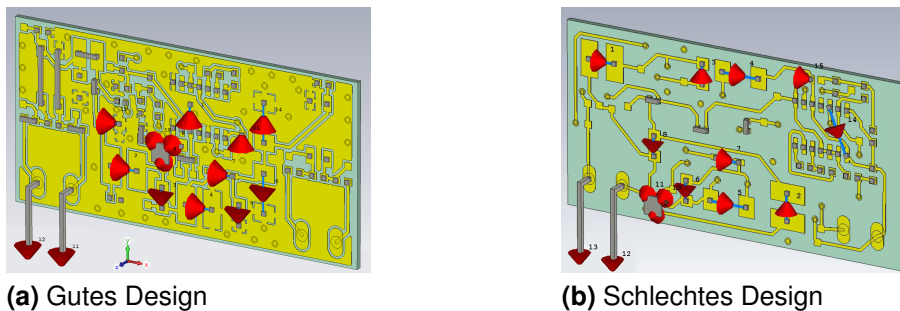


Bild 4: Simulationslayouts des guten und schlechten Designs.

Zur Simulation der leitungsgeführten Störspannungsspektren erfolgt eine kombinierte Feld- und Schaltungssimulation in *CST STUDIO SUITE*. Zuerst wird ein 3D-Modell des Platinenlayouts in *CST MICROWAVE STUDIO* importiert. Das 3D-Modell der importierten Layouts ist in Bild 4 dargestellt. Das Simulationsgitter des guten Designs besteht aus 425461 Zellen, das des schlechten Designs, aufgrund der fehlenden Masseflächen, nur aus 29818 Gitterzellen. An Stelle der Bauelemente werden Tore (engl. Ports) in die Simulation eingesetzt. Die Struktur wird über die Tore angeregt und die Streuparameter zwischen ihnen bestimmt. Der Einsatz von Toren macht die Simulation der Schaltung flexibler als die Verwendung fester Bauelemente, da die Streuparameter der Schaltung nur einmal simuliert werden müssen und dann für Schaltungssimulationen beliebige Bauteile eingesetzt werden können.

Mit dieser dreidimensionalen Struktur wird eine Feldsimulation durchgeführt. Dazu wird die Struktur in einem Vergitterungsschritt in ein tetraedales Gitter zerlegt. Dann werden durch den Lösungsalgorithmus nacheinander sämtliche Tore mit bestimmten Frequenzen angeregt und die Streuparameter berechnet. Auf diese Weise wird die Kopplung aller Tore bestimmt. Mit den gewonnenen Ergebnissen erfolgt anschließend eine Modellordnungsreduktion, um aus den Streuparametern ein Netzwerkmodell zu generieren. Dieses Modell steht anschließend in *CST DESIGN STUDIO* als Blockschaltbild für Netzwerksimulationen zur Verfügung. Bild 5 zeigt exemplarisch einen Schaltplan für eine Netzwerksimulation. In dieser Netzwerksimulation sind die Verbindungen der Bauteile untereinander nicht ideal, wie es bei einer reinen Schaltungssimulation wäre, sondern werden durch das Modell der zuvor berechneten Struktur bestimmt. An diesen, das Layout beinhaltenden Schaltungsblock, werden nun die in der Schaltung verwendeten Bauteile angefügt. Das Breitbandverhalten der Bauteile wurde im Vorfeld messtechnisch durch einen Impedanzanalyser bestimmt und in die Schaltungssimulation eingefügt.

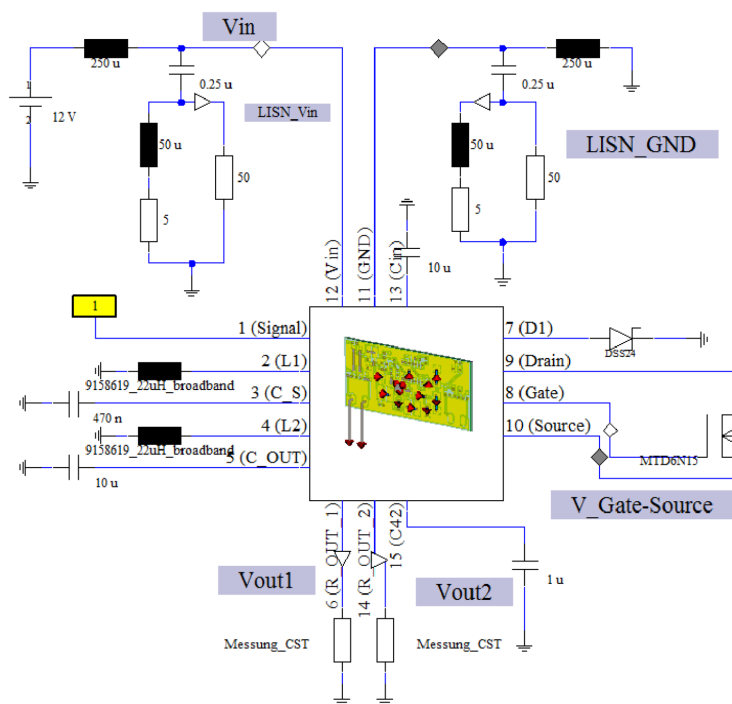


Bild 5: Schaltplan einer Netzwerksimulation

3 Simulations- und Messergebnisse

Bild 6 zeigt das simulierte und gemessene Spektrum des guten Designs. Zusätzlich sind die Grenzwerte für leitungsgeführte Emissionen nach [1] angegeben. Es zeigt sich, dass das gute Design die schärferen EMC 1 Grenzwerte verletzt, die Voraussetzungen der weniger scharfen EMC 2 Grenzwerte aber einhält. Auch sind nur die Grundschwingung und die ersten drei Oberwellen problematisch. Dieses Design könnte daher im industriellen Umfeld verwendet werden. Es zeigt sich auch, dass die Emissionen mit steigender Frequenz immer stärker gedämpft werden, so ist im Frequenzbereich bis 2 MHz ein Abfallen der Amplituden um 40 dB pro Dekade erkennbar, was auf eine Filterwirkung 2. Ordnung hinweist. Untersuchungen haben gezeigt, dass die drei Maxima im Bereich zwischen zwei und drei MHz aus dem nicht perfekten *SPICE*-Modell des Transistors resultieren. Sie kön-

nen für die weiteren Betrachtungen vernachlässigt werden, da sie in den Messungen, genauso wie in Simulationen mit anderen Transistormodellen, nicht auftreten. Im Vergleich beider Spektren zeigt sich, dass die Simulationsergebnisse mit denen des gemessenen Spektrums gut übereinstimmen. Im Bereich der ersten vier Harmonischen sind die Abweichungen von Messung und Simulation im Bereich von ca. 5 dB. Die Abweichungen werden mit steigender Frequenz etwas größer, bewegen sich aber stets in einem Bereich von ca. 10 dB.

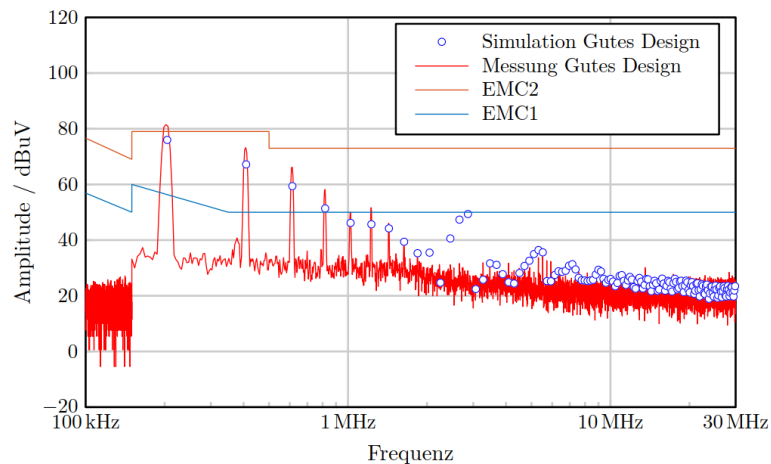


Bild 6: Simulations- und Messergebnis des guten Designs.

In Bild 7 ist das Simulations- und das Messspektrum des schlechten Designs gezeigt. Es zeigt sich, dass der EMC 1-Grenzwert an wesentlich mehr Frequenzpunkten überschritten wird als beim guten Design. Im Bereich der ersten Harmonischen sind die Abweichungen zwischen den Spektralspitzen wie zuvor gezeigt im Bereich von 5 dB wenn vom Wert bei etwa 800 kHz abgesehen wird. Die gemessenen Spektralanteile zeigen im höheren Frequenzbereich geringere Amplituden, was darauf hinweist, dass im Simulationsmodell noch nicht alle relevanten Dämpfungseigenschaften enthalten sind.

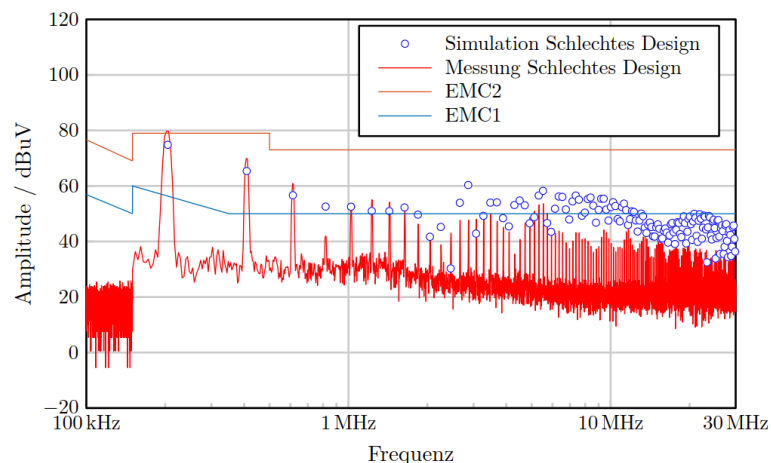


Bild 7: Simulations- und Messergebnis des schlechten Designs.

Bild 8 zeigt die Ergebnisse des guten und schlechten Design gegenübergestellt mit einer reinen Schaltungssimulation. In der Schaltungssimulation sind die Bauelemente nicht über den Layoutblock sondern ideal miteinander verbunden. Es zeigt sich, dass die Einflüsse des Layouts bei Frequenzen bis 1 MHz marginal sind. Bei höheren Frequenzen

treten allerdings deutliche spektrale Unterschiede von bis zu 30 dB auf. Offensichtlich haben die aus der Leitungsführung resultierenden Kopplungseffekte zu einer dramatischen Erhöhung leitungsgeführter Emissionen geführt. Anders ausgedrückt lässt sich festhalten, dass eine Verbesserung der EMV-Eigenschaften erst bei höheren Frequenzen durch Layoutänderungen erreicht werden kann, bei niedrigen Frequenzen sind die parasitären Eigenschaften der Bauteile zusammen mit den schnell schaltenden Strömen und Spannungen dominant. In diesem Frequenzbereich müssen andere Maßnahmen ergriffen werden um leitungsgeführte Störaussendungen zu dämpfen, zum Beispiel der Einsatz von Filtern, wie im folgenden Abschnitt erläutert wird.

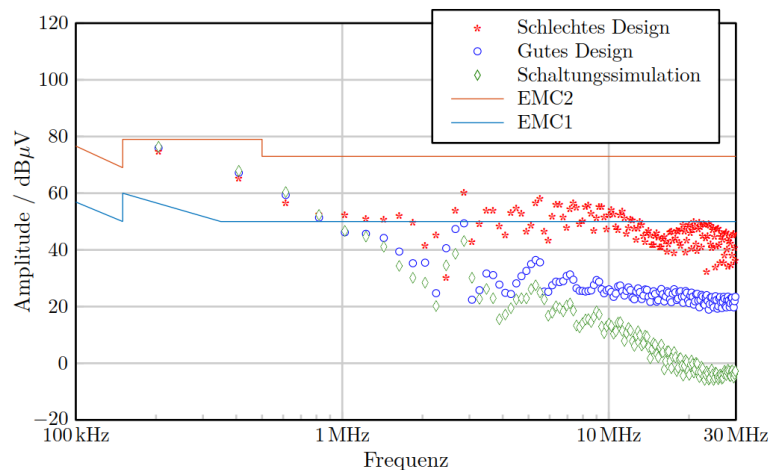


Bild 8: Vergleich: Simulation gutes und schlechtes Design und reine Schaltungssimulation.

3.1 Emissionsunterdrückung durch Filterung

Um die niederfrequenten Anteile der Emissionsspektren zu dämpfen wird ein LC-Filter eingesetzt. Bild 9(a) zeigt das Schaltbild und 9(b) die Filterkennlinie unter Annahme idealer (rot) und realer (blau) Bauelemente.

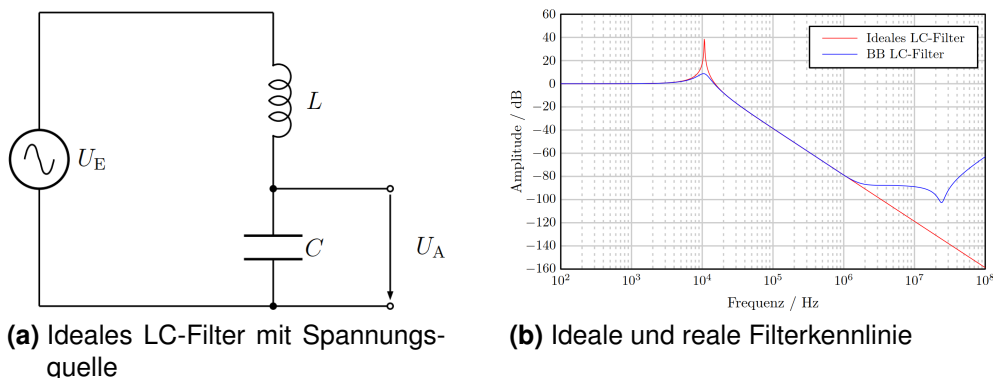


Bild 9: Verwendetes LC-Filter

Bild 10 zeigt Messung und Simulationsspektrum des guten Designs mit LC-Filter. Es zeigt sich, dass das Filter vor allem im Bereich niedriger Frequenzen sehr effektiv wirkt, dies aber sukzessive abnimmt, so dass ab ca. 5 MHz kein Effekt mehr erkennbar ist. Es zeigt sich, dass das Filter im simulierten Spektrum bei niedrigen Frequenzen das Emissionsspektrum stärker dämpft als die Messung dieses widerspiegelt. Erst ab ca. 5 MHz beginnen beide Kurven zueinander zu passen. Allerdings zeigt sich auch in der Messung, dass

die niederfrequenten Emissionsmaxima nahezu vollständig unterdrückt werden. Außer der Grundfrequenz sind kaum noch Maxima auszumachen und die Amplitude der Grundfrequenz ist bereits um fast 40 dB gedämpft. Es zeigt sich also in Simulation und Messung, dass ein einfaches LC-Filter bei entsprechend gutem Design geeignet ist, um die Grenzwerte einzuhalten. Es gibt zwei Ursachen, warum sich die Messkurve des guten Designs mit Filter so stark von der idealen Filterkennlinie unterscheidet. Zum Einen stellt die gezeigte Filterkennlinie ein isoliertes System dar, in dem eine hinter dem Filter liegende Schaltung wird nicht mitbetrachtet wird. So folgt in der realen Schaltung direkt nach dem Filter der Eingangskondensator C_{in} des SEPICs und dann die erste Spule L_1 . Diese Konfiguration lässt Resonanzen zu was größere Abweichungen von der einfachen Kennlinie erklären kann.

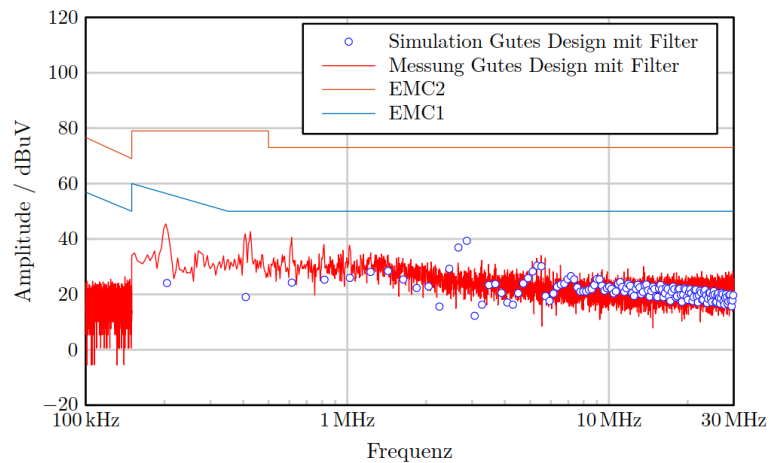


Bild 10: Simulations- und Messergebnis des guten Designs mit LC-Filter

Zum Anderen besitzt ein LC-Filter die Eigenschaft Gegentakt-Störungen gut, Gleichtakt-Störungen aber nur schlecht zu unterdrücken. So führt die Spule zu einer gewissen Dämpfung der Gleichtaktstörungen, der Kondensator hat aufgrund der symmetrischen Spannungsänderung aber keinen Einfluss. Bild 11 zeigt das Spektrum des guten Designs aufgelöst nach Gegentakt- und Gleichtaktanteil. Im Bereich ab ca. 2 MHz gehen beide Kurven ineinander über, daher ist ab dort kein großer Effekt des LC-Filters mehr möglich. Die Ursachen für Gleichtaktstörungen sind oft kapazitive Kopplungen oder Potentialdifferenzen auf Masseleitungen [2].

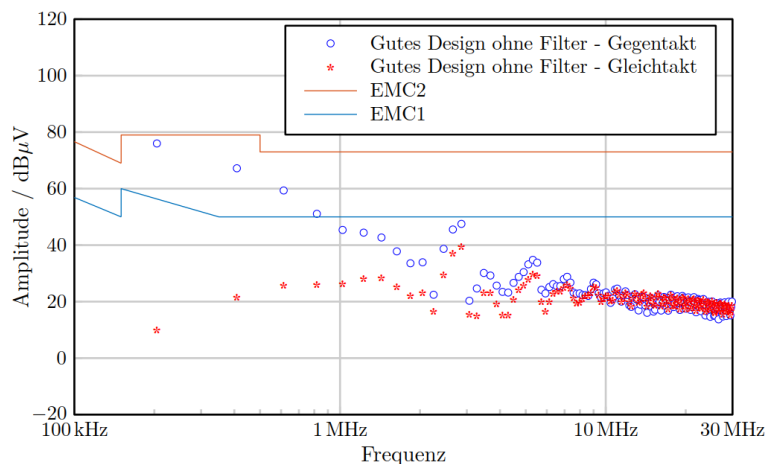


Bild 11: Gutes Design: Spektrum mit Gleichtakt- und Gegentaktanteil

Bild 12 zeigt das Spektrum des schlechten Designs mit LC-Filter. Aufgrund des Gleichtaktanteils ist auch hier das Filter bei niedrigen Frequenzen am effektivsten. Allerdings hat sich auch bei hohen Frequenzen das Spektrum deutlich verbessert. Das Spektrum verläuft allerdings trotz des Filters noch recht nahe zum Grenzwert.

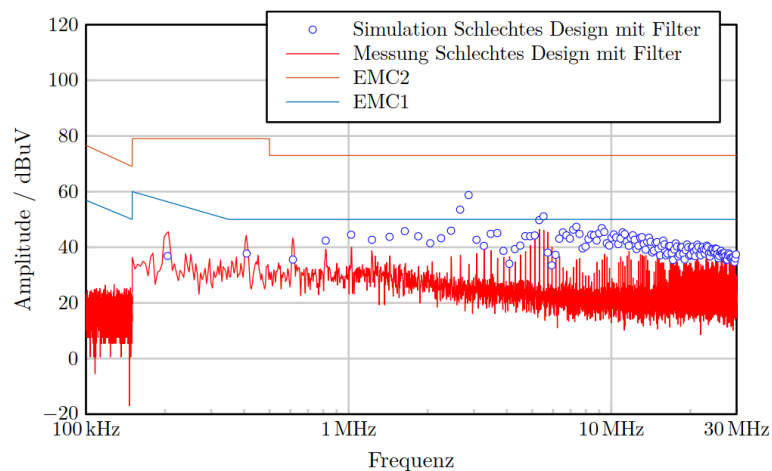


Bild 12: Simulations- und Messergebnis des schlechten Designs mit LC-Filter

4 Zusammenfassung

Dieser Beitrag hat leitungsgeführte Störspannungen von Schaltreglern mit Hilfe von Simulationen untersucht und die Ergebnisse mit Messwerten verglichen. Es stellte sich heraus, dass das Layout der Schaltregler erst bei Frequenzen oberhalb von 1 MHz einen signifikanten Einfluss auf die Störspannungen hat. Bei niedrigen Frequenzen sind die simulierten Amplituden dagegen vom Layout näherungsweise unabhängig. In diesem Bereich hat sich eine einfache Schaltungssimulation als ausreichend herausgestellt, um die leitungsgeführten Störspannungen vorherzusagen. Der Einsatz eines einfachen LC-Filterns zeigte sich geeignet die Emissionen im gesamten Spektralbereich, speziell aber im niedrigen Frequenzbereich, effektiv zu reduzieren.

Abschließend sei angemerkt, dass aufgrund der universellen Einsetzbarkeit des Simulationsverfahrens sich die hier erläuterten Untersuchungen auch auf andere Schaltreglertypen übertragen lassen.

Literatur

- [1] *Germanischer Lloyd: Rules for Classification and Construction, VI Additional Rules and Guidelines*. 2012
- [2] FRANZ, Joachim: *EMV - Störungssicherer Aufbau elektronischer Schaltungen, 5. Auflage*. Springer Fachmedien Wiesbaden : Springer Vieweg, 2013. – ISBN 978-3-8348-1781-5
- [3] SCHWAB, Adolf J.: *Elektromagnetische Verträglichkeit*. Berlin Heidelberg New York : Springer Verlag, 1996. – ISBN 3-540-60787-0