

Das Verhalten nanostrukturierter Schaltungen unter der Berücksichtigung von Quanteneffekten

J.-K. Bremer, F. Felgenhauer, M. Begoin, and W. Mathis

Institut für Theoretische Elektrotechnik, Universität Hannover, Appelstraße 9A, 30167 Hannover, Deutschland

Zusammenfassung. Aufgrund der Bedeutung der MOS-Technologie für die Halbleiterindustrie und deren fortschreitende Miniaturisierung ist es wichtig sicherzustellen, dass die klassischen Schaltungskonzepte für stark skalierte Bauelemente nicht ihre Gültigkeit verlieren. Ziel unserer Arbeitsgruppe ist es ein Simulatorpaket zu entwickeln, welches von einer physikalischen Sicht heraus quantenmechanische Einflüsse in integrierten Schaltungen ermittelt und Konsequenzen für zukünftiges Schaltungsdesign prognostiziert. Zur Berechnung und Modellierung der Quanteneffekte wird ein auf dem “non equilibrium Green’s functions” (NEGF) Formalismus basierender numerischer 1-dimensionaler Simulator entwickelt. Auf der Basis von numerischen Transportsimulationen werden Ersatzschaltbilder für die SPICE Simulationsumgebung erstellt, um den Einfluss der Quanteneffekte in die Schaltungssimulation einzubinden.

Abstract. In this paper we discuss the expected impact of quantum effects in nanostructured CMOS circuits. In order to describe transport in mesoscopic electronic systems our group develops a 1-d numerical simulation packet based on the “non equilibrium Green’s functions” (NEGF) formalism. By means of the obtained simulation results we develop extended SPICE circuit models. With these SPICE models the influence of quantum effects to the functionality of classical circuit concepts can be studied. Using these results it is our intention to develop circuits with a higher robustness against these quantum effects. For the illustration of our simulation concept we discuss some results of some circuit examples.

1 Einleitung

In der aktuellen 65 nm Mikroprozessorfertigungstechnik beträgt die effektive Gatelänge eines MOSFETs nur noch

Correspondence to: J.-K. Bremer
(bremer@tet.uni-hannover.de)

35 nm, die Oxidschicht zwischen Silizium und der Elektrode sogar nur noch 1,2 nm (Bai, 2004). Nano-Transistoren mit Gatelängen von 10 nm sind bereits in der Entwicklung (Chau, 2003). In Halbleiterbauelementen dieser Größenordnung treten neben den bekannten parasitären Effekten verschiedene quantenmechanische Störeffekte auf, welche die Funktionsweise dieser Bauelemente signifikant beeinflussen. Die wichtigsten zu untersuchenden quantenmechanischen Effekte sind die durch den Tunneleffekt auftretende Leckströme, die Quantisierung der Ladungsträgerenergie und die Verschiebung des Elektronendichtemaximums an der Oxidgrenzschicht. Bei der 65 nm Technologie beträgt die Gateoxiddicke eines MOS Transistors weniger als 2 nm, gemäß der Skalierungsregeln. Durch diese zunehmende Verkleinerung der Oxidschicht beginnen die Tunnelströme exponentiell zu wachsen (Yang, 2000). Dies bedeutet, dass bei Schaltungen, die nanoskalierten MOS-Bauelementen enthalten, eine Zunahme von parasitären Strömen zu erwarten ist, welche die Funktionsweise signifikant beeinflussen.

In unseren Untersuchungen konzentrieren wir uns auf die Kopplung einer quantenmechanischen Beschreibung an die semi-klassischen Ladungsträgertransportgleichungen. So werden die Einflüsse von mikroskopischen Vorgängen in Bauelementen in das Schaltungsdesign integriert, ohne das vollständig neue Kompaktmodelle entworfen werden müssen. Hierzu verwenden wir Standardbauelemente in Schaltungssimulationen und erweitern diese mit zusätzlichen parasitären Quellen (siehe Abb. 1). Die parasitären Quellen werden auf der Basis von physikalisch exakten Simulationen des mikroskopischen Transportverhaltens modelliert.

Der Artikel ist folgendermaßen gegliedert: Im nächsten Abschnitt wird der dem 1D Simulationspaket zugrundeliegende “non-equilibrium Green’s function” (NEGF) Formalismus vorgestellt und diskutiert. Die Berechnung des rein quantenmechanischen Transportproblems basiert auf der selbstkonsistenten Lösung der diskretisierten Schrödinger- und Poissongleichung. Im darauf folgenden dritten Ab-

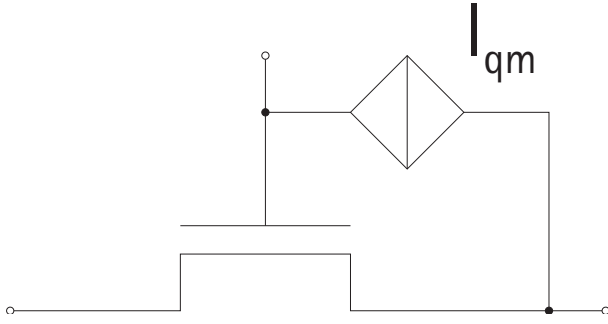


Abbildung 1. Zusätzliche, parasitäre Quelle.

schnitt werden Ergebnisse für die numerische Simulation einer “single-barrier” Halbleiterstruktur präsentiert. Im vierten Abschnitt wird der Einfluss von quantenmechanischen Tunnelströmen auf die Funktionalität von einigen ausgewählten klassischen Schaltungen untersucht. Der Artikel schließt mit einer Diskussion über die zukünftig benötigten Transportmodellen für nanoskalierte Schaltungen.

2 Der NEGF-Formalismus

Wir beschreiben den Ladungsträgertransport, welcher eigentlich ein Vielteilchenproblem ist, als Ein-Teilchenproblem, wobei die Wechselwirkungen mit anderen Teilchen als ein im Hintergrund wirkendes elektrostatisches Potenzial $U(\mathbf{r})$ approximiert wird. Es gilt die zeitunabhängige Schrödingergleichung

$$(H + U(\mathbf{r}))\Psi(\mathbf{r}) = E\Psi(\mathbf{r}) \quad (1)$$

mit dem Hamiltonoperator H des freien Teilchens. Gleichung (1) muss aufgrund der Abhängigkeit des Hintergrundpotenzial $U(\mathbf{r})$ von der Ladungsträgerverteilung $n(\mathbf{r})$ gekoppelt mit der Poissongleichung

$$\text{div } \epsilon(\mathbf{r}) \text{ grad } U(\mathbf{r}) = -q^2 n(\mathbf{r}) \quad (2)$$

gelöst werden. Im Folgenden wird der “non-equilibrium Green’s function”-Formalismus (NEGF) (vergleiche z.B. Datta, 2000, 2002, 2003, 2005) beschrieben, der zur numerischen Lösung der Schrödingergleichung verwendet wird. Hierzu betrachten wir die zu untersuchende MOS-Struktur 1-dimensional und gekoppelt zwischen zwei als halbunendlich angenommenen Kontaktflächen (siehe Abb. 2). Die Schrödingergleichung (1) wird in eine longitudinale (Transportrichtung) und in eine transversale Komponente separiert $H + U = (H_t + U_t) + (H_l + U(x))$ (Datta, 2000). Die Lösung in transversaler Richtung kann (bei genügend großer Querschnittsfläche S) als ebene Welle $\chi(\mathbf{r}_t)$ approximiert werden

$$\chi(\mathbf{r}_t) = e^{i\mathbf{k} \cdot \mathbf{r}_t / \sqrt{S}}, \quad \epsilon_{\mathbf{k}} = \frac{\hbar^2 \mathbf{k}^2}{2m^*}, \quad (3)$$

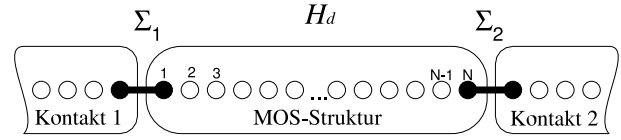


Abbildung 2. MOS-Struktur gekoppelt an 2 halbunendliche Kontakte.

\mathbf{r}_t und \mathbf{k} sind 2-d Vektoren in der y, z -Ebene. Für den Transport in x -Richtung gilt dann die Schrödingergleichung in Matrixform

$$\begin{bmatrix} H_1 & \tau_1 & 0 \\ \tau_1^+ & H_d & \tau_2^+ \\ 0 & \tau_2 & H_2 \end{bmatrix} \psi(\mathbf{k}; x) = E\psi(\mathbf{k}; x), \quad (4)$$

wobei \mathbf{k} der transversale Wellenvektor aus Gleichung (3) ist und $\psi = [\psi_1, \psi_d, \psi_2]$. Die Indizes $1, 2, d$ kennzeichnen die beiden Kontakte 1, 2 und respektive die MOS-Struktur (vergleiche Abb. 2).

Die Greensche Funktion $(E - H_{\text{op}})G = 1$ ist gegeben mit (Datta, 2003):

$$\begin{bmatrix} G_1 & G_{d1} & 0 \\ G_{1d} & G_d & G_{2d} \\ 0 & G_{d2} & G_2 \end{bmatrix} = \begin{bmatrix} E^* - H_1 & -\tau_1 & 0 \\ -\tau_1^+ & E^* - H_d & -\tau_2^+ \\ 0 & -\tau_2 & E^* - H_2 \end{bmatrix}^{-1} \quad (5)$$

Hierbei ist $E^* = E + i\eta$ die leicht in die komplexe Ebene verschobene Energie ($\eta \rightarrow 0$), um die Invertierbarkeit der Matrix auf der rechten Seite sicher zu stellen. Da nur Transportvorgänge in der MOS-Struktur bestimmt werden sollen (und nicht in den Kontakten), muss nur die Greensche Funktion G_d für das Bauelement bestimmt werden:

$$G_d(\mathbf{k}; E) = [E - H_d - \Sigma_1 - \Sigma_2]^{-1} \quad (6)$$

mit den Selbstenergien $\Sigma_{1,2}$. Die Randeﬀekte in den halbunendlichen Kontakten bzw. die oﬀenen Randbedingungen sind durch die Selbstenergien¹ exakt bestimmt, wobei die Greensche Funktion $G_d(\mathbf{k}; E)$ immer noch endlich ist.

Für die Beschreibung der 1-dimensionalen MOS-Struktur gilt der Hamiltonoperator mit ortsabhängiger Masse $m(x)$ (Einspruch, 1994; Lake, 1997). Die Existenz anderer Elektronen wird im Hamiltonoperator durch ein wirkendes Hintergrundpotential $U(x)$ repräsentiert, weshalb zusätzlich die Poissongleichung

$$\frac{d}{dx} \epsilon(x) \frac{d}{dx} U(x) = -q^2 [N_D^+(x) - n(x)] \quad (7)$$

zur Bestimmung von $U(x)$ gekoppelt gelöst wird, da die Elektronendichte eine Funktion von $U(x)$ ist. $n(x)$ wird über

¹Die eigentliche Herleitung der Selbstenergien erfolgt über die Dyson Gleichung, siehe Caroli et al. (1971).

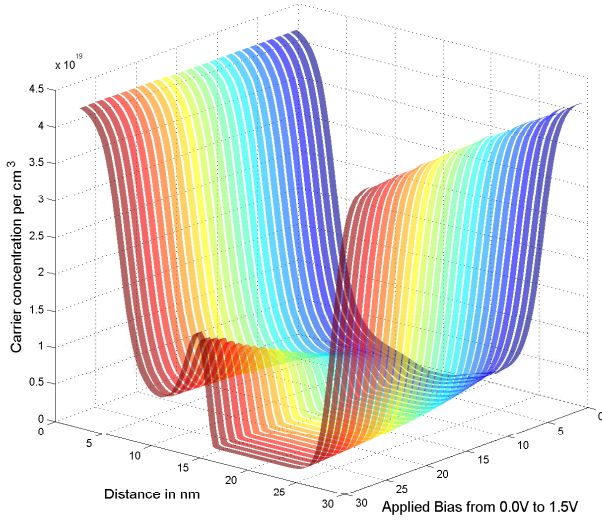


Abbildung 3. Ladungsträgerkonzentration in einer 2 nm MOS Struktur für verschiedene angelegte Spannungen.

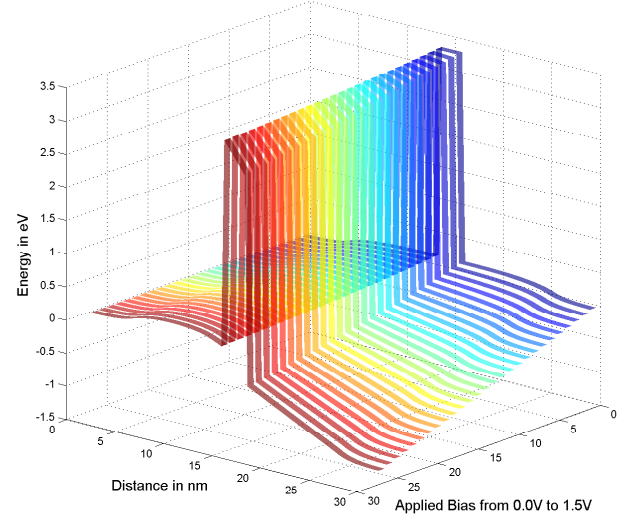


Abbildung 4. Leitungsbandkante einer 2 nm MOS Struktur für verschiedene angelegte Spannungen.

die Dichtematrix ρ in Ortsdarstellung (siehe Datta, 2000) bestimmt

$$n(x) = \frac{1}{\Omega} \rho(x, x')|_{x=x'}, \quad (8)$$

wobei $1/\Omega$ der Normierung auf das Volumen entspricht. Für den Nicht-Gleichgewichtsfall, d.h. für den Fall, dass über der MOS-Struktur eine (Gate-Source-) Spannung anliegt, gilt für die chemischen Potentiale $\mu_{1,2}$ in den zwei Kontakten $\mu_1 \neq \mu_2$. Die Dichtematrix wird durch den Ausdruck

$$\rho = \sum_{\mathbf{k}} \rho_{\mathbf{k}} = \sum_{\mathbf{k}} \int dE G^n(\mathbf{k}; E) \quad (9)$$

bestimmt, wobei die Elektronenkorrelationsfunktion gegeben ist durch

$$G^n(\mathbf{k}; E) = \frac{1}{2\pi} (f_1 A_1(\mathbf{k}; E) + f_2 A_2(\mathbf{k}; E)). \quad (10)$$

$f_{1,2}$ sind die Fermifunktionen bezüglich der chemischen Potentiale $\mu_{1,2}$, mit

$$f_{1,2} = \frac{1}{1 + \exp[(E + \varepsilon_{\mathbf{k}} - \mu_{1,2})/k_b T]}. \quad (11)$$

Die Spektralfunktionen $A_1(\mathbf{k}; E)$ und $A_2(\mathbf{k}; E)$ sind definiert durch

$$A_1(\mathbf{k}; E) \equiv G_d \Gamma_1 G_d^+ \quad A_2(\mathbf{k}; E) \equiv G_d \Gamma_2 G_d^+ \quad (12)$$

mit $\Gamma_{1,2} \equiv i[\Sigma_{1,2} - \Sigma_{1,2}^+]$.

Mit Gleichung (8) ist somit die Elektronendichte durch den NEGF Formalismus bestimmt. Die Poissongleichung und die Schrödingergleichung müssen iterativ nacheinander gelöst

werden, bis die Elektronenkonzentration $n(x)$ und das elektrostatische Potenzial $U(x)$ konvergieren (selbstkonsistentes Lösungsverfahren). Nach Erreichen der Konvergenz, d.h. G_d ist bestimmt, kann der Ladungsträgertransport bzw. der Strom berechnet werden. Für das Beispiel des Zweikontaktensystems wird der Strom bestimmt mit

$$I_{qm} = \frac{q}{\pi \hbar} \sum_{\mathbf{k}} \int dE (f_1 - f_2) \text{Tr}(G_d(\mathbf{k})^+ \Gamma_2 G_d(\mathbf{k}) \Gamma_1). \quad (13)$$

3 Numerische Simulation

Auf der Basis des im vorhergehenden Abschnitt vorgestellten Formalismus ist in unserer Arbeitsgruppe ein 1-d numerischer Simulator (NADES) entwickelt worden, mit dem die Tunnelströme für MOS-Strukturen simuliert werden können. Die sich daraus ergebenden Strom-Spannungspaarwerte werden als Look-up-table Modelle in PSpice implementiert und können so als parasitäre Quellen zusätzlich zu den Bauelementmodellen verwendet werden, wie in der Einleitung vorgeschlagen (vergleiche Abb. 1).

In den Abbildungen 3 - 5 werden einige ausgewählte Simulationsergebnisse für eine "single-barrier" MOS Struktur mit einer Barrierenbreite von 2 nm präsentiert. Abbildung 3 zeigt die Ladungsträgerkonzentration über der Struktur, Abb. 4 die Leitungsbandkante unter dem Einfluss der angelegten Spannung und Abb. 5 die resultierende Tunnelstromdichte. Zur numerischen Lösung werden die Schrödingergleichung (4) und auch die Poissongleichung (7) nach der Methode der finiten Differenzen (Datta, 2003; Lake, 1997) diskretisiert.

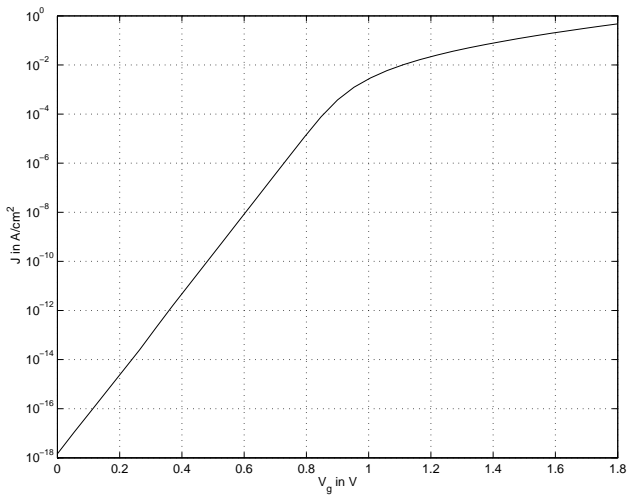


Abbildung 5. Tunnelstromdichte für eine 2 nm Oxidschicht.

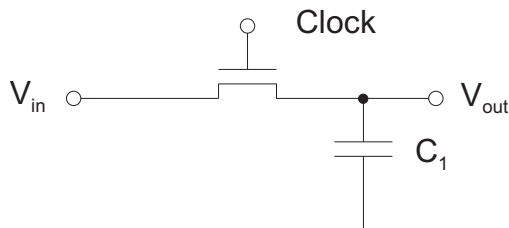


Abbildung 6. Sample/Hold mit MOS-Schalter.

4 Schaltungssimulation

Die wichtigsten parasitären quantenmechanischen Effekte in nanoskalierten MOS-Transistoren im Sperrzustand sind die Oxid tunnelströme. Im Durchlasszustand des Transistors können aufgrund der Größe des regulären Source-Drain Stromes die Tunnelströme vernachlässigt werden. Deshalb werden Schaltungen, die statische Logik realisieren, durch Tunnelströme nicht in ihrer Funktion beeinflusst (Choi, 2001). Somit ist die kritische Applikation in Bezug auf Fehlfunktionen die dynamische Logik. Bei Schaltungen mit dynamischer Logik, die aus nanoskalierten MOS-Bauelementen aufgebaut ist, muss man eine Zunahme von parasitären Strömen erwarten, die die Funktionsweise signifikant beeinflussen.

Für eine Sample/Hold Schaltung, die einen nanoskalierten MOS-Transistor als Schalter verwendet (siehe Abb. 6), kann der Einfluss von Tunnelströmen zur Fehlfunktion der Schaltung führen. In Abb. 7 sind das Eingangssignal und das Ausgangssignal für ein Sample/Hold Glied mit einer 2 nm-Oxiddicke MOS-Technologie dargestellt. Das Schaltungsverhalten wurde unter dem expliziten Einfluss von direktem Elektronentunneln simuliert. Der signifikante Anteil des Tunnelstroms in der Schaltung fließt, wenn der Schalttran-

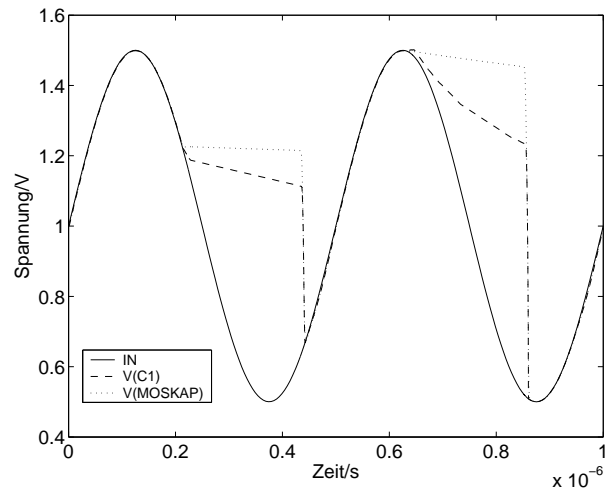


Abbildung 7. Sample/Hold Schaltung unter Einfluss von Tunnelströmen.

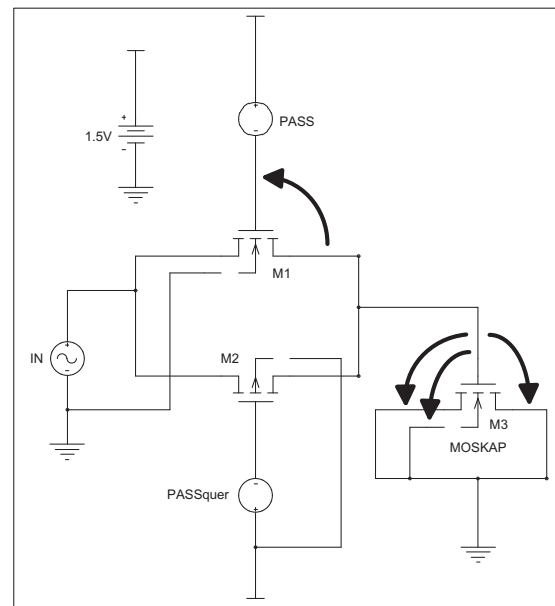


Abbildung 8. S/H mit Transferegate und MOS-Kapazität.

sistor abgeschaltet ist, durch die Überlappungsregion zwischen Drain und Gate. Dadurch wird die Kapazität C_1 (siehe Bild 6) entladen und kann somit nicht mehr den Spannungspegel am Ausgang aufrecht erhalten. Es kommt zu einer Fehlfunktion der Schaltung.

Im Beispiel des S/H-Glieds (Abb. 8) fließen für den Fall, dass für die Ausgangskapazität in einer integrierten Schaltung eine MOS-Kapazität verwendet wird, bei abgeschaltetem Transferegate vier Tunnelströme (dargestellt durch Pfeile in der Abbildung): (1) edge-direct Tunneln zwischen Drain und Gate im n-MOSFET Gatter (2) Tunneln zwischen Gate

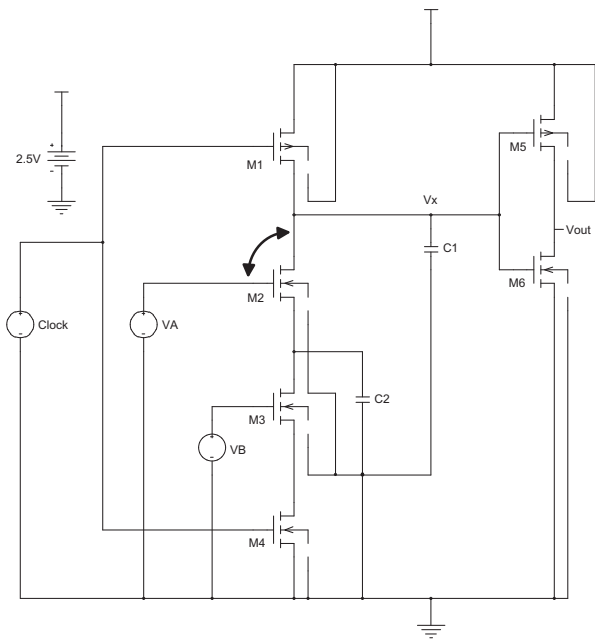


Abbildung 9. Domino-AND-2 Gate.

und invertierten Kanal in MOS-Kapazität und (3), (4) edge-direct Tunneln Drain/Source und Gate in MOS-Kapazität. Strom (3) und (4) sind gegenüber (2) vernachlässigbar, da in einer MOS-Kapazität die Überlappungsflächen zwischen Drain/Source und Gate gegenüber der Fläche des invertierten Kanals sehr klein sind. Für jeden Pfeil (entsprechend einem Tunnelstrom) in Bild 8 wird eine zusätzliche Quelle in der PSpice-Simulation verwendet.

Die Ausgangssignale für ein Transfer-Gate ohne und mit MOS-Kapazität sind für ein Sinuseingangssignal in Abb. 7 dargestellt (Ausgangssignal mit MOS-Kapazität gestrichelte Linie, ohne gepunktete Linie). Es ist deutlich zu erkennen, dass für das abgeschaltete Transfertgate in beiden Fällen das Ausgangssignal nicht gehalten werden kann - Fehlfunktion der Schaltung. Dass auch dynamische Logik in seiner Schaltungsfunktion durch parasitäre Tunnelströme beeinflusst werden kann, lässt sich gut am Beispiel eines Domino-AND-2 Gate demonstrieren (Choi, 2001). Der Schaltplan eines typischen Domino-AND Gates ist in Abb. 9 dargestellt. Das kritische Element in dieser Schaltung ist der n-MOS Transistor am Eingang A des Gatters. In der Vorladephase (siehe Eingangssignale in Bild 10) wird die Pufferkapazität C1 über den p-MOSFET auf V_{dd} geladen, so dass der Inverter als Ausgangssignal ein "low" erzeugt. In der Auswertephase schaltet M1 ab und die Kapazität soll das Ausgangssignal puffern.

Wenn das Oxid im Eingangstransistor M2 eine kritische Dicke unterschreitet, wird im abgeschalteten Zustand von M2 über edge-direct Tunnelströme die Kapazität so schnell entladen, dass die Spannung V_X unter $V_{dd}/2$ fällt bevor das

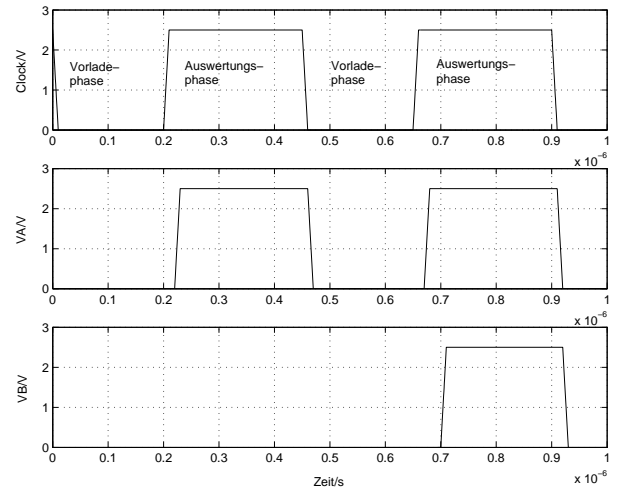


Abbildung 10. Eingangssignale Domino-AND-2 Gate.

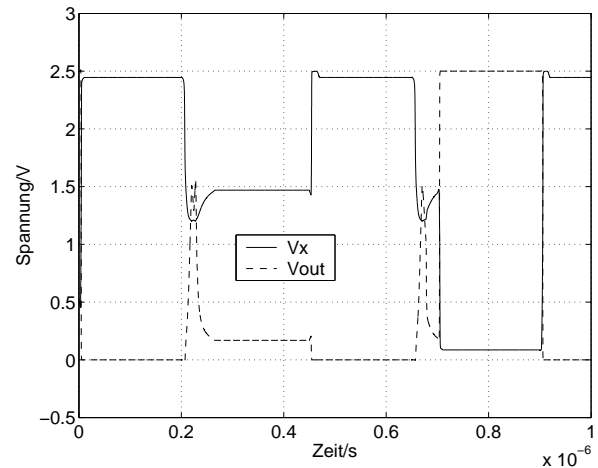


Abbildung 11. Ausgangssignale Domino-AND-2 Gate.

Eingangssignal A auf "high" schaltet (Bild 10). Der Inverter erzeugt dadurch am Ausgang für kurze Zeit einen "high"-Pegel (siehe Abb. 11) und ein Logikfehler wird aufgrund des Tunnelns in M2 produziert. Ein ähnlicher Fehler wird auch erzeugt, wenn beide Eingangssignale auf "high" schalten. Wie in diesem Abschnitt bereits diskutiert, sind statische Logikschaltungen in ihrer Funktion nicht durch Tunnelströme beeinträchtigt. Dennoch lässt sich anhand statischer Schaltungen zeigen, dass sich das Verhältnis in den parasitären Strömen zwischen klassischen Off-State-Strömen (siehe Einleitung) und dem quantenmechanischen Tunneln bei zunehmender Strukturverkleinerung umkehrt. In Abb. 12 ist ein 6-Transistor SRAM Zelle (Nii, 2004) dargestellt.

Die gebogenen Pfeile stellen die Tunnelströme im statischen Fall dar und die geraden Pfeile repräsentieren die herkömmlichen Leckströme in den Transistoren. Bei ei-

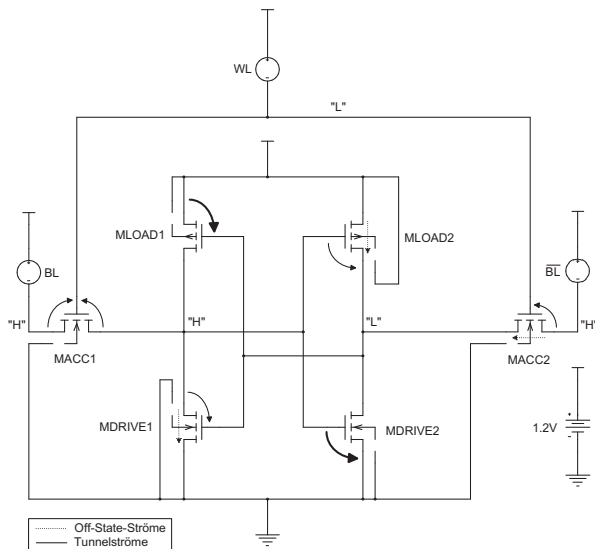


Abbildung 12. Sechs-Transistor SRAM-Zelle.

ner Oxiddicke von 2 nm fließen aufgrund der Tunneleffekte 9.2 pA, während die Off-State-Ströme nur 2.9 pA betragen. Dies bedeutet, dass in diesem Beispiel die quantenmechanischen Effekte die dominierenden Einflüsse darstellen.

5 Zusammenfassung

Wie aus den drei vorgestellten Beispielen im vorhergehenden Abschnitt ersichtlich, kann im zukünftigen und zum Teil auch schon im heutigen Entwurf von integrierten Schaltungen der Einfluss quantenmechanischer Effekte nicht mehr vernachlässigt werden. Um den Anforderungen bei der Simulation immer kleiner werdender Strukturen gerecht zu werden, ist eine quantenmechanische Betrachtung in der Modellierung von Halbleiterbauelementen unumgänglich geworden. Im Falle der Tunnelströme gibt es schon eine Reihe alternativer Umsetzungen, die bereits diese zusätzlichen Effekte dem klassischen Drift-Diffusionsmodell hinzuzufügen (Density-Gradient (Liu, 2001) oder das aktuelle BSIMv4 MOS-Modell (Anconda, 1987)). Der von uns präsentierte Ansatz unterscheidet sich von anderen dadurch, dass wir durch das Berechnen der Transportvorgänge mit dem NEGF-Formalismus physikalisch genauer als z.B. die Modelle in BSIMv4 sind und vor allem dass der numerische Simulator auch die Beschreibung anderer quantenmechanischer Effekte impliziert. Neben den Tunnelströmen müssen auch zunehmend die Quantisierungseffekte der Ladungsträger und die Streuprozesse im Kanal (siehe z.B. Felgenhauer, 2004; Lake, 1997) berücksichtigt werden. Eine absolute Grenze für die Gültigkeit des Drift-Diffusionsmodell ist der ballistische Transport im invertierten Kanal, der für Transistoren mit Kanallängen von 10 nm prognostiziert wird (Rahman, 2003).

Aufgrund der Dominanz der MOS bzw. CMOS Technologie in der Halbleiterindustrie und der mehr als 30 Jahre an Erfahrung im Schaltungsdesign ist es wichtig, einen fließenden Übergang von klassischen Schaltungen auf Drift-Diffusions-Basis in die heutige bzw. zukünftige nanoskalierte Technologie zu finden.

Literatur

- Ancona, M. G. and Tiersten, H. F.: Macroscopic physics of the silicon inversion layer, *Phys. Rev.*, 35, 7959–7965, 1987.
- Bai, P.: A 65 nm Logic Technology Featuring 35 nm Gate Lengths, Enhanced Channel Strain, 8 Cu Interconnect Layers, Low-k ILD and 0.57 μm^2 SRAM Cell, Intel Corporation, USA, in Techn. IEE-EE Int. Electron Devices Meeting, 2004.
- Caroli, C., Combescot, R., Nozieres, P., and Saint-James, D.: A direct calculation of the tunnelling current I , free electron description, *J. of Physics: Condensed Matter*, 2598–2610, 1971.
- Chau, R., Doyle, B., Doczy, M., Datta, S., Hareland, S., Jin, B., Kavalieros, J., and Metz, M.: A Silicon Nano-Transistors and Breaking the 10 nm Physical Gate Length Barrier, Components Research, Intel Corporation, USA, 2006.
- Choi, C.-H., Nam, K.-Y., Yu, Z., and Dutton, R. W.: Impact of gate direct tunneling current on circuit performance: A simulation study, *IEEE Transactions on Elect. Devices*, 48, 2823–2829, 2001.
- Datta, S.: Nanoscale device modeling: the Green's function method, *Superlattices and Microstructures*, 28, 2000.
- Datta, S.: Non-Equilibrium Green's Function (NEGF) Formalism: An Elementary Introduction, Proc. of the Intern. Electron Devices Meeting, IEEE Press, 703–706, 2002.
- Datta, S.: *Electronic Transport in Mesoscopic Systems*, Cambridge Studies in Semiconductor Physics and Microelectronic Engineering, Cambridge Univ. Press, 2003.
- Datta, S.: *Quantum Transport: Atom to Transistor*, Cambridge Univ. Press, 2005.
- Einspruch, N. G. and Frensley, W. R.: *Heterostructures and Quantum Devices*, volume 24 of VLSI Electronics: Microstructure Science, Academic Press, 1994.
- Felgenhauer, F., Fabel, S., and Mathis, W.: Quantum transport, quantum effects and circuit functionality of nanostructured circuits, *IJCTA*, 32, 407–424, 2004.
- Lake, R., Klimeck, G., Bowen, R. C., and Jovanovic, D.: Single and multiband modeling of quantum electron transport through layered semiconductor devices, *J. Appl. Phys.*, 81, 7845–7869, 1997.
- Liu, W.: *MOSFET Models for SPICE Simulation*, John Wiley and Sons Inc., 2001.
- Nii, K., Tsukamoto, Y., Yoshizawa, T., Imaoka, S., Yamagami, Y., Suzuki, T., Shibayama, A., Makino, H., and Iwade, S.: A 90-nm low-power 32-kb embedded sram with gate leakage suppression circuit for mobile applications, *IEEE J. of Solid-State Circuits*, 39, 684–693, 2004.
- Rahman, A., Guo, J., Datta, S., and Lundstrom, M. S.: Theory of ballistic nanotransistors, *IEEE Transactions on Electron Devices*, 50, 1853–1864, 2003.
- Yang, N., Henson, W. K., and Wortman, J. J.: A comparative study of gate direct tunneling and drain leakage currents in NMOS-FETs with sub-2-nm gate oxides, *IEEE Transactions on Electron Devices*, 47, 1636–1644, 2000.