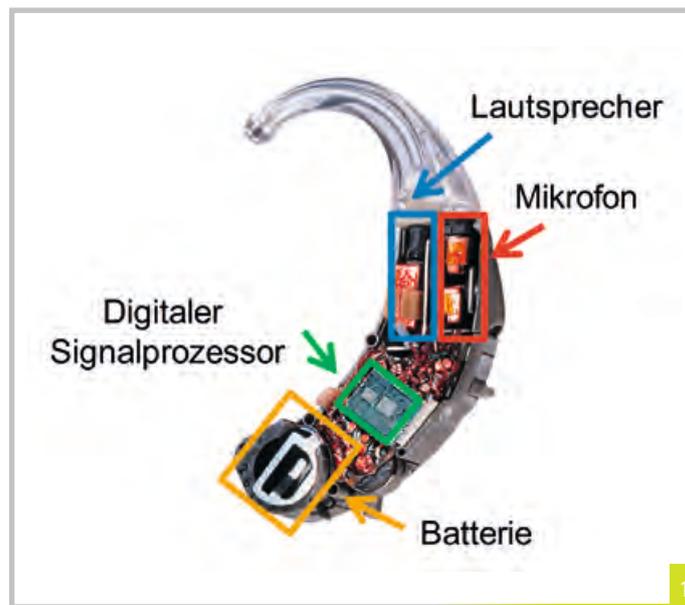


SmartHeaP – Smart Hearing Aid Processor

Ein industrielles Translationsprojekt für digitale Hörhilfen

Im Smart Hearing Aid Processor Projekt (SmartHeaP) werden die aus dem Exzellenzcluster Hearing4all gewonnenen Erkenntnisse im Bereich der Architektur und Algorithmenentwicklung für digitale Hörgeräte in die Industrie übertragen.

Dazu hat sich aus Forschung und Industrie ein großer Projektverbund zusammengeschlossen, um mit Hilfe von modernen Technologien und kommerziellen Softwareframeworks ein neues Hörgerätesystem zu entwickeln. Das System on Chip (SoC) verbindet alle Komponenten, um die gesamte Technologie eines Hörgerätes auf einem Chip zu realisieren.



Der Bedarf an Hörgeräten ist hoch, denn laut der WHO leiden etwa 455 Millionen Menschen weltweit an einem Hörverlust unterschiedlichen Schweregrads. Im Institut für Mikroelektronische Systeme (IMS) der Leibniz Universität Hannover wurden in den vergangenen Jahren viele Themengebiete im Bereich der Medizintechnik und dort besonders die Hörgerätetechnik erforscht. Auf die Herausforderungen, die an die Hardware- und Softwareentwicklung gestellt werden, gehen die Artikel „Chip Design für digitale Hörhilfen“ und „Sprecherlokalisierung in Hörgeräten“ ausführlicher ein. Jedoch lässt sich kurz zusammenfassen, dass bei der Konzeptionierung von neuen Hörgeräten besonders

die Formgröße, der Energieumsatz und die Rechenleistung im Fokus stehen, neben den allgemeinen Anforderungen an ein Medizinprodukt.

Der Aufbau eines digitalen Hörgerätes ist in *Abbildung 1* zu sehen. Generell besteht es aus vier Komponenten: Den bis zu drei Mikrofonen, dem Lautsprecher, der Batterie beziehungsweise dem Akku und einem Hörgeräteprozessor. Dieser übernimmt die Signalverarbeitung, wie zum Beispiel Rauschunterdrückung oder Richtungshören. Um immer komplexere akustische Szenarien verarbeiten zu können, muss auch der Prozessor immer komplexer und flexibler werden. Ein auf eine Anwendungsklasse (also auf die

erforderliche Signalverarbeitung bei einer bestimmten Anwendung wie zum Beispiel einem Hörgerät) zugeschnittener Prozessor wird als ASIP (Application Specific Instruction-Set Processor) bezeichnet. Der mit dem Eigennamen *KAVUAKA* bezeichnete Prozessor ist ebensolch ein ASIP, der im Rahmen der Forschungsarbeiten des Exzellenzclusters Hearing4all (H4A) entstanden ist. Bei dem Entwurf dieses Prozessors standen seine spezifischen Architekturmerkmale im Fokus. Es ist dem IMS gelungen, auf diesem Prozessor komplexe Hörgerätealgorithmen auszuführen und die Verlustleistungsaufnahme bei Ausführung dieser Algorithmen lag dabei bei wenigen tausendstel Watt. Somit konnte gezeigt werden, dass die Anforderungen an ein modernes Hörgerät selbst für sehr komplexe Algorithmen mit neuen Technologien erfüllt werden können.

Für einen industriellen Einsatz eines Prozessors ist jedoch das Vorliegen einer Softwareumgebung, die zum Beispiel einen Compiler (*Hinweisbox Compiler*) enthält, unbedingt nötig. Um die Translation der im Rahmen des Exzellenzclusters H4A gewonnenen Architekturkenntnisse und das Erfordernis eines sogenannten Software-Ökosystems zu ermöglichen, wurde das Translationsprojekt Smart Hearing Aid Processor (SmartHeaP) initiiert. Bei diesem durch das

Abbildung 1
Querschnitt durch ein Behind-the-Ear Hörgerät mit seinen vier Hauptkomponenten

Bundesministerium für Bildung und Forschung (BMBF) geförderten Projekt soll eine kommerziell nutzbare Hörgeräteplattform in einem Projektverbund entwickelt werden.

Der gesamte Projektverbund mit allen Partnern aus der Forschung und Industrie ist in *Abbildung 2* dargestellt. Die Firma Cadence Design Systems bietet ein Prozessor-Framework an, mit dem vor-

tionvorgaben für diese Schaltung) werden von der Firma Dream Chip Technologies übernommen. Als Technologiepartner fungiert Globalfoundaries, die den SoC in ihrem Werk in Dresden fertigen werden. Der verwendete Technologieknoten wird eine 22 nm Fully Depleted Silicon On Insulator (FD-SOI) Halbleitertechnologie werden. Der Vorteil an dieser Technologie ist nicht nur die daraus resul-

Converter (D/A) wandelt entsprechend die digitalen Audiosignale in analoge Spannungspegel für den Lautsprecher um. Diese analogen Komponenten werden vom Fraunhofer-Institut für Integrierte Schaltungen konzeptioniert. Weiterhin ist ein zweiter Coprozessor vorgesehen, der die Anbindung eines Bluetooth (BL) Moduls ermöglichen soll. Durch dieses Modul kann das Hörgerät von dem

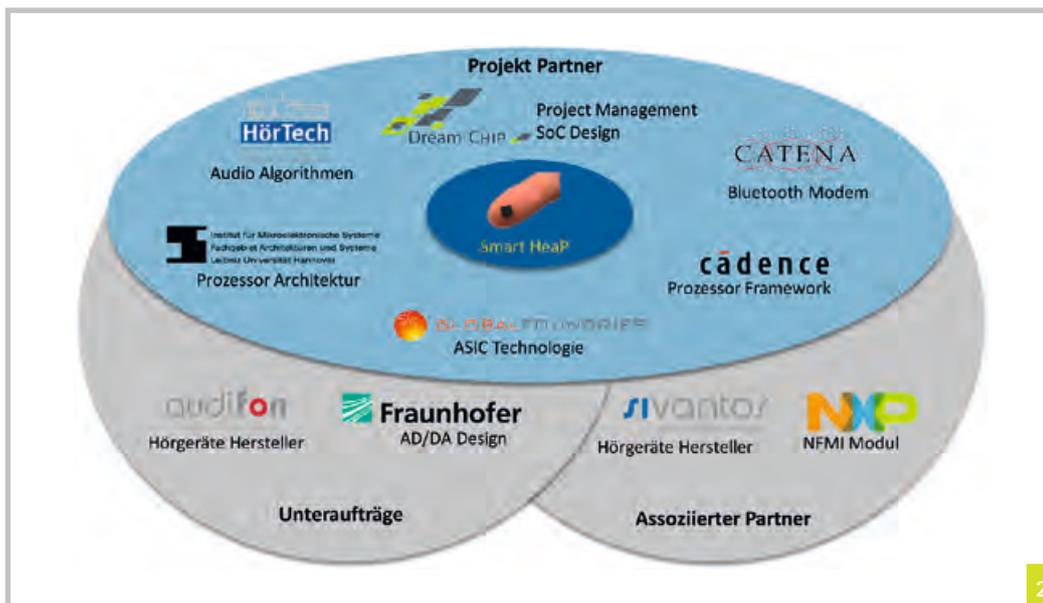


Abbildung 2
Gesamtübersicht über den Projektverbund mit den Projektpartnern, sowie den Unteraufträgen und assoziierten Partnern

handene Prozessorarchitekturen applikationsspezifisch angepasst werden können. Die Konzeptionierung und Optimierung der Architekturen wird vom IMS durchgeführt.

Das Prozessor Framework bietet für die entworfenen ASIPs ebenfalls die erforderlichen Softwareumgebungen, um sie kommerziell nutzen zu können. Weiterhin soll im SmartHeaP Projekt nicht nur der digitale Signalprozessor entwickelt werden, sondern ein gesamtes System on Chip (SoC). Das Top-Level-Design, die Verifikation, das Layout (der „Bauplan“ der integrierten elektronischen Schaltung) und das Tape Out (d.h. die Erstellung der finalen Produk-

tierende kleine Baugröße (kleine Siliziumfläche des Chips), sondern auch eine spezielle Isolierschicht (buried Oxide). Durch die kleinere Baugröße sind mehr Transistoren pro Fläche möglich, wodurch die Rechenleistung des Prozessors signifikant gesteigert werden kann. Weiterhin verringert das Oxid sowohl die Leckströme als auch die Schaltzeiten, weswegen der Energieumsatz des Hörgerätes verringert werden kann.

Das Konzept für den SmartHeaP SoC ist in *Abbildung 3* dargestellt. Um die analogen Signale von den Mikrofonen zu digitalisieren, werden auf dem Chip zwei Analog-zu-Digital Wandler (A/D) hinzugefügt. Ein Digital zu Analog

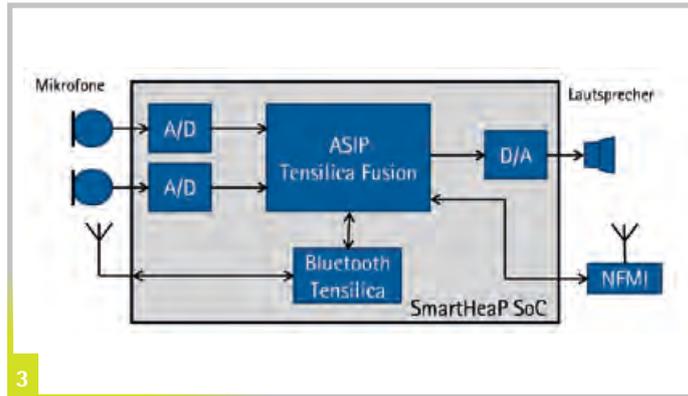
Benutzer per Smartphone gesteuert oder angepasst werden. Eine Verbindung zwischen den Hörgeräten ist unabdingbar, da ohne sie keine binauralen Algorithmen, wie zum Beispiel eine Sprecherlokalisierung, ausgeführt werden können. Jedoch eignet sich Bluetooth auf Grund der physikalischen Eigenschaften nur bedingt für eine Hörgerät-zu-Hörgerät Kommunikation, da eine hohe Sendeleistung benötigt wird, um den Kopf eines Hörgeräteträgers (hoher Wasseranteil im menschlichen Gewebe) zu durchdringen. Um trotzdem möglichst energieeffizient Mikrofonsignale zwischen den Hörgeräten auszutauschen, wird eine NFMI (Near-Field Magnetic Induction) Schnittstelle im System

Was ist ein Compiler?

Ein Compiler ist ein Computerprogramm, das Quellcodes einer bestimmten Programmiersprache, wie zum Beispiel C oder Java, übersetzt und in ausführbare Maschinencodes umwandelt.

Dabei unterscheidet sich der Maschinencode für die unterschiedlichen Hardwareplattformen, basierend darauf, welche Instruktionen oder Befehle sie unterstützen.

Abbildung 3
Konzeptioneller Aufbau des SmartHeaP SoC mit allen Komponenten



turparametern eine neue Dimension im Designraum erzeugt. Um diese Aufgabe zu bewältigen, wurde das in *Abbildung 4* dargestellte halb automatisiertes Framework entwickelt. Die unterschiedlichen Hardwarekonfigurationen werden mit Referenzalgorithmen verglichen. Diese werden von dem Projektpartner Hör-Tech in Form von diversen Hörgerätealgorithmen bereitgestellt. Für die Architekturmodifikationen werden zuerst die Basisconfigurationen angepasst. Dabei wird zum Beispiel konfiguriert, wie viele Multiplizierer in welcher Größe eingefügt werden sollen. Anschließend wird die Basis-Architektur mit speziellen Registern oder Instruktionen erweitert, um die Referenzalgorithmen effektiver bearbeiten zu können. Daraufhin wird die entsprechende Softwareumgebung, angepasst für die Hardwarekonfiguration, ge-

Abbildung 4
Framework für die Designraum Exploration der Tensilica Prozessoren. Es basiert auf kommerziellen Tools, wie openMHA, MATLAB und dem Xtensa Explorer.

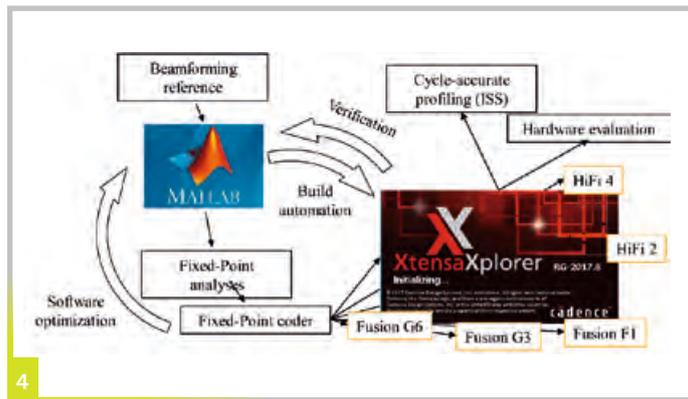
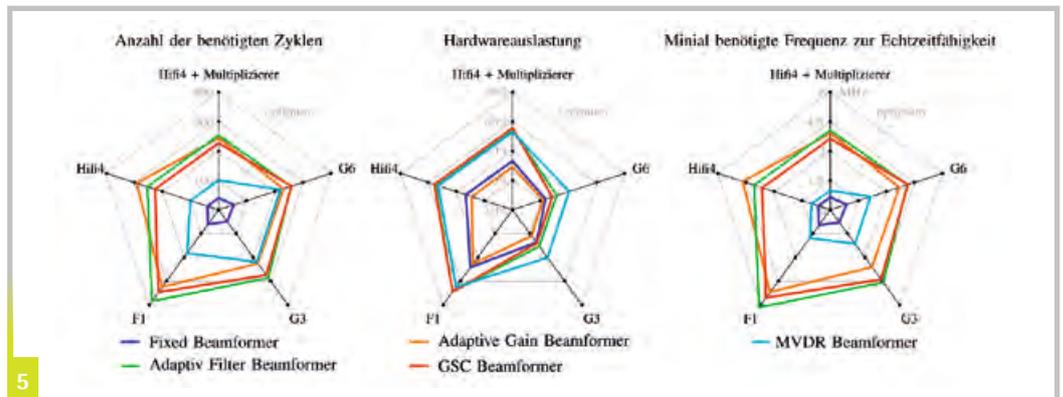


Abbildung 5
Ergebnis der Designraum Exploration. Die drei Spinnendiagramme zeigen die Performance der verschiedenen Referenzalgorithmen auf den unterschiedlichen Hardwarekonfigurationen. Abbildungen: Institut für für Mikroelektronische Systeme (IMS)



on Chip (SoC) realisiert. Diese wird von NXP Semiconductors bereitgestellt. Im Gegensatz zu Bluetooth kommunizieren NFMI Verbindungen mit niederfrequenten magnetischen Wellen und können verlustleistungsarm den Kopf durchdringen.

Wie eingangs bereits erwähnt, liegt der Schwerpunkt des IMS bei diesem Projekt in der Konzeptionierung applikationsspezifischen Prozessors (ASIP) für den gesamten Hör-

geräte-Chip. Um dies umzusetzen, werden mit Hilfe der Cadence Tools verschiedene Hardwarearchitekturen der Tensilica Familie evaluiert. Solch eine Evaluation wird als Designraum Exploration (eng: Design Space Exploration (DSE)) bezeichnet. Bei einer DSE werden alle möglichen Kombinationen aus dem Designraum ausgewertet und die optimale Konfiguration wird ausgewählt. Eine DSE ist ein komplexer Prozess, da jede Änderung an den Architek-

neriert. Neben Simulatoren wird auch ein Compiler erstellt. Diese ist in der Lage sowohl die generellen Befehle als auch die für die hinzugefügten Hardwareerweiterungen benötigten Instruktionen aufzuführen. Mit Hilfe eines sogenannten Profilings (*Hinweisbox Hardware Profiling*) kann eine erste Abschätzung der Performance der Hardware vorgenommen werden. Dazu werden die Referenzalgorithmen mit Hilfe von Simulatoren simuliert. Im letz-

ten Designschnitt kann die Hardware synthetisiert werden, um die Ergebnisse der Simulation zu verifizieren.

Ein exemplarisches Ergebnis eines solchen Profilings ist in *Abbildung 5* zu sehen. In der Grafik sind fünf verschiedene Hardwarekonfigurationen auf den Achsen dargestellt. Deren Performance wird mit sechs verschiedenen Referenzalgorithmen untersucht. Beim ersten und dritten Diagramm liegt das Optimum in der Mitte des Spinnendiagramms und bei dem zweiten Diagramm liegt es außen. An den gezeigten Ergebnissen ist gut zu erkennen, dass bei einer DSE selten ein absolutes Optimum gefunden werden kann. Einige Konfigurationen erbringen unter bestimmten Kriterien bessere Ergebnisse als andere. Die Konfiguration mit dem Namen F1 erreicht zum Beispiel die höchste Aus-

lastung, während sie aber auch die meisten Zyklen für die Prozessierung der Algorithmen benötigt. Aus diesem Grund müssen für jeden Anwendungsfall die verschiedenen Aspekte neu bewertet werden. Anschließend kann, basierend auf den Randbedingungen, eine Architektur selektiert werden. Für das Hörgerät ist neben dem eingangs genannten Energieverbrauch und der kleinen Bauform, auch die Ausführungszeit wichtig. Daraus folgt, dass die Anzahl der Zyklen in diesem Fall höher bewertet werden sollten als die Auslastung.

Die Designraum Exploration ist im Rahmen dieses Translationsprojektes inzwischen abgeschlossen und die Fertigung des Chips ist für die Mitte des Jahres 2020 vorgesehen. Abschließend wird im Rahmen des Projektes die realisierte Hardware noch veri-

fiziert. Nach Abschluss der Verifikation sollen mit Hilfe von Demonstratoren erste Probandenstudien durchgeführt werden.

Mit dem SmartHeaP-Prozessor wird ein erster Prototyp einer neuen Generation von Hörgeräte-Prozessoren vorliegen. Dieser SoC ist als Translation und Weiterentwicklung aus Arbeiten im Exzellenzcluster Hearing4all entstanden und wird erstmalig diverse unterschiedliche Funktionalitäten und eine hohe Rechenleistung bei extrem minimiertem Verlustleistungsbudget auf einem SoC integrieren.

Was ist Hardware Profiling?

Die Laufzeitanalyse von Software-Implementierungen wird häufig auch Profiling genannt. Diese wird durchgeführt, um das Laufzeitverhalten zu evaluieren und vergleichen zu können. Es gibt viele Möglichkeiten Profiling durchzuführen.

Es ist zum Beispiel möglich, manuell die Instruktionen aus dem Assembly Code zu zählen und aufzusummieren, um die Anzahl der verwendeten Instruktionen zu ermitteln. Mit speziellen Tools oder Simulationen können die Berechnungen auch automatisiert werden.



Prof. Dr.-Ing. Holger Blume

Jahrgang 1967, ist seit 2008 Professor für „Architekturen und Systeme“ und als geschäftsführender Leiter des Instituts für Mikroelektronische Systeme (IMS) tätig. Seine wesentlichen Forschungsinteressen liegen auf dem Gebiet der Algorithmen und heterogenen Architekturen zur digitalen Signalverarbeitung, der Entwurfsraum-Exploration für diese Architekturen sowie den dazu erforderlichen Modellierungstechniken. Kontakt: blume@ims.uni-hannover.de



apl. Prof. Dr.-Ing. Guillermo Payá Vayá

Jahrgang 1978, ist derzeit außerplanmäßiger Professor am Institut für Mikroelektronische Systeme (IMS). Seine Forschungsinteressen umfassen eingebettete Computer und das Architekturdesign von Signal- und Bildverarbeitungssystemen. Kontakt: guipava@ims.uni-hannover.de



Jens Karrenbauer, M. Sc.

Jahrgang 1992, ist derzeit wissenschaftlicher Mitarbeiter am Institut für Mikroelektronische Systeme (IMS). Seine Forschungsschwerpunkte liegen im Bereich der Entwicklung von verlustleistungsarmen und applikationsspezifischen Architekturen. Kontakt: karrenbauer@ims.uni-hannover.de

Dr. Jens Benndorf

Jahrgang 1964, ist seit 2009 Geschäftsführer und COO der Dream Chip Technologies GmbH in Garbsen bei Hannover. Sein Schwerpunkt liegt im Chipdesign für advanced technology nodes von 28nm bis 8nm. Kontakt: jens.benndorf@dreamchip.de

Meinolf Blawat

Jahrgang 1958, ist seit August 2016 bei der Dream Chip Technologies GmbH in Garbsen bei Hannover. Aktuelle Arbeitsgebiete: Förderprojekte, maschinelles Sehen, Bildverarbeitung, Systems on Chip. Technischer Hintergrund: Archivsysteme, Design verteilter Systeme, Fehlerkorrekturverfahren, Bildatenkompression, Filterentwurf. Kontakt: meinolf.blawat@dreamchip.de