

**Untersuchungen zum Einsatz von
Siliziumcarbid-Leistungshalbleitern in
Traktionsantriebsumrichtern**

Von der Fakultät für Elektrotechnik und Informatik
der Gottfried Wilhelm Leibniz Universität Hannover
zur Erlangung des akademischen Grades

Doktor-Ingenieur
(abgekürzt: Dr.-Ing.)
genehmigte Dissertation

von
Dipl.-Ing. Arvid Merkert

geboren am 21. Juni 1984
in Stadthagen

2018

Vorsitzender	Prof. Dr.-Ing. Bernd Ponick
1. Referent	Prof. Dr.-Ing. Axel Mertens
2. Referent	Prof. Dr.-Ing. Nando Kaminski

Tag der Promotion 20. Dezember 2017

Vorwort

Diese Arbeit entstand im Anschluss meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Antriebssystem und Leistungselektronik der Gottfried Wilhelm Leibniz Universität Hannover. Viele Menschen haben entscheidend zum Gelingen dieser Arbeit beigetragen und mich in vielfältiger Hinsicht unterstützt, wofür ich mich im Folgenden bedanken möchte.

Mein Dank gilt Prof. Dr.-Ing. Axel Mertens, welcher mir die Promotion am Institut ermöglichte, mir großen wissenschaftlichen Freiraum gewährte und mich auch über meine Institutszeit hinaus unterstützte.

Für die Übernahme des Koreferates und das fachliche Interesse an meiner Arbeit danke ich Prof. Dr.-Ing. Nando Kaminski.

Prof. Dr.-Ing. Bernd Ponick gilt mein Dank für die Übernahme des Prüfungsvorsitzes.

Vor allem die kollegiale Gemeinschaft und das freundschaftliche Arbeitsklima am Institut haben dafür gesorgt, dass ich stets gerne zur Arbeit ging und meine sechs Jahre als wissenschaftlicher Mitarbeiter mir immer in positiver Erinnerung bleiben werden. Hierfür bedanke ich mich bei allen Mitarbeitern und Mitarbeiterinnen des Instituts.

Meinen Büronachbarn André Brune, Lan Hung Dang und Peter Juris danke ich im Besonderen für die gemeinsame Zeit im "Sterbezimmer". Sie haben sowohl durch fachliche Unterstützung aber auch sportlichen Wettbewerb und die eine oder andere Feierabendaktivität entscheidend zur nachhaltigen Motivation und Heiterkeit beigetragen. Hervorzuheben sind auch Lennart Baruschka, Tobias Krone, Dennis Karwatzki und Kacper Emmrich, ohne deren Expertise in fachlichen Dingen und bei der Freizeitgestaltung ich vieles nicht hätte erreichen können. Bedanken möchte ich mich zudem bei Carsten Selke und Clemens Larivière und Sebastian Rudolph für die häufig kurzfristige, kreative und für mich sehr lehrreiche Unterstützung.

Herzlicher Dank gilt auch meinen Studenten Christian Sommer, Simon Weber, Maximilian Haase, Alexander Kirchfeld, Simon Müller, Mortesa Yousufi, Jan-Pierre Klatt, Kiarash Ahi und Jannik Teuber, ohne deren Beiträge vieles nicht umsetzbar gewesen wäre.

Meiner Mutter Gretlies Merkert, meinem Vater Dieter Merkert, meiner Schwester Allena Merkert, meiner Freundin Kristina Kreß und meinen Freunden danke ich für die Unterstützung, die stetige Ermunterung und die ehrlichen Einschätzungen.

Inhaltsverzeichnis

Nomenklatur	VI
Kurzfassung	XIII
Abstract	XIV
1 Einleitung	1
1.1 Thematische Einordnung	1
1.2 Stand der Technik und Forschung	2
1.3 Forschungsleitende Hypothesen, Fragestellung und Ziele	3
2 Grundlagen und Vorbetrachtungen	4
2.1 Die Kommutierungszelle als fundamentale Schaltung der Leistungselektronik	4
2.2 Überblick zu Wide-Bandgap Transistoren und deren Kommerzialisierung	9
2.2.1 Eigenschaften der Wide-Band-Gap Halbleitermaterialien	9
2.2.2 Siliziumcarbid-Feldeffekttransistoren	11
2.2.3 Galliumnitrid-Feldeffekttransistoren	13
2.3 Wandlertopologien in der Forschung	14
2.3.1 Dreiphasen-Wechselrichter mit Spannungszwischenkreis	15
2.3.2 Hochsetzsteller und Dreiphasen-Wechselrichter mit Spannungszwischenkreis	18
2.3.3 Tief-Hochsetzsteller und Dreiphasen-Wechselrichter mit Spannungszwischenkreis	19
2.3.4 Dreiphasen-Wechselrichter mit Impedanzzwischenkreis	20
2.3.5 Dreiphasen-Wechselrichter mit Stromzwischenkreis	22
2.3.6 Bewertung der Wandlertopologien	24
2.4 Modellierung und Technologievergleich von Leistungshalbleitern	27
2.4.1 Stationäre Halbleitercharakteristik	28
2.4.2 Dynamische Halbleiterverlustcharakteristik	29
2.4.3 Zeitdiskrete Verlustleistungsberechnung der Halbleiter	30
2.4.4 Charakteristik der Kühlung	31
2.4.5 Dimensionierung der Chipfläche	36
2.4.6 Anwendungsbeispiel und Technologiebewertung	37
3 Hochsetzsteller und Wechselrichter im Betriebsverbund	42
3.1 Freiheitsgrade beim kombinierten Hochsetzsteller-Wechselrichtersystem	42
3.2 Steuerverfahren mit Pulssynchronisation	43
3.2.1 Motivation	44
3.2.2 Effektivstrom im Zwischenkreiskondensator	45
3.2.3 Verifikation mit Niederspannungsdemonstrator	52
3.3 Topologieauswahl	54
4 Gatetreiber	57
4.1 Ansteuerungskonzepte für Verarmungstyp-SiC-JFET	58

4.2	Spannungsversorgung	63
4.2.1	Niederspannungssperrwandler	66
4.2.2	Hochspannungssperrwandler	69
4.3	Fehlerermittlung und Behandlung	71
4.4	Endstufe und Pulsformungsnetzwerk	74
4.5	Bestimmung der Sperrschichttemperatur	74
4.6	Design der Gatetreiberplatine	75
5	Kommutierungszelle und Schaltverhalten	78
5.1	Kommutierungszelle und Kommutierungsstromerfassung	78
5.1.1	Zwischenkreisanbindung	80
5.1.2	Erfassung der Kommutierungsstromtransienten	82
5.2	Schaltversuche	88
5.2.1	Brückenquerstrom durch parasitäres Aufsteuern	89
5.2.2	Parameterabhängigkeit des Schaltverhaltens und der Schaltverluste	93
5.2.3	Parasitäre Hochfrequenzoszillationen beim Einschalten	97
6	Kühlung der Leistungshalbleiter	100
6.1	Design und Simulation des Halbbrückenkühlkörpers	100
6.2	Validierung des Kühlkonzepts	103
6.3	Optimierung des Turbulenzkörpers	109
6.4	Design und Simulation des Systemkühlkörpers	110
7	Passive Komponenten	112
7.1	Zwischenkreiskondensator	112
7.2	Drossel des Hochsetzstellers	116
8	Verifikation des SiC-Hochsetzsteller-Wechselrichter-Systems	128
8.1	Messgrößenerfassung und Peripherie	128
8.2	Steuerung und Regelung	131
8.3	Versuchsaufbau	133
8.4	Dynamisches Betriebsverhalten	134
8.5	Wirkungsgradmessung	136
8.6	Gegenüberstellung berechneter und gemessener Verluste	139
8.7	Vergleich mit einem industriellen System	140
9	Zusammenfassung und Diskussion	142
A	Anhang	145
A.1	Niederspannungsdemonstrator zur Verifikation der Steuerverfahren	145
A.2	Kurzschlussabschaltung durch Hochgeschwindigkeits-Hochspannungs-Gatetreiber	147
A.3	Layout der Platinen-Transformatoren des Gatetreibers	150
A.4	Analytische Berechnung der Induktivität der Zwischenkreiszuleitung	150
A.5	Schaltversuchsstand und Schaltversuchsplatine	153
A.6	Ersatzanordnung zur analytischen Berechnung des Strommesssystems	154
A.7	Labora Aufbau zur Vergleichsmessung von Rogowskispule und Pearson-Sonde	155
A.8	Stromtransienten mit Shunt-Widerstand, Strommesszange und Rogowskispule	156
A.9	Messgrößen zur Bestimmung der transienten thermischen Charakteristik	156
A.10	Versuchsaufbau zur Vermessung des Wandlersystems	160
	Literaturverzeichnis	161

Nomenklatur

Konventionen

a	Variable, physikalische Größe
a	zeitlich konstante Größe
A	Effektivwert, Parameter
\dot{a}	Ableitung nach der Zeit
\hat{a}	Maximalwert, Amplitude
\bar{a}	Zeitlicher Mittelwert
$\underline{a}, \underline{A}$	Komplexe Größe
a'	Bezogene Größe, Bezug Kontextspezifisch
a^*	Sollwert
\vec{a}, \vec{A}	Vektor
\mathbf{a}, \mathbf{A}	Matrix
A, \bar{A}	Potenzial- oder Signalbezeichnung
$A(s)$	Laplace-Transformierte von a
$A(j\omega)$	Fourier-Transformierte von a
$f(a)$	Funktion von a
B_a	Zählindex von B
B_a, B_A, B_A	Bezeichnungsindex bzw. Bezug von B

Konstanten

e	Eulersche Zahl	$\approx 2,7183$
e	Elementarladung	$\approx 1,6022 \text{ As}$
k_B	Boltzmann Konstante	$\approx 1,3806 \text{ Ws/K}$
μ_0	Magnetische Feldkonstante	$4\pi \cdot 10^{-7} \text{ N/A}^2$
π	Kreiszahl	$\approx 3,1416$

Lateinische Buchstaben

A	Fläche	m^2
B	magnetische Flussdichte	T
B_{NTC}	Charakteristischer Wert bei Heißeleitern	K
b_{Zl}	Breite der Zuleitung	m
\underline{c}_m	komplexer Fourierkoeffizient	
C	Kapazität	F
c	massebezogene spezifische Wärmekapazität	Ws/kgK

c_0, c_1, c_2	Koeffizienten der Parameterierfunktion	
C_{th}	thermische Kapazität	Ws/K
D	Diode	
d	Tastverhältnis	
D	elektrische Flussdichte	As/m ²
E	Energie	J
e_0, e_1, e_2	Exponenten der Parameterierfunktion	
E	elektrische Feldstärke	V/m
f	Frequenz	Hz
H	magnetisches Feld	A/m
h	Höhe	m
i	elektrischer Strom	A
k	Koeffizient der Steinmetzgleichung	Ws ^{α} /m ³ T ^{β}
k_0, k_1	Koeffizienten zur Approximation	
L	Induktivität	H
l	Länge	m
M	Gegeninduktivität	H
m	Modulationsgrad	
N	Zustandsdichte	1/m ³
n	Windungszahl	
n_i	intrinsischen Ladungsträgerdichte	1/m ³
P	Wirkleistung	W
P	elektrische Polarisierung	As/m ²
\dot{q}	Wärmeeintrag, Verlustleistung	W
Q	elektrische Ladung	C
R	ohmscher Widerstand	Ω
r	differentieller ohmscher Widerstand	Ω
R_{th}	thermischer Widerstand	K/w
S	Scheinleistung	VA
S	Senke	
T	Dauer	s
T	Temperatur in Kelvin	K
T	Transistor	
t	Zeit, Zeitpunkt	s
u	elektrische Spannung	V
u_D	Diffusionsspannung am pn-Übergang	V
u_S	Schleusenspannung am pn-Übergang	V
\dot{V}	Volumenstrom	m ³ /s

V	Volumen	m^3
v	Geschwindigkeit	m/s
x	Variable, Platzhalter	
Z_0, Z_7	Nullzustände des Wechselrichters	
$Z_1 - Z_6$	aktive Schaltzustände des Wechselrichters	
Z	Impedanz	Ω
Z_{th}	thermische Impedanz	K/W

Griechische Buchstaben

α	Aussteuergrad	
α	Frequenzexponent der Steinmetzgleichung	
α_k	Hilfsgröße zur Substitution	
α_{th}	thermischer Übergangskoeffizient	W/m^2K
β	Induktionsexponent der Steinmetzgleichung	
γ	Eindringtiefe	m
γ	Hilfsgröße bei der iGSE	
δ	Luftspalt	m
δ_k	Hilfsgröße zur Substitution	
ϵ_r	relative elektrische Permittivität	
γ	Phasenwinkel des Drehspannungszeigers	rad
κ	elektrische Leitfähigkeit	S/m
λ	Wärmeleitfähigkeit	W/mK
μ	Beweglichkeit von Ladungsträgern im Kristallgitter	m^2/Vs
μ	Permeabilität	Vs/Am
μ_r	relative Permeabilität	
ν	Phasenanzahl des Hochsetzstellers	
ρ	elektrische Ladungsdichte	A/m^3
φ	Phasenwinkel zwischen Strom- und Spannungzeiger	rad
ρ	Dichte	kg/m^3
τ	zeitähnliche Platzhaltervariable	s
ϑ	Temperatur	$^{\circ}C$
ξ	Gütekriterium für Wandlerysteme	
ζ	Schaltfrequenzverhältnis zwischen Gleichspannungswandler und Wechselrichter	

Indizes

\square	Rechteckpuls
1	Grundschiwingung
A	Akzeptoren
a	Anode, Hochsetzstellerphase a, engl. ambient
ab	Ablauf, abgeben

aktiv	elektrisch aktiver Bereich
b	Phase b des Hochsetzstellers
bat	Batterie
C	Leitungsband
c	engl. conduction, engl. core , engl. case, Hochsetzstellerphase c
Cau	Cauer-Ersatzschaltbildelement
ctrl	Regelung (engl. Control)
cu	Kupfer
D	Donatoren
d	engl. drain, Hochsetzstellerphase d
D1,D2	Designpunkte beim 3WR
DD	positive Spannungsversorgung (engl. common drain)
dim	Dimensionierungswert
e	Emitter
EE	Magnetkreis aus zwei E-Kernen
eff	elektrisch wirksame geometrische Größe
F	Durchlassbetrieb beim Halbleiter
f	engl. fluid
Fos	Foster-Ersatzschaltbildelement
G	Bandlücke
g	engl. gate
h	Highside-Leistungshalbleiter einer Halbbrücke
h	engl. heatsink
HV	engl. High Voltage
i	Induzierte Größe
j	engl. junction
K	Bezug zum Kommutierungsvorgang
k	Kathode, Kollektor, Phase k des Tiefsetzstellers
krit	kritischer Wert
l	Lowside-Leistungshalbleiter einer Halbbrücke
lin	Linearregler
ll	Leiter-Leiter-Größe
LV	engl. Low Voltage
μ	Hauptflussverkettung
μ C	Mikrocontroller Potenzialbezug
max	Maximalwert
mess	Messgröße
min	Minimalwert

vH, <i>n</i>	<i>n</i> -te Phase des v-phasigen Hochsetzstellers
n	negative Spannung, Elektronen, Lagenanzahl einer Platine
NTC	engl. negative temperature coefficient
off	ausschalten, ausgeschaltet
on	einschalten, eingeschaltet
P	Periode
p	positive Spannung, Löcher, stromführendes paralleles Lagenpaar
pin	Anschlusspin
pm	engl. power module
pri	Primärseite
puls	pulsförmig
qs	Halbbrückenquerstrom
rc	engl. rogowski coil
ref	Bezugs- bzw. Referenzgröße
rr	engl. reverse recovery
σ	Streuung, parasitärer Effekt
s	engl. source, engl. switching
sat	engl. saturation
snub	Snubber
SS	negative Spannungsversorgung (engl. common source)
str	Strang-Größe
T _{ESB}	T-Ersatzschaltbild
t	Treiber
thld	engl. threshold
u	Leiter u
V	Valenzband
v	Leiter v
w	Leiter w, Wicklung
zk	Zwischenkreis
zl	Zwischenkreiszuleitung
zu	Zulauf, zuführen
zv	Zwischenverschiebung

Abkürzungen und Akronyme

2DEG	zweidimensionales Elektronengas
2Q	Zwei-Quadranten-Steller
3WR	dreiphasiger Wechselrichter
4Q	Vier-Quadranten-Steller
Al ₂ O ₃	Aluminiumoxid

ADC	engl. analog to digital converter	
Al	Aluminium	
AlGaN	Aluminium-Gallium-Nitrid	
BJT	engl. Bipolar Junction Transistor	
CF-ZVS-M	engl. Constant Frequency Zero Voltage Switching Modulation	
CFD	engl. computational fluid dynamics	
CMOS	engl. complementary MOS	
D-FET	Verarmungstyp-Feldeffekttransistor	
E-FET	Anreicherungstyp-Feldeffekttransistor	
ENABLE	Low-aktives Fehlersignal	
$\overline{\text{FAILURE}}$	Low-aktives Fehlersignal	
FEM	Finite-Elemente-Methode	
FET	Feldeffekttransistor	
FSM	engl. Fullwave Symmetrical Modulation	
GaN	Galliumnitrid	
GIT	engl. Gate-Injection-Transistor	
GND	engl. Ground	
GSE	engl. generalized Steinmetz Equation	
H ₂ O	Wasser	
H3WR	Hochsetzsteller und Dreiphasen-Wechselrichter	
HCAFOM	engl. Huang chip area figure of merit	$\sqrt{V^3/m^2s}$
HEMT	High-Electron-Mobility-Transistor	
HMFOM	engl. Huang material figure of merit	$\sqrt{V/s}$
HTFOM	engl. Huang temperature figure of merit	W/vK
i2GSE	engl. improved improved generalized Steinmetz Equation	
I3WR	Dreiphasen-Wechselrichter mit Stromzwischenkreis	
IC	engl. integrated circuit	
IGBT	engl. Insulated Gate Bipolar Transistor	
iGSE	engl. improved generalized Steinmetz Equation	
INT	engl. interleaving	
iSE	engl. improved Steinmetz Equation	
JFET	engl. Junction-Field-Effect-Transistor	
KS	Kurzschluss-Signal	
K	Kommutierungszelle	
MBC	engl. Maximum Boost Control	
MCBC	engl. Maximum Constant Boost Control	
MOSFET	engl. Metal-Oxid-Semiconductor-Field-Effect-Transistor	
NEFZ	Neuer europäischer Fahrzyklus	

NSVM	engl. Naturally sampled Space Vector Modulation
OPPv	optimized pulse pattern für einen v-phasigen Hochsetzsteller
OPP	engl. optimized pulse pattern
PCB	engl. printed circuit board
PCB-2o	Leiterkarte bei der zwei Außenlagen den Strom führen
PCB-6i	Leiterkarte bei der sechs Innenlagen den Strom führen
PETT	engl. plasma extraction transit time
pn	Akzeptor-Donator-Halbleiterübergang
PWM	engl. pulse width modulation
SBC	engl. Simple Boost Control
Si	Silizium
SiC	Siliziumcarbid
SMD	engl. surface mount device
SOI	engl. system on insulator
SPI	engl. serial peripheral interface
TH3WR	Tief-Hochsetzsteller und Dreiphasen-Wechselrichter
TJFET	engl. Trench-Junction-Field-Effect-Transistor
TMOSFET	engl. Trench-Metal-Oxid-Semiconductor-Field-Effect-Transistor
\overline{UDS}	Low-aktives u_{ds} -Hoch-Signal
\overline{UGS}	Low-aktives u_{gs} -Ein-Signal
\overline{UV}	Low-aktives Statussignal der Versorgungsspannung
v1,v2,v3	Versionen der Gatetreiberschaltung
WBG	engl. Wide-Bandgap
XINTF	engl. external interface
Z3WR	Impedanzzwischenkreis-Dreiphasen-Wechselrichter

Kurzfassung

Leistungstransistoren auf Basis neuer Halbleitermaterialien wie Siliziumcarbid ermöglichen bisher unerreicht niedrige Schaltverlustenergien und verbesserte Durchlasseigenschaften bei gleichzeitig geringerer Chipfläche. Durch den aktuellen Trend der Elektrifizierung der Individualmobilität entsteht zunehmend die Anforderung, stetig kompakter und leistungsfähiger werdende leistungselektronische Wandler bei widrigen Umwelanforderungen im Fahrzeug zu integrieren. Aus diesen aktuellen Entwicklungen resultiert die Fragestellung, inwiefern die neuen Halbleitertechnologien nutzbringend im Anforderungsumfeld eingesetzt werden können.

Nachdem die Eigenschaften und der Entwicklungsstand der neuen Halbleitertechnologien dargestellt sind, wird die Kommutierungszelle als Basiselement aller Wandlertopologien eingeführt. Bei Forschungsvorhaben mit Hinblick auf die Elektromobilität untersuchte Wandlertopologien mit Spannungs-, Strom und Impedanzzwischenkreis werden anhand analytisch abgeleiteter Gütekriterien verglichen. Im Ergebnis zeigt der Hochsetzsteller-Wechselrichter insgesamt die vielversprechendste Charakteristik. Anhand generischer Halbbrücken-Eigenschaftsmodelle werden beim Vergleich zwischen den Silizium-IGBTs und Siliziumcarbid-JFETs beim Wechselrichter und Hochsetzsteller-Wechselrichter Unterschiede der Technologien aufgezeigt. Die Analyse ergibt bei SiC-JFETs eine signifikante Verbesserung der Güteparameter Chipfläche und Wirkungsgrad. Im Rahmen der Labormusterentwicklung werden die Speicherdrossel, Zwischenkreiskondensator, Kühlung und Gatetreiber analysiert. Beim Hochsetzsteller-Wechselrichter ermöglichen die Phasenzahl des Hochsetzstellers und das Steuerverfahren eine zusätzliche Zwischenkreiseffektivstromentlastung. Per Frequenzbereichsanalyse werden verbesserte Steuerverfahren für den Betriebsverbund ermittelt. Der entworfene SiC-Gate-Treiber ermöglicht zuerst die detaillierte Analyse des Schaltverhaltens der Verarmungstyp-Transistoren und nachfolgend den sicheren Betrieb eines Labormusters. Zur Aufnahme der Stromtransienten in der niederinduktiven Kommutierungszelle ist das Messkonzept einer Rogowskispule mit Offline-Integration implementiert worden. Zur Leistungshalbleiterkühlung wurde das bekannte Konzept einer direkten Bodenplattenkühlung für das beigestellte Prototyp-Halbleitermodul angepasst, am Beispiel einer Halbbrücke charakterisiert und ins Labormuster integriert. Durch die temperaturabhängige Spannung der Gate-Diode des Sperrschicht-Transistor konnte die thermische Impedanz dieses Kühlsystem gemessen werden. Um bei hohen Schaltfrequenzen und Umgebungstemperaturen einen volumenreduzierten Zwischenkreis aufzubauen, wurden Keramikkondensatoren mit anti-ferroelektrischem Keramik-Dielektrikum verwendet. Aktuelle gekoppelte Methoden zur analytisch-numerischen Verlustberechnung in magnetischen Bauelementen werden bei der Dimensionierung der Drossel angewendet und ermöglichen ein kompaktes Design. Die a priori modellbasiert ermittelten Güteparameter sind mit dem erfolgreichen Betrieb des aufgebauten Wandlersystems und daraus gewonnenen Messdaten abschließend belegt.

Zentrale Beiträge dieser Arbeit sind neben der Überprüfung der entwickelten Ansätze zur Technologiebewertung auch die Konzepte zur Volumenreduktion sowie die entwickelten Messmethoden.

Schlagworte:

Hybridfahrzeug, Eigenschaftsmodelle, Technologiebewertung, Siliziumcarbid, JFET, Verarmungstyp, Hochsetzsteller, Wechselrichter, Zwischenkreisstrom, Schalttransienten, Systemdimensionierung

Abstract

Power transistors based on new semiconductor material like silicon carbide reach unmatched low switching loss and improved conduction characteristics with smaller chip area at the same time. Driven by the actual trend of electrification in individual mobility systems, vehicular integrated power electronic converters require continuous improvement of power density and robustness at harsh environmental conditions. The question, in what extent the new semiconductor technologies can contribute beneficially to this application, ultimately arises from these contemporary developments.

After giving a resume on the actual development status of the semiconductor technologies, the commutation cell is introduced as essential element yielding the foundation for all power electronic converter topologies. Subsequently, power electronic converter topologies which have been in the focus in hybrid or electric vehicle drive train research are compared. Generic figures of merit for different types of voltage-, current- and impedance-source converters were derived for this comparison and point to the step-up converter with inverter as most promising candidate. In order to examine this result, scalable behavioural loss-models are used for the technology-assessment of silicon IGBT and silicon carbide JFET based inverter and combined step-up converter inverter systems. The results show significant superior chip area and efficiency using JFETs. This justifies the development of a laboratory prototype, during which, inductor, DC-link, cooling and gate driver are analysed. In addition degrees of freedom concerning the number of phases of the step-up converter as well as a coordinated converter-inverter pulse patterns have been used to reduce the current load of the DC-link. A frequency domain analysis method was used to generate the optimized pulse pattern control and a four phase step-up converter was selected for prototype realisation. Since the depletion mode behaviour of the JFET requires additional effort regarding the safe system operation and start-up, known approaches were reviewed and a gate driver with high speed high voltage redundant flyback power supply is derived and developed. Variants of this gate driver enabled a detailed analysis of the switching transients of the silicon carbide JFET half bridge and later a safe operation of the system prototype. A purpose-developed Rogowski Coil with offline-integration is introduced for the measurement of the current transients in the low inductive commutation cell. A know direct cooling concept was adapted and finally integrated into the laboratory system to cool the substrates of the provided baseplate less silicon carbide half bridge modules. Beforehand integration, the thermal impedance of a single module was successfully characterized by detecting the temperature-sensitive gate-source-diode of the JFET. To utilize the capacitor volume reduction effect of high switching frequencies at high environmental temperatures a ceramic capacitor with anti-ferroelectric dielectric was selected. For the inductors actual methods of combined analytic numeric loss calculation were applied for the dimensioning to enable a compact component. By successfully operating and characterizing the laboratory prototype a verification of the model based a priori defined figures of merit could be achieved.

Major contributions of this work are the developed technology assessment methods as well as concepts for volume reduction and measurement methods.

Keywords:

hybrid electric vehicle, behavioural models, technology assessment, silicon carbide, JFET, depletion-mode, step-up converter, inverter, DC-link, switching transients, system design, system dimensioning

1 Einleitung

Durch Innovationen im Bereich leistungselektronischer Systeme und leistungselektronischer Bauelemente motiviert, wurde in der Vergangenheit und heute eine stetige Steigerung der Systemleistungsdichte erreicht. Bei hochintegrierten leistungselektronischen Wandlern machen einzelne Komponenten und Baugruppen wie Speicherdrosseln, Speicherkondensatoren, Transformatoren, Kühlkörper und Leistungshalbleitermodule einen Großteil des Systemvolumens aus. Zusätzlich entfällt ein Großteil der Materialkosten auf eben jene Komponenten. Aus der Vergrößerung der Systemleistungsdichte erwächst zusätzlich der Bedarf einer Effizienzsteigerung, da die Verlustleistungsdichte durch thermische Grenzen der Baugruppen limitiert ist. Der maßgebliche Treiber dieser Innovationen in leistungselektronischen Systemen aus industrieller Perspektive sind die Kosten [1]. Da die Kosten für neue Technologien und Prototypen eine geringe Aussagekraft besitzen, werden im Rahmen dieser Arbeit kostenskalierende Größen wie Chipfläche, Wirkungsgrad und Volumen zur Bewertung herangezogen.

1.1 Thematische Einordnung

Diese Arbeit aus dem Bereich der Ingenieurwissenschaften ist der Elektrotechnik im Fachbereich der Energietechnik zuzuordnen. Zentrale Untersuchungen fokussieren Themenbereiche der leistungselektronischen Energiewandlung wie den Vergleich von Halbleitertechnologien und Wandlertopologien, die Entwicklung neuer Steuer- und Modulationsverfahren, sowie die Dimensionierung, die Optimierung, das Design und die Konstruktion einer Leistungselektronik und deren Peripheriekomponenten. Für die nachfolgenden Untersuchungen in dieser Arbeit wird das Beispiel eines Traktionswandlersystems für ein hybrid-elektrisch angetriebenes Personenkraftfahrzeug genutzt, weswegen der Applikationsschwerpunkt im Bereich der Elektromobilität liegt. In Abb. 1.1 ist das Hochspannungsbordnetz eines elektrischen oder hybrid-elektrischen Fahrzeugs unter Angabe typischer Leistungs- und Spannungsbereiche skizziert.

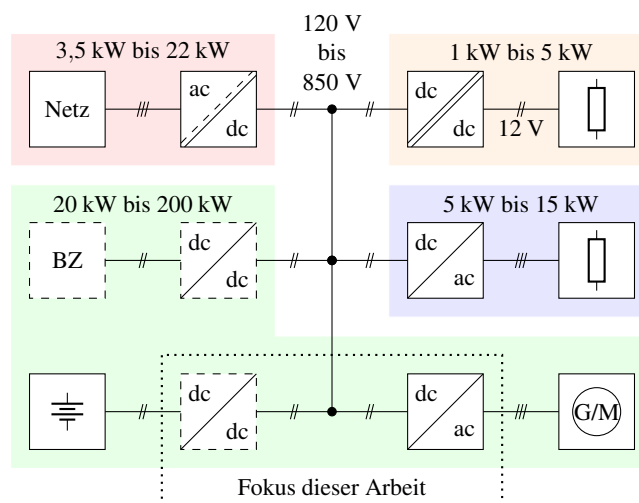


Abbildung 1.1: Hochspannungsbordnetz eines elektrischen oder hybrid-elektrischen Fahrzeugs

Die leistungselektronischen Umformer, Quellen, Senken und Speicher sind darauf skizziert. Optionale Systeme wie die Brennstoffzelle mit Gleichspannungswandler als auch der Gleichspannungswandler der Batterie sind gestrichelt dargestellt. Im Fokus dieser Arbeit steht die Untersuchung des markierten Antriebsumrichters im Hinblick auf die Anwendung der Siliziumcarbid-Halbleitertechnologie.

1.2 Stand der Technik und Forschung

Im Bereich der Hybridfahrzeugapplikationen gibt es stark unterschiedlich aufgebaute Systeme des Parallel-, Serien-, leistungsverzweigten Hybridfahrzeugs in unterschiedlichen Elektrifizierungsstufen Mikro-, Mild-, Plugin- oder Voll-Hybrid. Bei den Antriebsumrichtern haben sich, wie auch in der industriellen Antriebstechnik, dreiphasige Halbbrückenwandler je Fahrtrieb durchgesetzt. Hinsichtlich der Halbleitertechnologie wird im europäischen Umfeld derzeit auf Silizium-IGBTs mit Sperrspannungen im Bereich von 650 V bis 750 V gesetzt z.B. BMW i3. Asiatische Hersteller, welche schon deutlich länger im Markt aktiv sind, verwenden Silizium IGBTs mit höheren Sperrfestigkeiten von 970 V bis 1200 V. Bezüglich der Systemtopologie kann bei leistungsverzweigten Hybridfahrzeugen den zwei dreiphasigen Wechselrichtern ein Hochsetzsteller bei Batteriespannungen ab ca. 200 V und Zwischenkreisspannungen bis 700 V vorgeschaltet werden; z.B. beim Toyota Prius. Als US-amerikanischer Fahrzeughersteller verwendet Chevrolet im ebenfalls leistungsverzweigten Volt zwei dreiphasigen Wechselrichtern mit 600 V IGBTs ohne Hochsetzsteller. Hinsichtlich der Technologien und Topologien existiert somit eine gewisse Diversität.

Zum Erreichen der hohen Drehzahlen bei den kompakten elektrischen Maschinen sind typischer Weise elektrische Frequenzen im Bereich von ca. 1 kHz und dementsprechend hohe Schaltfrequenzen erforderlich. Neben der Schaltverlustreduktion durch die Wide-Bandgap-Halbleitertechnologien besteht auch die Möglichkeit mit aktiven Schaltentlastungen wie z.B. durch die bereits 1990 in [2] vorgestellte Hilfsschaltung¹⁾ oder resonante Wandlertopologien ein verlustreduziertes Kommutieren der Halbbrücke zu erreichen. Durch die Speicherladung der bipolaren IGBTs können die Verluste hierbei jedoch nur in Grenzen reduziert werden [3]. Aber auch nicht resonante Topologien können bei geeigneter Komponentendimensionierung durch das Steuerverfahren quasiresonant betrieben werden [4]. Im Bereich der Antriebsstrangwechselrichter und Antriebsstrangleichspannungswandler für Hybrid- und Elektrofahrzeuge wurden Konzepte mit aktiver Schaltentlastung bereits von der Schweizer Firma BRUSA Elektronik AG bis zur Marktreife entwickelt und werden seit 2010 als SoftSwing[®]-Technologie angeboten. Daher sind Wandlerysteme in dieser Ausführungsform bereits kommerzialisiert, wurden jedoch, wie auch bei Industrieantrieben, nur in Nischen adaptiert. Insgesamt wird die Anwendung der Wide-Bandgap-Halbleitertechnologie für den Fahrtrieb in der Elektromobilität in den nächsten Jahren erwartet [5].

Durch den sich zunehmend abzeichnenden Trend des Wandels zur abgasfreien Mobilität und die fortschreitende Elektrifizierung von PKWs getrieben, werden im Bereich der leistungselektronisch orientierten Forschung viele Ansätze verfolgt, um günstigere, zuverlässigere, kompaktere, sicherere aber auch effizientere Systeme zu erzielen. Dabei ist bei allen leistungselektronischen Wandlern der im Vordergrund stehende Systemgedanke kennzeichnend dafür, dass bereits in Forschungsvorhaben die Ergebnis- oder Performanzbewertung anhand einer Vielzahl von Gütekriterien erfolgen muss. Der Einsatz neuer Halbleitertechnologien wie Siliziumcarbid ist dabei ein Ansatz, effizientere und kompaktere Wandlerysteme zu erzeugen, welcher in einer Vielzahl von Forschungsvorhaben seit etwa einer Dekade thematisiert wird. Als Beispiele aktueller Forschungen mit hoher Leistungsdichte für Fahrzeugapplikationen sind der 55 kW Wechselrichter [6] und der 39 kW [7] und 200 kW [8] Gleichspannungswandler zu nennen. Im Zusammenhang mit den Eigenschaften der Wide-Bandgap-Halbleitertechnologie werden neben speziellen Wandlertopologien zudem neue Konzepte für die Integration, Verwendung neuer Materialien für passive Komponenten oder verbesserte Kühlkonzepte untersucht. Durch die erforderliche Systembetrachtung

¹⁾ARCP engl. auxiliary resonant commutated pole

und thermische Begrenzung werden interdisziplinäre Ansätze verfolgt, welche auf der Basis einer modellbasierten Mehrfachzieloptimierung eine Bewertung ermöglichen [9]. Zudem werden die Kosten, welche nach [10] den Haupttreiber leistungselektronischer Innovation darstellen, berücksichtigt.

1.3 Forschungsleitende Hypothesen, Fragestellung und Ziele

A priori sind die folgenden forschungsleitenden Hypothesen formuliert worden, welche zur Motivation der durchgeführten und nachfolgend dokumentierten Untersuchungen im Einzelnen als auch dieser Arbeit insgesamt dienen.

- Durch den Einsatz von 1200 V SiC-Halbleiterchips kann trotz reduzierter Chipfläche und gesteigerter Schaltfrequenz eine effizientere Leistungselektronik aufgebaut werden als mit 1200 V Si-IGBTs.
- Durch optimierte Betriebsführung und abgestimmte Steuerverfahren lässt sich die Belastung von Systemkomponenten verringern bzw. verlagern, wodurch die Systemausnutzung und damit die Leistungsdichte gesteigert werden können.
- Bei den Halbleitermaterialien Siliziumcarbid und Galliumnitrid weisen Leistungstransistoren vom Verarmungstyp ein höheres Minimierungspotenzial hinsichtlich des Durchlasswiderstands auf als Leistungstransistoren vom Anreicherungstyp
- Der Energiespeicherbedarf in passiven Bauelementen reduziert sich durch eine erhöhte Schaltfrequenz, sodass das Systemvolumen verkleinert werden kann, ohne die thermischen Grenzen der Bauteile zu überschreiten.
- Beim schnellen Schalten entstehende Störungen der Elektromagnetischen Verträglichkeit lassen sich beim Aufbau und durch konstruktive Maßnahmen oder Filter für die geforderte Leistungsklasse soweit vermindern, dass eine hohe Schaltgeschwindigkeit zulässig ist.

Anhand dieser Postulate werden unmittelbar die zentralen Fragestellungen deutlich:

1. Inwiefern können die Bauelemente aus neuen Halbleitermaterialien nutzbringend in der Elektromobilität appliziert werden?
2. Inwiefern sind durch die besonderen Eigenschaften dieser Halbleiterbauelemente grundsätzlich neue Methoden oder Ansätze zu verfolgen?
3. Welche Anforderungen und Änderungen, Vorteile und Nachteile ergeben sich bezüglich des Systemdesigns?

Ziel dieser Arbeit ist: einen Beitrag zur besseren Einschätzbarkeit der Leistungsfähigkeit aber auch des Implementierungsaufwands beim Einsatz neuer Halbleitertechnologien unter Berücksichtigung des Systemgedankens zu leisten.

2 Grundlagen und Vorbetrachtungen

Das Design eines Systems gilt als technisch gelungen, wenn es die vorgesehenen Funktionen unter den auftretenden Umgebungsbedingungen für eine ausreichende Dauer ausführen kann. Bei der Dimensionierung der Systemkomponenten sollte daher bereits im Vorfeld abschätzbar sein wie sich die Umgebungsbedingungen und das Ausführen der Funktionen auswirken. Modelle der Systemkomponenten, aber auch der angebotenen Systeme und Steuerungen mit reduzierter Komplexität, sind hilfreich um a priori Umgebungsbedingungen und Funktionen in Belastungsgrößen und Anforderungen zu übersetzen.

Bei leistungselektronischen Systemkomponenten ist zudem eine domänenübergreifende Modellbildung im Bereich der Elektrodynamik und Thermodynamik sinnvoll. Denn zum einen müssen bezüglich der Funktion elektrische Kenngrößen erreicht und gleichzeitig thermische Grenzen eingehalten werden und zum anderen haben thermische Zustandsgrößen erheblichen Einfluss auf die elektrischen Eigenschaften der Komponenten, insbesondere der Leistungshalbleiterbauelemente. Komponentenbeschreibungen und -modelle, welche in Bezug auf die eingesetzten Technologien und die Leistungsklasse generisch sind, ermöglichen durch Anwenden eines Gütekriteriums bzw. einer Gütefunktion neben der Dimensionierung zusätzlich eine Technologiebewertung.

Im Folgenden wird in Abschn. 2.1 zunächst das Fundament für die verwendeten Ansätze und Begrifflichkeiten gelegt. Darauf aufbauend zeigt Abschn. 2.2 einen Überblick zu den Halbleitertechnologien und deren Entwicklung, bevor in Abschn. 2.3 relevante Wandlertopologien diskutiert und bewertet werden und nachfolgend in Abschn. 2.4 zunächst ein modellbasierter Technologievergleich für zwei ausgewählte Topologien geführt wird.

2.1 Die Kommutierungszelle als fundamentale Schaltung der Leistungselektronik

Bei leistungselektronischen Anwendungen können die Halbleiterbauelemente verallgemeinert als nichtlineare elektrische Senken verstanden werden, welche, je nach Schaltzustand, entweder eine Spannung aufnehmen können oder einen Strom führen. Aus dieser Grundvorstellung ist auch unmittelbar der hohe Wirkungsgrad leistungselektronischer Systeme abzuleiten, da in beiden idealisierten Betriebszuständen keine Energie in den nichtlinearen Senken umgesetzt wird.

Bei einschaltbaren Leistungshalbleitern wie z.B. Thyristoren kann aktiv vom spannungshaltenden, sperrenden Zustand in den stromführenden, leitenden Zustand gewechselt werden, während abschaltbare Bauelemente wie Feldeffekt- oder Bipolartransistoren zusätzlich einen aktiven Wechsel vom leitenden in den sperrenden Zustand ermöglichen. Allerdings sind bei einem solchen Zustandswechsel, neben den zunächst vernachlässigten Treibern, auch externe Quellen beteiligt welche die zu haltende Spannung oder den zu führenden Strom für die Senken bereitstellen und daher mit den Leistungshalbleitern wechselwirken. Da somit immer ein System aus mehreren Ersatzelementen zu betrachten ist, wird für diese Arbeit der Begriff der Kommutierungszelle genutzt, welche den Grundbaustein für alle leistungselektronischen Systeme bildet.

Eine idealisierte Kommutierungszelle besteht aus mindestens zwei leistungselektronischen Bauteilen und aus mindestens einer Spannungs- und einer Stromquelle. Die Natur der Quellen und Bauelemente bedingt die Reihenschaltung mindestens eines Leistungsbauelements S_1 mit der Spannungsquelle u_u sowie die Parallelschaltung der Leistungsbaulemente und Spannungsquellen S_2 mit der Stromquelle i_i , sodass zwei Maschen entstehen. Zur Veranschaulichung zeigt Abb. 2.1 eine Kommutierungszelle mit den zwei Leistungshalbleitern S_1 und S_2 , sowie Skizzen der nichtlinearen Kennlinien von relevanten Leistungshalbleitertypen.

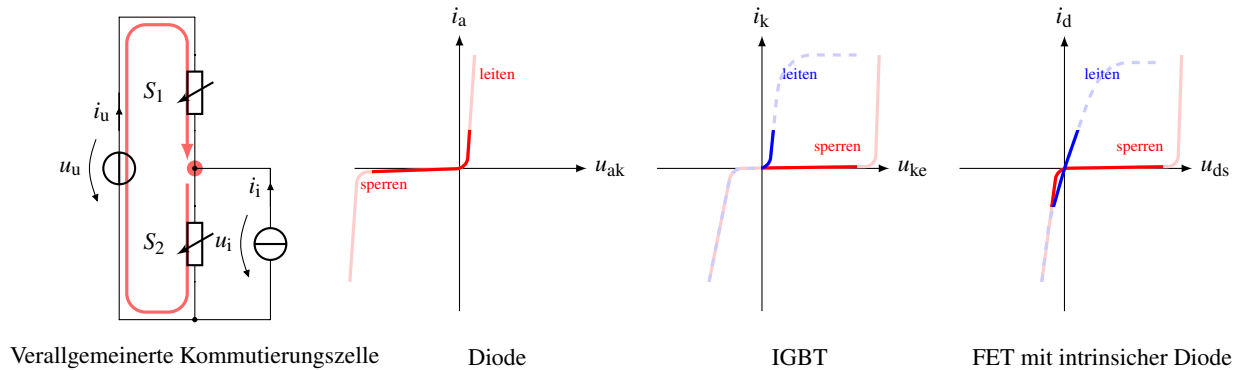


Abbildung 2.1: Kommutierungszelle und stationäre Halbleitercharakteristika

Im stationär nicht nutzbaren Bereich der Leistungshalbleitertypen sind die Kennlinien schattiert dargestellt. Die Kennlinie des leitenden Zustands ist blau und die Kennlinie des sperrenden Zustands ist in Abb. 2.1 rot gekennzeichnet. Durch den gegensinnigen simultanen Zustandswechsel beider Leistungshalbleiter bzw. durch Kommutierung des Quellenstroms von einem auf den anderen Leistungshalbleiter können die Quellen entweder gekoppelt oder getrennt werden. Die Kommutierungszelle kann somit zwei Zustände

- S_1 sperrend und S_2 leitend: Kein Energieaustausch der Quellen (getrennt) und
- S_2 sperrend und S_1 leitend: Energieaustausch der Quellen (gekoppelt)

einnehmen. Folglich ist es möglich den Energieaustausch der Quellen durch die Leistungshalbleiter S_1 und S_2 effizient zu steuern. Bei fremdgeführten Kommutierungszellen kann die Kommutierung nur durch die Zustandsänderung der (Wechsel)-Quellen herbeigeführt werden, während bei den ausschließlich betrachteten selbstgeführten Kommutierungszellen jederzeit eine Kommutierung durch aktive Zustandsänderung bzw. durch Ausschalten oder Einschalten der Leistungshalbleiter erzwungen werden kann. Für eine selbstgeführte Kommutierungszelle ist daher immer mindestens ein abschaltbarer Leistungshalbleiter erforderlich. Da eine simultan gesteuerte Umschaltung von zwei unabhängigen Bauelementen ein bisher ungelöstes Problem darstellt, ist als weiteres Bauelement immer ein Leistungshalbleiter erforderlich, welcher den Quellenstrom im ausgeschalteten Zustand führen kann. In Anlehnung daran wird nachfolgend zwischen selbst kommutiertem und fremd kommutiertem Bauelement unterschieden.

Dem Ersatzschaltbild in Abb. 2.1 ist zudem ein roter Pfad hinterlegt der die Kommutierungskreis-masche kennzeichnet. Im Kommutierungskreis muss aufgrund des kapazitiven Verhaltens sperrender leistungselektronischer Bauelemente zur Zustandsänderung ein Verschiebestrom fließen, welcher den Kommutierungsknotenpunkt umlädt. Der dargestellte unterbrochene rote Pfad mit Pfeil symbolisiert den Verschiebekreisstrom mit Zählrichtung. Das Pfeilende sowie die Öffnung des Pfades deutet auf den ebenfalls rot gekennzeichneten Kommutierungsknotenpunkt welcher bei der Kommutierung gegenüber den anderen Knoten der Zelle im Potenzial springt. Bei selbstgeführten Zellen wird in hoher Frequenz zwischen den Zuständen gewechselt, weswegen die Analyse und Verbesserung der dynamischen und

verlustbehafteten Schaltvorgänge einen signifikanten Anteil der Forschung und Bauteilentwicklung mit leistungselektronischer Fokussierung ausmacht. Nachfolgend wird daher das qualitative Verhalten der Kommutierungszelle an einem Beispiel erörtert.

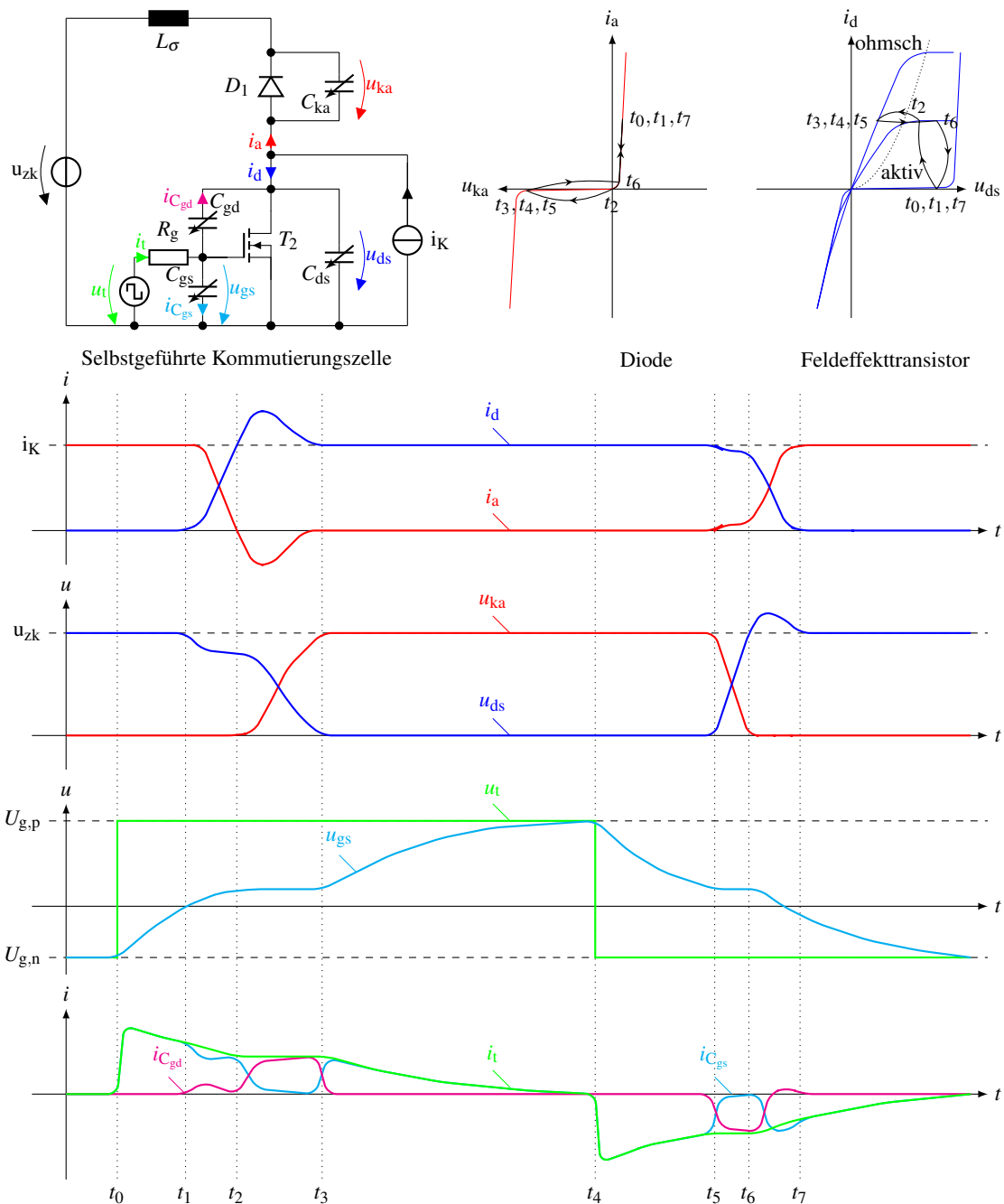


Abbildung 2.2: Dynamische Vorgänge in der Kommutierungszelle

Anhand von Abb. 2.2 wird der Ablauf der dynamischen Vorgänge beim Schalten einer selbstgeführten, unidirektionalen Kommutierungszelle mit n-Kanal-Feldeffekttransistor an Stelle von S_2 und Diode an Stelle von S_1 untersucht. Dargestellt sind das Ersatzschaltbild der selbstgeführten Kommutierungszelle mit den relevanten Netzwerkelementen der Leistungsschalter, sowie die Ausgangskennlinien von Diode und Feldeffekttransistor und Zeitverläufe ausgewählter elektrischer Größen beim Zustandswechsel. Ausgehend vom einem Anfangszustand bei dem der Quellenstrom i_K durch die Diode fließt und der Feldeffekttransistor gesperrt ist, verläuft der Schaltvorgang in der dargestellten zeitlichen Abfolge:

Einschalten - Kommutieren auf den Transistor (selbst kommutiertes Bauelement)

- $t_0 \leq t < t_1$: Die Gatetreiberspannung u_t steigt von der negativeren Treiberspannung $U_{g,n}$ auf die positivere $U_{g,p}$ wodurch der Einschaltvorgang des n-Kanal-Feldeffekttransistors eingeleitet wird. Der Strom i_t bildet sich im Gatekreis aus und teilt sich im Halbleiterbauelement in den Gatestrom $i_{C_{gs}}$ durch die Gate-Source-Kapazität und den Gate-Drainstrom $i_{C_{gd}}$ durch die Gate-Drain-Kapazität entsprechend der Kapazitäten auf. Zunächst fließt der Strom fast ausschließlich über die Gate-Source-Kapazität wodurch die Gate-Source-Spannung u_{gs} zu steigen beginnt.
- $t_1 \leq t < t_2$: Die steigende Gate-Source-Spannung u_{gs} erreicht den Schwellwert des Transistors wodurch der Kanal leitfähig wird und ein Drainstrom i_d über D_1 , L_σ , u_{zk} und T_2 zu fließen beginnt. Durch den Stromanstieg fällt an der Induktivität L_σ eine Spannung ab, welche eine Reduktion der Drain-Source-Spannung zur Folge hat. Verminderungen der Drain-Source-Spannung u_{ds} bedingen einen Verschiebestrom über die Gate-Drain- und Gate-Source-Kapazität welcher sich dem Gate-Source-Strom negativ und dem Gate-Drainstrom positiv überlagert. Durch diesen Effekt wird die Anstiegsgeschwindigkeit der Gate-Source-Spannung vermindert was zudem zu einer Verringerung bzw. Begrenzung der Stromanstiegsgeschwindigkeit des Kanalstromes führt. Der Transistor arbeitet somit ab diesem Zeitpunkt im aktiven Bereich (vgl. Abb. 2.2) des Ausgangskennlinienfeldes was zu einer deutlich gesteigerten Verlustentwicklung führt. Mit weiterhin steigender Gate-Source-Spannung steigt auch der durch die Spannungsquelle getriebene Drainstrom des Transistors. Gleichzeitig verringert sich der Anodenstrom der Diode i_a gemäß dem Kirchhoffschen Knotensatz.
- $t_2 \leq t < t_3$: Der Drainstrom i_d erreicht den Wert des Quellenstroms i_K womit der Anodenstrom null wird. Durch die Quellenspannung u_{zk} , welche über dem leitfähigen Transistor und der zunächst spannungsfreien Diode anliegt, wird ein negativer Anodenstrom aufgebaut, wodurch die Diode anfängt zu sperren und beginnt Spannung aufzunehmen. Je nachdem ob es sich bei der Diode um ein bipolares oder unipolares Bauelement bzw. bipolaren oder unipolaren Arbeitspunkt handelt treten unterschiedliche Effekte auf, welche sich qualitativ durch einen negativen Strom durch das Halbleiterbauelement beschreiben lassen. Bei unipolaren Dioden erfolgt durch diesen negativen Strom die Umladung der Sperrschichtkapazitäten, während bei bipolaren Dioden zusätzlich die Speicherladung oder Reverse-Recovery-Ladung Q_{rr} ausgeräumt wird. Während die Drain-Source-Spannung des Transistors fällt, steigt die Spannung u_{ka} an der Diode bei negative Anodenstrom bis die Quellenspannung U erreicht ist. Mit der schnellen Änderung der Drain-Source-Spannung u_{ds} muss ein Verschiebestrom durch die Transistorkapazitäten fließen welcher nahezu die Höhe des Treiberstroms erreicht, sodass der Gate-Source-Strom $i_{C_{gs}}$ sehr klein ist und die Gate-Source-Kapazität nicht weiter aufgeladen wird. Durch diese Rückwirkung auf den Gatekreis, den sogenannten „Miller-Effekt“, bildet sich im Zeitverlauf der Spannung das „Miller-Plateau“ aus. Das Spannungsniveau des Plateaus entspricht dabei gerade genau der Gate-Spannung, welche der Feldeffekttransistor minimal benötigt um den Drainstrom im aktiven Bereich zu führen. Die Rückwirkungskapazität C_{dg} kann dementsprechend nur mit dem vom Treiber bereitgestellten Strom umgeladen werden, weshalb die Spannungsänderungsrate bzw. Schaltgeschwindigkeit des MOSFETs beim Einschalten gut durch einen Widerstand R_g eingestellt werden kann.
- $t_3 \leq t < t_4$: Ab diesem Zeitpunkt fließt kein negativer Anodenstrom i_a mehr, die volle Quellenspannung u_{zk} wurde von der Diode übernommen und der Laststrom ist vollständig auf den Transistor kommutiert. Der Transistorarbeitspunkt liegt nun unmittelbar an der Grenze zwischen aktivem und ohmschen Bereich. Nachfolgend wird die Gate-Source-Spannung u_{gs} des Transistors weiter durch den Gatestrom $i_{C_{gs}}$ aufgeladen welcher in diesem Zeitabschnitt dem Treiberstrom i_g entspricht. Folglich wandert der Arbeitspunkt des Transistors in den ohmschen Bereich. Der Einschaltvorgang ist abgeschlossen, wenn die Gate-Source-Spannung u_{gs} den Wert der positivere Treiberspannung $U_{g,p}$ erreicht hat.

Ausschalten - Kommutieren auf die Diode (fremd kommutiertes Bauelement)

- $t_4 \leq t < t_5$: Dieser Vorgang läuft beim Feldeffekttransistor in umgekehrter Reihenfolge ab wie das Einschalten. Die Treiberspannung u_t fällt von der positiveren Spannung $U_{g,p}$ auf die negativere Spannung $U_{g,n}$. Konsequenterweise bildet sich ein Treiberstrom i_t aus welcher die Gate-Source-Kapazität C_{gs} und die Gate-Drain-Kapazität C_{gd} entlädt. Durch die Verminderung der Gate-Source-Spannung u_{gs} wird der Kanal des Feldeffekttransistors hochohmiger.
- $t_5 \leq t < t_6$: Die Gate-Source-Spannung u_{gs} ist soweit gefallen, dass der Transistor die Bereichsgrenze zwischen aktivem und ohmschem Bereich erreicht hat, woraufhin die Drain-Source-Spannung u_{ds} deutlich zu steigen beginnt. Mit der steigenden Spannung bildet sich ein Verschiebestrom über die Gate-Drain und Gate-Source-Kapazität aus, welcher dem Steuerstrom $i_{C_{gs}}$ entgegenwirkt und den Rückwirkungsstrom $i_{C_{gd}}$ verstärkt. Zusätzlich resultiert aus der Spannungsänderungen ein Verschiebestrom über u_{zk} , L_σ , C_{ka} und T_2 durch die Umladung der Kapazitäten C_{ka} welcher den Anoden-Strom i_a erhöht und den Drainstrom i_d vermindert. Der Gatestrom wird bei diesem Vorgang auf einen sehr kleinen Wert reduziert sodass der Treiberstrom nahezu ausschließlich in die Gate-Drain-Kapazität C_{gs} fließt. Analog zum Einschaltvorgang begrenzt somit bei ausreichend hohem Quellenstrom der Treiberstrom die Spannungsänderungsrate der Drain-Source-Spannung u_{ds} . Bei diesem Vorgang muss jedoch die Drain-Source-Kapazität durch einen Teil des Drainstroms bzw. Laststroms, welcher nicht durch den Transistorkanal fließt umgeladen werden. Somit kann bei kleinen Quellenströmen i_K der Fall eintreten, dass der Transistorkanal bereits sehr hochohmig ist, die Drain-Source-Spannung aber noch nicht den entsprechenden Wert erreicht hat. In diesem Fall ist die Spannungsanstiegsrate der Drain-Source-Spannung dann proportional zum Quellenstrom.
- $t_6 \leq t < t_7$: Zu diesem Zeitpunkt erreicht die Drain-Source-Spannung den Wert der Quellenspannung U wodurch die Diodenspannung zunächst null wird. Nachfolgend erhöht sich die Drain-Source-Spannung weiter da der Widerstand des Transistors weiter steigt bzw. der Quellenstrom weiterhin die Drain-Source-Kapazität auflädt. Somit ist die Diode in Flussrichtung gepolt und beginnt Strom zu führen wodurch der Strom durch die Spannungsquelle zu- und der Strom im Transistor abnimmt. Durch die Änderungsrate des Stromes fällt an der Induktivität L_σ eine Spannung ab welche eine zusätzliche Erhöhung der Drain-Source-Spannung zur Folge hat. Diese „Überspannung“ muss durch das Design L_σ , die Quellenspannungen u oder einen ausgebremsten Schaltvorgang auf einen Wert unterhalb der Durchbruchspannung des Transistors reduziert werden.
- $t < t_7$: Die Diode führt den vollen Quellenstrom und der Transistor ist durch niedrige Gate-Source-Spannung bereits sehr Hochohmig und hält die volle Quellenspannung. Der Treiberstrom fließt nahezu vollständig über die Gate-Source-Kapazität und entlädt diese bis die negativere Treiberspannung $U_{g,n}$ erreicht ist. Nach dem Erreichen der Spannung ist der Kommutierungsvorgang abgeschlossen und der Ausgangszustand des Systems wiederhergestellt.

Um einen bidirektionalen Energiefluss zwischen den Quellen erreichen zu können, sind Bauelemente oder Kombinationen aus Bauelementen mit mindestens bidirektionaler Stromtragfähigkeit oder mindestens bidirektionaler Spannungshaltung erforderlich. Für die untersuchte Batterie bzw. Antriebsanwendungen mit elektrischer Maschine ist ein bidirektionaler Energiefluss über den leistungselektronischen Wandler notwendig, damit die Maschine sowohl beschleunigt als auch abgebremst und gleichzeitig die Batterie entladen oder geladen werden kann.

2.2 Überblick zu Wide-Bandgap Transistoren und deren Kommerzialisierung

Dieser Abschnitt soll eine Zusammenstellung jener Wide-Bandgap-Bauelemente liefern, welche bis heute zur Marktreife entwickelt wurden und hinsichtlich der Stromtragfähigkeit für die leistungselektronische Anwendung im Antriebsstrang eines Hybridfahrzeuges relevant sind. Im Fokus stehen aus diesem Grund vorrangig Bauelemente, die für Sperrspannungen im Bereich von 600 V bis 1200 V ausgeführt wurden und damit in Konkurrenz zu den in Abschn. 1.2 dargelegten Technologien stehen. Da im Fokus dieser Arbeit die Anwendung und nicht die innere Funktion der Wide-Bandgap-Transistoren steht, werden die halbleiterphysikalischen Zusammenhänge nur in Grundzügen angedeutet.

2.2.1 Eigenschaften der Wide-Band-Gap Halbleitermaterialien

Wide-Bandgap-Halbleitermaterialien wie Siliziumcarbid (SiC) und Galliumnitrid (GaN) weisen im Vergleich zu Silizium (Si) zunächst einen namensgebenden höheren Bandabstand zwischen Leitungs- und Valenzband auf. Dieser führt nach [11]¹⁾ unmittelbar zu

$$u_D \approx \frac{k_B T}{e} \ln \left(\frac{N_A N_D}{N_C N_V} \right) + \frac{W_G}{e} \quad (2.1)$$

einer erhöhten Diffusionsspannung der pn-Übergänge welche linear mit steigender Bandlücke W_G zunimmt. In die Berechnung der Diffusionsspannung gehen die Temperatur T , die Boltzmann Konstante k_B , die Einheitsladung e , die Akzeptor- N_A und die Donatorkonzentration N_D sowie die Zustandsdichten der Valenz- N_V und Leitungsbandkante N_C untergeordnet ein. Mit der Beobachtung aus [12] liegt nun die Schleusenspannung u_S eines pn-Übergangs bzw. die Durchlassspannung u_F bei niedrigen Durchlassstromdichten von etwa $10 \frac{A}{cm^2}$ in der Nähe der Diffusionsspannungen u_D , sodass

$$u_F \approx u_S \approx u_D \quad (2.2)$$

gilt. Bei 25 °C liegt die Diffusionsspannung von Silizium bei 0,66 V und bei Siliziumcarbid mit bei etwa 2,7 V. Die höhere Bandlücke bedeutet für das Durchlassverhalten bipolarer Leistungsbaulemente wie Dioden, Thyristoren und IGBTs welche ungeradzahlige vielfache von pn-Übergängen im Hauptstrompfad aufweisen, somit zunächst einen erheblichen Nachteil. Diese Bauelemente sind daher schon aufgrund der Durchlassspannung für die Anwendung im Automobilssektor uninteressant.

Im Vergleich zu Silizium weist Siliziumcarbid eine um eine Größenordnung höhere kritische Feldstärke E_{krit} auf, weshalb für Sperrspannungen im zweistelligen kV-Bereich bipolare Bauelemente realisiert werden können bei denen die erhöhte Schleusenspannung keinen nennenswerten Nachteil bedeutet. Durch diese Bauelemente werden Zweilevel-Topologien auch bei Mittelspannungsanwendungen ermöglicht. Leistungshalbleiter wie SiC-IGBTs und SiC-pn-Diode können aufgrund der Schleusenspannungen daher erst nutzbringend in Hoch- und Mittelspannungsapplikationen wie z.B. in Mittelspannungs-Wechselrichtern [13] oder isolierenden Mittelspannungs-Gleichspannungswandlern [14] eingesetzt werden.

Bei unipolaren Leistungshalbleiterbauelementen wie FETs sind hingegen, die entsprechend der kritischen Feldstärke zu begrenzende Dotierstoffkonzentration und die Ladungsträgerbeweglichkeit im Halbleitermaterial von entscheidender Bedeutung für das Durchlassverhalten. Dieser Zusammenhang lässt sich auch an den in [15] entwickelten Gütefaktoren: „material figure-of-merit“ (HMFOM) und „chip area figure-of-merit“ (HCAFOM) für Leistungshalbleiter ablesen. Unter Berücksichtigung der Durchlassverluste im Driftgebiet und der Verwendung eines einfachen Schaltverlustmodells können die minimal

¹⁾Gleichung (1.17) und Gleichung (2.57)

erreichbaren Gesamtverluste analytisch bestimmt werden. Hieraus lassen sich die Materialeinflussgrößen als reziprok proportionaler Gütefaktor gemäß

$$\text{HMFOM} = \sqrt{\mu_n} E_{\text{krit}} \quad (2.3)$$

extrahieren. Gleichzeitig wird im angenommenen Modell bei minimaler Verlustleistung eine optimale Chipfläche erreicht, woraus sich dann analog das ebenfalls reziprok proportionale Gütekriterium zur Chipfläche nach

$$\text{HCAFOM} = \varepsilon_r \sqrt{\mu_n} E_{\text{krit}}^2 \quad (2.4)$$

ergibt. Aus der mit der Wärmeleitfähigkeit bewerteten Division der minimalen Verlustleistung und der optimalen Chipfläche wird in [15] ein thermisches Gütekriterium: „thermal figure-of-merit“ (HTFOM) nach

$$\text{HTFOM} = \frac{\lambda}{\varepsilon_r E_{\text{krit}}} \quad (2.5)$$

generiert welches sich reziprok proportional zum Temperaturhub im Chip verhält.

Das Kiviat-Diagramm in Abb. 2.3 fasst die Eigenschaften und Gütekriterien für Silizium, Siliziumcarbid und Galliumnitrid vergleichend zusammen.

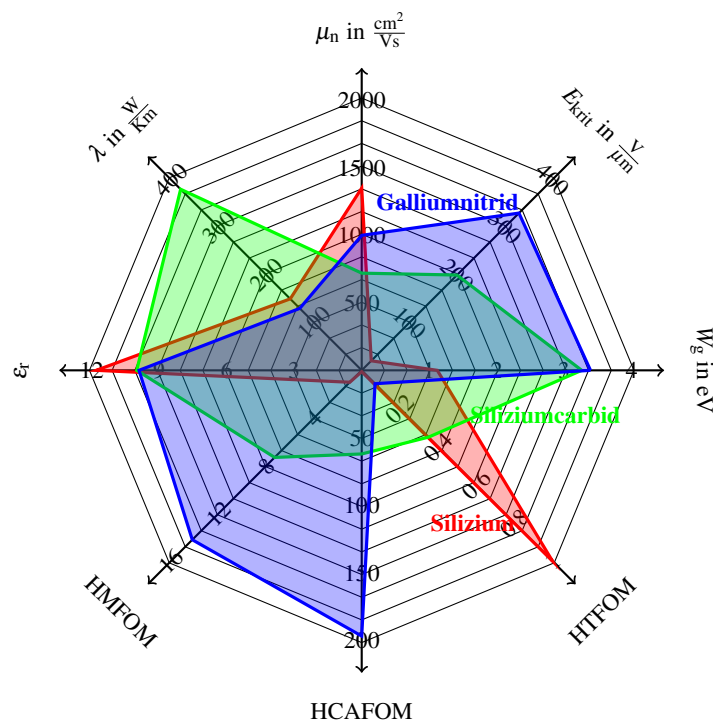


Abbildung 2.3: Vergleich der Materialeigenschaften und Gütekriterien von Si, SiC und GaN (Daten aus [16], Gütefaktoren normalisiert auf Silizium)

Aus diesen Größen kann unmittelbar die Motivation für den Einsatz der WBG-Materialien abgeleitet werden, denn ein Siliziumcarbid-FET könnte demnach mit einer 62-mal kleineren Chipfläche bei etwa einem Siebtel der Gesamtverluste eines vergleichbaren Silizium-FET realisiert werden.

Abschließend ist anzumerken, dass diese Gütekriterien insgesamt kritisch zu betrachten sind, da:

1. der Kanalwiderstand welcher vor allem bei SiC-FETs derzeit einen Großteil des Gesamtwiderstands ausmacht nicht berücksichtigt wird,
2. die zugrundeliegende Betrachtung nur für vertikale Bauelemente gültig ist, welche einen dreieckigen, durch die Dotierung eingestellten, Feldstärkeverlauf aufweisen,
3. der Temperaturhub innerhalb des Halbleiterchips bei nahezu allen praktisch relevanten Aufbauten nicht maßgeblich ist und
4. die unipolaren WBG Halbleiter auch in Konkurrenz zu unipolaren Kompensationsbauelementen bzw. bipolaren Bauelementen aus Silizium stehen welche nicht als Referenz abgebildet werden.

Obwohl diese klassischen Gütekriterien aus den genannten Gründen nicht geeignet sind, exakte Aussagen hinsichtlich der derzeit Leistungshalbleiterbauelemente zu treffen, können trotzdem valide Tendenzen hinsichtlich der Vorzüge der Wide-Band-Gap-Halbleitermaterialien abgeleitet werden; z.B. sind geringere Verluste und gleichzeitig geringere Chipfläche beim Vergleich mit unipolaren Silizium-Halbleiterbauelementen zu erwarten.

2.2.2 Siliziumcarbidgefeldtransistoren

Dieser Abschnitt soll einen Überblick über die bisher kommerzialisierten SiC-Feldeffekttransistoren geben. Die Abbildungen Abb. 2.4 und Abb. 2.5 zeigen den strukturellen Aufbau von zwei SiC-Sperrschicht-Feldeffekt-Transistoren (JFET). Der vertikale SiC-D-JFETs in Abb. 2.4 wurde als Verarmungstyp-Bauelement (D) ausgeführt und wird ausschließlich von der Firma Infineon seit 2012 angeboten. Der Leistungshalbleiter ist durch einen lateral geführten Steuerkanal und eine intrinsische SiC-pn-Diode gekennzeichnet. Auf Grundlage dieses Leistungsbaulementtyps wurden im Rahmen dieser Arbeit in den nachfolgenden Abschnitten weiterführende Systembetrachtungen und Analysen durchgeführt.

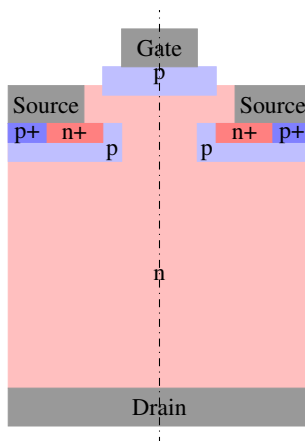


Abbildung 2.4: Struktur einer SiC-D-JFET-Zelle

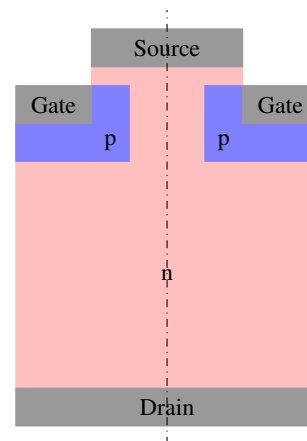


Abbildung 2.5: Struktur einer SiC-E/D-TJFET-Zelle

Der zweite kommerzialisierte SiC-Sperrschicht-Transistor in Abb. 2.5 wurde von der Firma Semisouth erstmals 2008 in zwei Ausführungen sowohl als Anreicherungsbauelement (E) und Verarmungsbauelement (D) angeboten. Das vertikale Halbleiterbauelement besitzt einen ebenfalls vertikal geführten Steuerkanal, ein implantiertes Trench-Gate und keine intrinsische pn-Source-Drain-Diode. Beim Vergleich der Ausführungsvarianten ist der Verarmungstyp dem Anreicherungstyp hinsichtlich der stationären

Bauelementcharakteristik deutlich überlegen [17]. Verglichen mit dem SiC-D-JFET und bisher kommerziell verfügbaren SiC-MOSFETs können durch die höhere Packungsdichte bei vertikal geführtem Kanal mit diesem SiC-Trench-Sperrschicht-Feldeffekttransistor (SiC-E-TJFET, SiC-D-TJFET) deutlich geringere flächenbezogene Durchlasswiderstände erreicht werden [18]. Hinsichtlich des Schaltverhaltens benötigt der TJFET aufgrund der größeren Rückwirkungskapazität einen deutlich höheren Gatestrom als der JFET mit lateralem Kanal, weswegen von Semisouth ein zweistufiger Treiber [19] und in der Literatur ein passives Pulsformungsnetzwerk [18] verwendet wird. Bei beiden Lösungsansätzen wird zum Einschalten kurzzeitig ein sehr hoher Strom in den Gatekreis eingepreßt. Durch die Insolvenz von Semisouth im Jahr 2012 bietet derzeit nur die Firma United Silicon Carbide einen SiC-D-TJFET in der Verarmungstyp-Variante an.

Bei SiC-JFETs kann bis heute eine deutlich höhere Trägerbeweglichkeit im Steuerkanal von $\leq 200 \text{ cm}^2/\text{Vs}$ verglichen mit $\leq 40 \text{ cm}^2/\text{Vs}$ bei SiC-E-MOSFETs erzielt werden, wodurch ein insgesamt geringerer flächenbezogener Durchlasswiderstand erreicht und damit grundsätzlich eine bessere Ausnutzung des teuren Halbleitermaterials seitens der JFETs erwartet wird. Des Weiteren galt die Lebenserwartung des SiO_2/SiC -Systems durch die erhöhte Feldstärkebelastung im Vergleich zum SiO_2/Si -Systems lange Zeit als unzureichend. Auch die thermische Langzeitstabilität des Gate-Oxides bei SiC-MOSFETs wurde als problematisch eingeschätzt [20] weswegen sich diese, vom Anwender klar favorisierten Anreicherungsbauelemente, erst in den letzten Jahren gegen die JFETs durchsetzen.

Die nachfolgenden Abbildungen Abb. 2.6 und Abb. 2.7 zeigen die skizzierten Strukturen der heute kommerziell verfügbaren SiC-MOSFET. Der am weitesten verbreite SiC-E-MOSFET in Abb. 2.6 wurde von der Firma Cree erstmals im Jahr 2010 als kommerzielles Produkt angeboten. Das Bauelement ist durch einen lateralen Inversionskanal und eine intrinsische pn-Diode gekennzeichnet. Die Firmen Rohm, ST Microelectronics, Microsemi, Mitsubishi und General Electric haben SiC-MOSFETs entwickelt und bieten die Leistungshalbleiter direkt oder Wandlersysteme auf deren Basis an.

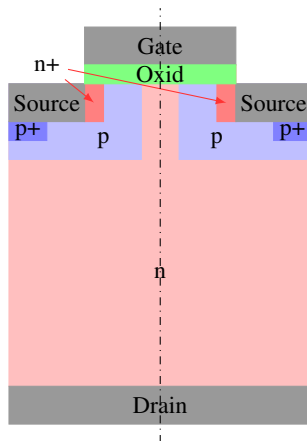


Abbildung 2.6: Struktur einer SiC-DMOSFET-Zelle

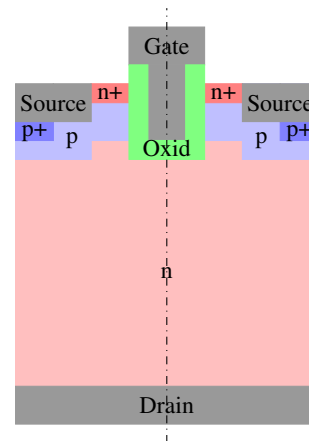


Abbildung 2.7: Struktur einer SiC-TMOSFET-Zelle

Abbildung Abb. 2.7 zeigt das Strukturschema eines Trench-SiC-MOSFETs (SiC-E-TMOSFET) welcher als Weiterentwicklung des SiC-MOSFETs seit 2015 von der Firma Rohm produziert wird. Analog zum TJFET bietet der vertikale Kanal beim TMOSFET durch die höhere Packungsdichte die Möglichkeit den signifikanten Anteil des Kanalwiderstands zu reduzieren. Gleichzeitig erhöht sich die Feldbelastung des Gate-Oxids, weswegen Strukturen zur Abschirmung des elektrischen Feldes z.B. tiefer in die Driftregion hineingezogene P-Gebiete notwendig werden [21]. Toyota entwickelt seit einigen Jahren ebenfalls einen SiC-TMOSFET [22] mit dem expliziten Anwendungsziel im Fahrtrieb eines Hybridfahrzeuges.

Allgemein kann hieraus abgeleitet werden, dass durch vertikale Steuerkanäle die Materialausnutzung steigt und somit ein Kostenvorteil gegenüber lateralen Bauelementen entsteht insofern höhere Prozesskosten kompensiert werden können.

Infineon hat in [23] und [24] ebenfalls einen SiC-TMOSFET angekündigt und vorgestellt, welcher im Gegensatz zu bisherigen SiC-Bauelementen mit den Si-IGBT-Gatespannungsniveaus von -8 V und 15 V arbeitet. Zum Einsatz heutiger SiC-MOSFETs in der Anwendung sei an dieser Stelle angemerkt, dass bei geringen Gatespannungen und hohen Betriebstemperaturen ein Heißeleiterverhalten des Bauteils auftreten kann was bei der Parallelisierung mehrerer Leistungstransistoren berücksichtigt werden muss. Des Weiteren zeigen die aktuellen SiC-MOSFETs Kurzschlussfestigkeiten von teilweise unter $5\text{ }\mu\text{s}$ was bei der Kurzschlusserkennung und Treiberentwicklung bedacht werden muss [25].

2.2.3 Galliumnitrid-Feldeffekttransistoren

Leistungstransistoren auf Galliumnitridbasis sind für Hochfrequenzanwendungen mit Sperrspannungen $< 50\text{ V}$ bereits seit 2006 kommerziell erhältlich. Diese Transistoren sind durchweg vom Transistortyp HEMT (High Electron Mobility Transistor) und weisen eine Gruppe-III-Nitride Heterostruktur auf. Abb. 2.8 veranschaulicht den Heterostrukturübergang von AlGa_xN auf GaN und die Energetischen Zustände anhand des zugehörigen Bänderdiagramms.

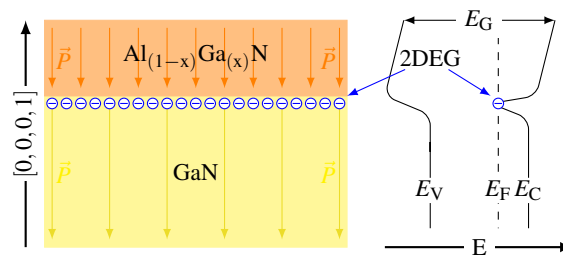


Abbildung 2.8: AlGa_xN/GaN-Heterostruktur mit Bänderdiagramm im thermischen Gleichgewicht

Beim AlGa_xN/GaN-HEMT erfolgt die Trägerleitung in einem zweidimensionalen Elektronengas (2DEG) welches durch den Polarisationsunterschied zwischen einer GaN- und einer epitaktisch aufgewachsenen AlGa_xN-Schicht entsteht. Die Polarisation im Al_{x-1}Ga_xN-Gebiet kann durch das Stoffmischungsverhältnis x eingestellt werden. Durch Anwenden des Gaußschen Gesetzes auf die Grenzschicht gemäß

$$\rho = \vec{\nabla} \cdot \vec{D} = \vec{P}_{\text{GaN}} - \vec{P}_{\text{AlGa}_x\text{N}} \quad \text{mit} \quad \vec{P}_{\text{GaN}} < \vec{P}_{\text{AlGa}_x\text{N}} \quad (2.6)$$

wird nachvollziehbar, dass Elektronen vorhanden sind. Diese Elektronenschicht bildet sich im undotierten GaN-Kristall aus, da im Leitungsband aufgrund der Unstetigkeit der Bandlücke an der Heterostrukturgrenze freie 2D-Zustände vorhanden sind.

Durch das besondere Streuverhalten der 2D-Elektronen im undotierten Kristall können bei niedrigen Temperaturen im Bereich von 150 K extrem hohe Elektronenbeweglichkeiten von $\leq 20000\text{ cm}^2/\text{Vs}$ erreicht werden. Dieser Effekt wird bei leistungselektronischen Anwendung im Bereichen der Raumtemperatur nur in einer leicht erhöhten Beweglichkeit von $\leq 2000\text{ cm}^2/\text{Vs}$ wirksam, dennoch werden Transistoren dieser Bauart als HEMT bezeichnet. Aufgrund der 2DEG-Trägerleitung der HEMT sind die hergestellten Bauelemente stets lateraler Bauart. Die Ansteuerung eines solchen in Abb. 2.9 dargestellten Verarmungstyp-HEMTs erfolgt über ein als Schottky-Kontakt ausgeführtes Gate. Durch eine negative Gate-Source-Spannung kann das Potenzial der besetzten 2DEG-Zustände angehoben, diese somit von Elektronen verarmt und der Transistor gesperrt werden. Die Firmen International Rectifier (Infineon) und Transphorm haben Produkte auf HEMT-Basis bis zur Marktreife entwickelt.

Ein kommerzialisiertes Anreicherungstyp-Bauelement auf AlGaN/GaN-Basis ist der schematisch in Abb. 2.10 dargestellte und in [26] beschriebene Gate-Injection-Transistor (GIT). Im Gegensatz zum HEMT wird beim GIT das Gate mit einer Akzeptor-dotierten AlGaN-Schicht angebunden, wodurch bereits ohne angelegte Gate-Source-Spannung das Potenzial der 2DEG-Zustände durch das im dotierten AlGaN niedriger liegende Fermi-Niveau angehoben wird. Der GIT kann durch Löcherinjektion in das Kanalgebiet bei höheren Gatespannungen im Bipolarmodus (ähnlich SiC-JFET) betrieben werden, was die Leitfähigkeit zusätzlich verbessert. Verarmungstyp-GaN-Transistoren aus dem Produktportfolio der Firmen Efficient Power Conversion Company sind seit 2009 sowie GaN-Systems und Panasonic seit 2014 verfügbar.

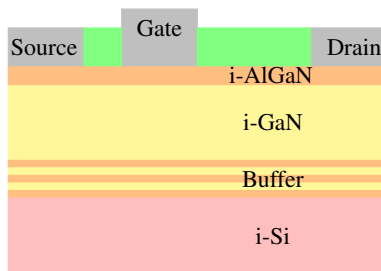


Abbildung 2.9: AlGaN/GaN-D-HEMT

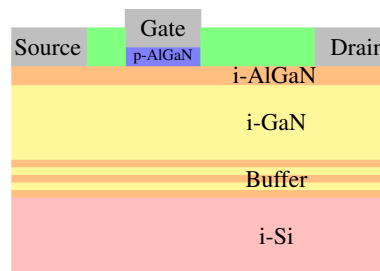


Abbildung 2.10: AlGaN/GaN-E-GIT

Trotz der lateralen Stromführung erreichen GaN-HEMTs ähnlich niedrige Werte des auf die Chipfläche bezogenen Durchlasswiderstands wie SiC-FETs mit vertikaler Struktur [16]. Des Weiteren können komplexe Leistungsteile, beispielsweise ein Dreiphasenwechselrichter [27], oder die gesamte Elektronik leistungselektronischer Systeme mit Leistungs- und Steuerungsteil auf einem Silizium-Chip integriert werden [28]. Der möglicherweise entscheidendste Vorteil gegenüber SiC-Transistoren besteht jedoch darin, dass laterale GaN-Transistoren epitaktisch auf Substraten aus Silizium gewachsen werden (siehe Abb. 2.9 und Abb. 2.10). Mit der bereits vorhandenen und ausgereiften Epitaxietechnologie könnten in Zukunft deutliche Kostenvorteile gegenüber SiC-Transistoren erreicht werden. Aktuelle GaN-on-Si Transistoren sind durch vertikale Leckströme [29] noch auf Durchbruchspannungen unterhalb von ca. 1000 V begrenzt. Für den Einsatz im Fahrtriebsschwandler eines Hybrid- oder Elektrofahrzeugs zeichnet sich aufgrund dieser Spannungsgrenze und der zu übertragenden Leistung dreistelliger Kilowatts insgesamt ein Trend hin zu SiC-Bauelementen ab. GaN-Transistoren sind hingegen eher für Peripheriegeräte mit einzelnen Kilowatt Nennleistung wie z.B. als Klimakompressorwechselrichter interessant. Daher wurde der Fokus dieser Arbeit auf SiC-Transistoren gelegt.

2.3 Wandlertopologien in der Forschung

Im Zusammenhang mit dem Trend zur Elektrifizierung des Individualverkehrs, aber auch mit der Marktfähigkeit der neuen Halbleiterbauelemente ist zu überprüfen, ob die etablierten Wandlertopologien geeignet sind oder ob neue Wandlertopologien deutliche Vorteile für dieses Einsatzgebiet bieten. Gerade in Verbindung mit der Verarmungstyp-Charakteristik von SiC-D-JFETs könnten Systeme vorteilhaft sein, bei denen im Normalbetrieb Halbbrücken durchleitend geschaltet werden.

In Hinblick auf die sehr große Anzahl an möglichen Schaltungsvarianten wurde die Betrachtung auf Wandler ohne galvanische Trennung mit einer möglichst geringen Komplexität d.h. geringen Anzahl an passiven und aktiven Bauelementen und auf dreiphasige Antriebssysteme eingeschränkt. Umfangreiche Untersuchungen zu galvanisch trennenden Gleichspannungswandlertypen, welche dem Wechselrichter vorgeschaltet werden können, sind bereits in den Dissertationen [30] und [31] durchgeführt worden. Im Rahmen dieser Arbeit wird diesbezüglich auf jene Literatur verwiesen. Eine umfassende Untersuchung rückwärtig gekoppelter dreiphasiger Wechsel- bzw. Gleichrichter und anderer dreiphasiger

Wechselstromrichter sowie eine Analyse hinsichtlich der Anwendbarkeit von Verarmungstyp-SiC-Halbleitern im Vergleich zu der etablierten Silizium-Technologie wurde bereits in [32] durchgeführt und anhand von Laboraufbauten belegt. Die Ergebnisse der letztgenannten Arbeit sind in Teilen auf die Anwendung im Fahrzeug übertragbar und liefern für die Wechselstromrichter die Erkenntnis, dass beim Einsatz unipolarer SiC-Leistungstransistoren Topologien mit Spannungszwischenkreis hinsichtlich der Effizienz und des Volumens passiver Komponenten vorteilhaft abschneiden. Nachfolgend ist zu überprüfen, ob diese Erkenntnisse bezüglich der Effizienz auch für Fahrtriebswandler zutreffen und welche Wandlertopologie hier am leistungsfähigsten ist.

Zunächst wird eine kurze Vorstellung und Bewertung genau der Wechselrichtersysteme vorangestellt, welche in Forschungsvorhaben als batterieelektrisch gespeiste Fahrtriebswandler vermehrt untersucht werden. Dabei wird zwischen spannungs- und stromeinprägenden Wandlern mit Hinblick auf die Ausgangsklemmen des Wechselrichters unterschieden.

Die nachfolgende analytische Ableitung der Belastungsgrößen und Bewertungsgrundlage bezüglich unipolarer Leistungshalbleiter aus SiC zur Einschätzung der Topologien sind im Rahmen dieser Arbeit entstanden und bisher in dieser speziellen Form nicht in der Literatur dokumentiert.

2.3.1 Dreiphasen-Wechselrichter mit Spannungszwischenkreis

Der dreiphasige Wechselrichter (3WR) in Abb. 2.11 weist eine Halbbrücke je Phase und damit drei unabhängig schaltbare Kommutierungszellen K_u, K_v und K_w auf. Der 3WR stellt als meistgenutzte Topologie das Referenzsystem für die folgenden Untersuchungen dar. Des Weiteren ist der dreiphasige Wechselrichter mit Spannungszwischenkreis der Grundbaustein weiterer Topologien.

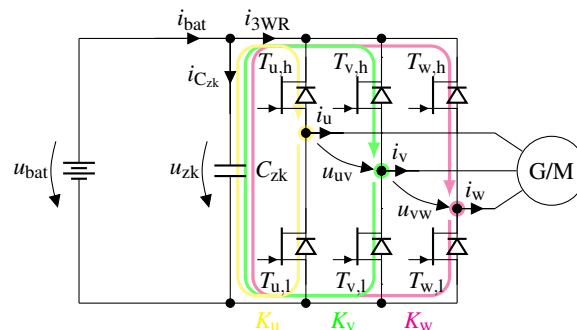


Abbildung 2.11: Dreiphasen-Wechselrichter mit Spannungszwischenkreis (3WR)

Der Zwischenkreis des Wechselrichters ist direkt mit der Hochspannungsbatterie des Fahrzeugs verbunden, weswegen die Zwischenkreisspannung u_{zk} der ladezustandsabhängigen Batteriespannung u_{bat} entspricht. Der Zwischenkreiskondensator des Wechselrichters ist hier nur erforderlich, um eine niederinduktive Kommutierungszelle zu generieren und die pulsformigen Eingangsströme der Halbbrücken batterieeseitig zu glätten. Am Ausgang des Wechselrichters kann mit der ausschließlich betrachteten Raumzeigermodulation (NSVM) aus [33] durch Vorgabe des Modulationsgrads m ein symmetrisches dreiphasiges Drehspannungssystem mit einer Leiter-Leiter-Amplitude gemäß

$$\hat{u}_{1,ll} = \hat{u}_{1,uv} = \hat{u}_{1,vw} = \hat{u}_{1,wu} = m \cdot \frac{\sqrt{3}}{2} \cdot u_{zk} = m \cdot \frac{\sqrt{3}}{2} \cdot u_{bat} \quad \text{mit} \quad 0 \leq m \leq \frac{2}{\sqrt{3}} \quad (2.7)$$

erzeugt werden. Somit ergibt sich für den Batteriewechselrichter bei $m = \frac{2}{\sqrt{3}}$ eine maximale Leiter-Leiter-Spannungsamplitude von u_{bat} .

Für Leistungshalbleiter mit ohmscher Charakteristik ist das Quadrat des Bauteileffektivstroms eine Größe, welche sich linear zu den Durchlassverlusten verhält. Das kumulierte Effektivstromquadrat aller Halbleiterschalter ist somit als ein erstes Bewertungskriterium zum Vergleich verschiedener Wandler-topologien hinsichtlich der Durchlassverluste unipolarer Bauelemente geeignet, solange Bauelemente der selben Sperrspannungsklasse verglichen werden. Vor allem für heutige SiC-Leistungshalbleiter kann dieses Kriterium als valide angenommen werden, da der Kanalwiderstand einen signifikanten Anteil am Gesamtwiderstand ausmacht und somit die Reduktion im Driftwiderstand bei geringeren Sperrspannungen vernachlässigbarer ist als bei Silizium.

Das Effektivstromquadrat, welches beispielsweise den bidirektional-stromleitfähigen Leistungstransistor $T_{u,h}$ des Wechselrichters belastet, kann nach dem in [34] vorgestellten Verfahren mittels

$$I_{T_{u,h}}^2 = \int_t^{t+\frac{1}{f_1}} dT_{u,h}(\tau) i_u^2(\tau) d\tau = \left(\frac{\hat{i}_{1,\text{str}}}{2} \right)^2 \quad \text{mit} \quad (2.8)$$

$$i_u(\tau) = \hat{i}_{1,\text{str}} \cos(2\pi f_1 \tau - \varphi) \quad ,$$

$$d_u(\tau) = d_{u,h}(\tau) = \frac{1 + \alpha_u(\tau) - \frac{\max(\alpha_u(\tau), \alpha_v(\tau), \alpha_w(\tau)) + \min(\alpha_u(\tau), \alpha_v(\tau), \alpha_w(\tau))}{2}}{2} \quad ,$$

$$\alpha_u(\tau) = m \cos(2\pi f_1 \tau) \quad ,$$

$$\alpha_v(\tau) = m \cos\left(2\pi f_1 \tau - \frac{2\pi}{3}\right) \quad \text{und}$$

$$\alpha_w(\tau) = m \cos\left(2\pi f_1 \tau - \frac{4\pi}{3}\right)$$

berechnet werden. Dabei stellt i_u den sinusförmigen Halbbrückenausgangsstrom der Frequenz f_1 , d_u den Tastgrad der Ausgangsspannung und α_u , α_v sowie α_w den Aussteuergrad der jeweiligen Phase dar.

Aufgrund der bidirektionalen Stromleitfähigkeit der Bauelemente bzw. der Punktsymmetrie der Bauteilkennlinie zum Ursprung ist zudem nachvollziehbar, dass dieses erwartete Ergebnis unabhängig vom Modulationsverfahren für alle Betriebsarten des Wandlersystems gelten muss, so lange ein sinusförmiger Ausgangsstrom eingepreßt wird. Durch die unipolaren Transistoren entsteht beim Wechselrichter beim Übertragen einer Scheinleistung S vom Gleichspannungs- in das Drehspannungssystem mit Gl. (2.7) somit ein kumuliertes Effektivstromquadrat nach

$$I_{3\text{WR}}^2 = \sum_{T \in 3\text{WR}} I_T^2 = 6 \left(\frac{\hat{i}_{1,\text{str}}}{2} \right)^2 = 6 \left(\frac{S}{\sqrt{3} \hat{u}_{1,\text{ll}}} \right)^2 = 2 \frac{S^2}{\hat{u}_{1,\text{ll}}^2}, \quad \text{mit} \quad u_{\text{bat}} \geq \hat{u}_{1,\text{ll}}. \quad (2.9)$$

Aus der maximalen Leiter-Leiter-Spannung mit $m = \frac{2}{\sqrt{3}}$ und Gl. (2.7) resultiert somit die minimale Transistoreffektivstrombelastung gemäß

$$I_{\text{ref}}^2 = \min(I_{3\text{WR}}^2) = 2 \frac{S^2}{\hat{u}_{\text{bat}}^2}, \quad (2.10)$$

welche im Folgenden als Bezugsgröße für den Topologievergleich herangezogen wird. Für die relative Effektivstrombelastung der Leistungshalbleiter kann beim 3WR somit das Gütekriterium $\xi_{c,3\text{WR}}$ nach

$$\xi_{c,3\text{WR}} = \frac{I_{3\text{WR}}^2}{I_{\text{ref}}^2} = \frac{\hat{u}_{\text{bat}}^2}{\hat{u}_{1,\text{ll}}^2}, \quad \text{mit} \quad u_{\text{bat}} \geq \hat{u}_{1,\text{ll}} \quad (2.11)$$

festgelegt werden.

Der Vergleich von zwei Designs soll die Arbeitsweise des Gütekriteriums nachfolgend verdeutlichen. Aufgrund der Normierung mit Gl. (2.10) wird bei allen Designs die eine gleiche Scheinleistung S im Drehspannungssystem zugrunde gelegt, z.B. ist dies bei zwei baugleichen elektrischen Maschinen mit unterschiedlicher Statorwindungszahl zutreffend. Im ersten Design kommt die elektrische Maschine mit höherer Statorwindungszahl zum Einsatz, welche bei einer Leiter-Leiter-Spannung von $\hat{u}_{1,II,D1} = 0,95 \cdot \hat{u}_{bat}$ die Nennzahl erreicht. Im zweiten Design wird die Maschine mit niedriger Statorwindungszahl verwendet, welche bei $\hat{u}_{1,II,D2} = 0,67 \cdot \hat{u}_{bat}$ die gleiche Nennzahl erreicht. Im ersten Design wird, trotz gleichem Systemarbeitspunkt bezüglich der Batterie und des mechanischen Systems, mit $\xi_{c,3WR,D1} = 1,11$ nur etwa das halbe Effektivstromquadrat des zweiten Designs mit $\xi_{c,3WR,D2} = 2,23$ auftreten. Weiterführend bedeutet dies bei der Verwendung von Wechselrichtern mit den gleichen unipolaren Halbbrücken, dass beim ersten Design nur halb so viele Durchlassverluste entstehen würden.

Neben den Durchlassverlusten sind bei der Bewertung der Wandlertopologien jedoch auch die Schaltverluste zu berücksichtigen. Zur Vereinfachung der Berechnung wird die Annahme einer hohen Schaltfrequenz getroffen, d.h. die Augenblickswerte von Kommutierungsstrom und -spannung entsprechen den Mittelwerten von Kommutierungszellenstrom und -spannung je Schaltperiode. Anzumerken ist, dass diese Annahme vor allem beim Design mit hohen Strom- bzw. Spannungswelligkeiten in Kombination mit stark unterschiedlichen Einschalt- und Ausschaltverlustenergien wie z.B. bei Hochspannungs-Kompensations-MOSFETs aus Silizium zu erheblichen Fehler bei der Verlustanalyse führen. Obwohl gerade diese Designs zu kompakten und Effizienten Wandlern führen können [4], wird der Einfluss zunächst zur Verringerung der Komplexität vernachlässigt.

Als weitere Vereinfachung wird die lineare Abhängigkeit der Schaltverluste vom kommutierten Strom und der zu sperrenden Spannung vorausgesetzt. Die Multiplikation der absoluten Mittelwerte von Spannung und Strom bzw. der „geschalteten Leistung“ \bar{p}_{K_u} in Kommutierungszelle K_u (gelb in Abb. 2.11) nach

$$\bar{p}_{K_u} = f_1 \int_t^{t+\frac{1}{f_1}} i_u(\tau) u_{zk}(\tau) d\tau = f_1 u_{zk} \int_t^{t+\frac{1}{f_1}} i_u(\tau) d\tau = u_{zk} \frac{2}{\pi} \hat{i}_{1,str} = u_{zk} \frac{2}{\pi} \frac{2S}{\sqrt{3} \hat{u}_{1,II}} = \frac{4S}{\sqrt{3}\pi} \frac{u_{bat}}{\hat{u}_{1,II}} \quad (2.12)$$

ist demnach ein gültiges Maß für die dazu proportional auftretenden Schaltverlustenergien. Analog zum Vorgehen bei der Effektivstrombelastung ist die kumulierte „geschaltete Leistung“ \bar{p}_{3WR} nach

$$\bar{p}_{3WR} = \sum_{K \in 3WR} \bar{p}_K = 3\bar{p}_{K_u} = \frac{4\sqrt{3}S}{\pi} \frac{u_{bat}}{\hat{u}_{1,II}} \quad (2.13)$$

eine topologieinhärente Größe, deren Minimum \bar{p}_{ref} gemäß

$$\bar{p}_{ref} = \min(\bar{p}_{3WR}) = \frac{4\sqrt{3}S}{\pi} \quad (2.14)$$

als Referenz herangezogen werden kann. Nachfolgend ist durch

$$\xi_{s,3WR} = \frac{\bar{p}_{3WR}}{\bar{p}_{ref}} = \frac{u_{bat}}{\hat{u}_{1,II}} \quad (2.15)$$

die relative Schaltverlustenergieentwicklung des 3WR mit dem Gütekriterium $\xi_{s,3WR}$ beschrieben.

In diesem Abschnitt ist eine Methode zur Ermittlung von Gütefunktionen der Effektivstrombelastung und Schaltverlustenergie für Wandlertopologien beim Einsatz unipolarer Leistungshalbleiter beschrieben und auf den Dreiphasen-Wechselrichter angewendet worden. In den nachfolgenden Abschn. 2.3.2 bis Abschn. 2.3.5 wird diese Methode auf weitere Wandlertopologien angewendet und in Abschn. 2.3.5 ausgewertet.

2.3.2 Hochsetzsteller und Dreiphasen-Wechselrichter mit Spannungszwischenkreis

Beim Hochsetzsteller und Dreiphasen-Wechselrichter (H3WR) in Abb. 2.12 wird die Batterie durch eine Speicherdrossel mit zusätzlicher Halbbrücke an den Zwischenkreis angeschlossen. Begründet durch deren Wechselwirkung wird bewusst keine gesonderte Betrachtung von Wechselrichter und Gleichspannungswandler durchgeführt, sondern stets der gesamte Antriebsumrichter als Einheit mit einem kombinierten Steuerverfahren betrachtet.

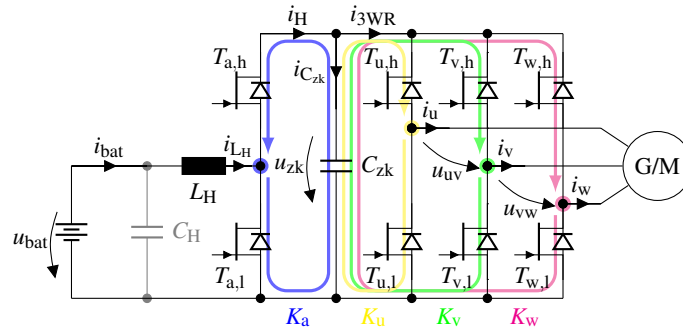


Abbildung 2.12: Hochsetzsteller-Dreiphasen-Wechselrichter mit Spannungszwischenkreis (H3WR)

Durch den induktiven Energiespeicher und die zusätzliche Kommutierungszelle K_a ist es nun möglich, den Zwischenkreis geregelt auf höhere Spannungen als die Batteriespannung aufzuladen. Hierbei können in der engeren Betrachtung zunächst Batteriespannungsschwankungen ausgeglichen werden, im Weiteren aber auch noch höhere Zwischenkreisspannungen erreicht und somit ggf. bei hohen Spannungen vorteilhafte Halbleitertechnologien besser ausgenutzt werden. Das stationäre Verhältnis der Batteriespannung und der Zwischenkreisspannung kann durch die bekannte Steuerkennlinie des Hochsetzstellers in

$$\frac{u_{\text{bat}}}{u_{\text{zk}}} = d_{T_{b,h}} = 1 - d_{T_{b,l}} \quad \text{mit} \quad u_{\text{bat}} \leq u_{\text{zk}} \quad (2.16)$$

für den kontinuierlichen Betrieb mit dem Tastgrad des oberen $d_{T_{b,h}}$ bzw. unteren $d_{T_{b,l}}$ Transistors eingestellt werden. Hinsichtlich der Schaltfrequenzen können Wechselrichter und Hochsetzsteller unabhängig voneinander betrieben werden, weswegen in

$$\zeta_a = \frac{f_s(K_a)}{f_s(K_u, K_v, K_w)} \quad (2.17)$$

das Verhältnis der Schaltfrequenzen als neue Variable hinzugefügt werden muss. Hierbei sei angemerkt, dass der bekannte Lückbetrieb bzw. diskontinuierliche Betrieb zwar bei Teillast zur Verlustverminderung eingesetzt werden könnte, jedoch für die Dimensionierung der Leistungshalbleiter bei Vollast nicht relevant ist. Das System arbeitet bei maximaler Spannungszeitfläche und somit auch im Vollastbetrieb mindesten an der Lückgrenze, da andernfalls die Induktivität nicht optimal genutzt wird, worauf in Abschn. 7.2 eingegangen wird. Die bestmögliche Ausnutzung des Systems hinsichtlich der Halbleiterbauelemente wird im Hochsetzbetrieb genau dann erreicht, wenn der Wechselrichter mit maximalem Modulationsgrad und das Wandlersystem entsprechend bei minimaler Zwischenkreisspannung betrieben wird. Das kumulierte Effektivstromquadrat mit

$$I_{\text{H3WR}}^2 = \left(\frac{S \cos(\varphi)}{u_{\text{bat}}} \right)^2 d_{T_{b,l}} + \left(\frac{S \cos(\varphi)}{u_{\text{bat}}} \right)^2 d_{T_{b,h}} + 2 \frac{S^2}{\hat{u}_{1,ll}^2} = \frac{S^2 \cos^2(\varphi)}{u_{\text{bat}}^2} + 2 \frac{S^2}{\hat{u}_{1,ll}^2} \quad (2.18)$$

berechnet werden.

Die mittlere geschaltete Leistung kann mit

$$\bar{P}_{\text{H3WR}} = \begin{cases} \zeta_a \frac{S \cos(\varphi) u_{zk}}{u_{\text{bat}}} + \frac{4\sqrt{3}S}{\pi} \frac{u_{zk}}{\hat{u}_{1,\text{ll}}} \Big|_{u_{zk}=\hat{u}_{1,\text{ll}}} = \zeta_a \frac{S \cos(\varphi) \hat{u}_{1,\text{ll}}}{u_{\text{bat}}} + \frac{4\sqrt{3}S}{\pi}, & u_{\text{bat}} < \hat{u}_{1,\text{ll}} \\ \frac{4\sqrt{3}S u_{\text{bat}}}{\pi \hat{u}_{1,\text{ll}}}, & u_{\text{bat}} \geq \hat{u}_{1,\text{ll}} \end{cases} \quad (2.19)$$

bestimmt werden, wobei $\cos(\varphi)$ den Leistungsfaktor der Grundschiwingung der am Wechselrichter angeschlossenen Last darstellt. Daraus folgen die Gütekriterien des Hochsetzsteller-Wechselrichters gemäß

$$\xi_{c,\text{H3WR}} = \frac{\cos^2(\varphi)}{2} + \frac{u_{\text{bat}}^2}{\hat{u}_{1,\text{ll}}^2} \quad \text{und} \quad (2.20)$$

$$\xi_{s,\text{H3WR}} = \begin{cases} 1 + \zeta_a \frac{\pi \cos(\varphi) \hat{u}_{1,\text{ll}}}{4\sqrt{3}} \frac{\hat{u}_{1,\text{ll}}}{u_{\text{bat}}}, & u_{\text{bat}} < \hat{u}_{1,\text{ll}} \\ \frac{u_{\text{bat}}}{\hat{u}_{1,\text{ll}}}, & u_{\text{bat}} \geq \hat{u}_{1,\text{ll}}. \end{cases} \quad (2.21)$$

Der Eingangsstrom des Wandlers weist einen dreieckigen Zeitverlauf mit Gleichanteil auf, weswegen je nach Stromwelligkeit und Batterieanforderungen ein Eingangskondensator mit geringer Kapazität und Wechselstrombelastbarkeit notwendig sein kann. Die pulsformigen Ströme des Wechselrichters und des Hochsetzstellers überlagern sich im gemeinsamen Zwischenkreis was im Vergleich zum normalen 3WR ohne Steuerungs- und Designmaßnahmen zu einer höheren Effektivstrombelastung und Spannungswelligkeit führen kann (siehe Abschn. 3.2.2).

2.3.3 Tief-Hochsetzsteller und Dreiphasen-Wechselrichter mit Spannungszwischenkreis

Der Tief-Hochsetzsteller und Dreiphasen-Wechselrichter (TH3WR) in Abb. 2.13 folgt dem gleichen Funktionsprinzip wie der Hochsetzsteller mit der Option die Zwischenkreisspannung unter das Batteriespannungsniveau abzusenken.

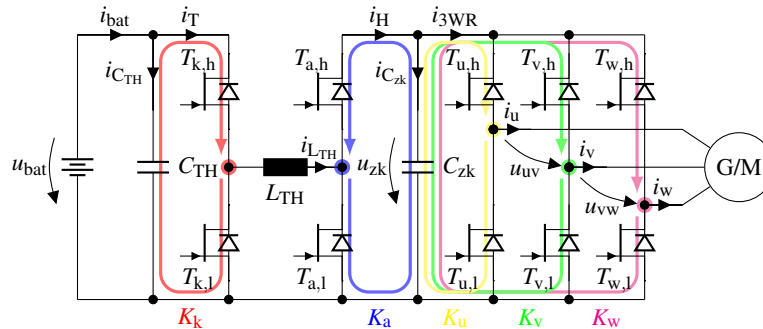


Abbildung 2.13: Hochtiefssetzsteller-Dreiphasen-Wechselrichter mit Spannungszwischenkreis (TH3WR)

Bezüglich der Steuerung des Systems wird vereinfachend angenommen, dass im Tiefsetzbetrieb nur die Halbbrücke k geschaltet wird und der Transistor $T_{a,h}$ dauerhaft durchleitet und im Hochsetzbetrieb nur die Halbbrücke a geschaltet wird und der Transistor $T_{k,h}$ dauerhaft durchleitet. Diese Annahme aus [35] und [31] ist energetisch sinnvoll, da Schaltverluste in jeweils einer Brücke vermieden werden können. Daher gilt neben der Gl. (2.16) für den Hochsetzstellerbetrieb auch noch

$$\frac{u_{\text{bat}}}{u_{zk}} = d_{T_{k,h}} = 1 - d_{T_{k,l}} \quad \text{mit} \quad u_{\text{bat}} > u_{zk}. \quad (2.22)$$

für den Tiefsetzstellerbetrieb.

Analog zu Gl. (2.17) gilt für das Schaltfrequenzverhältnis zwischen Wechselrichter und Tiefsetzsteller zusätzlich

$$\zeta_k = \frac{f_s(K_k)}{f_s(K_u, K_v, K_w)}. \quad (2.23)$$

Komplexere Steuerverfahren mit beidseitig geschalteten Brücken wie z.B. die CF-ZVS-M²) aus [31] werden im Rahmen dieser Arbeit nicht berücksichtigt. Analog zum Hochsetzsteller wird das Effektivstromquadrat durch

$$I_{\text{TH3WR}}^2 = \begin{cases} 2 \left(\frac{S \cos(\varphi)}{u_{zk}} \right)^2 + 2 \frac{S^2}{\hat{u}_{1,11}^2} \Big|_{u_{zk}=\hat{u}_{1,11}} & = 2 \frac{S^2 \cos^2(\varphi)}{\hat{u}_{1,11}^2} + 2 \frac{S^2}{\hat{u}_{1,11}^2}, & u_{\text{bat}} \geq \hat{u}_{1,11} \\ 2 \frac{S^2 \cos^2(\varphi)}{u_{\text{bat}}^2} + 2 \frac{S^2}{\hat{u}_{1,11}^2}, & & u_{\text{bat}} < \hat{u}_{1,11} \end{cases} \quad (2.24)$$

und die geschaltete Leistung durch

$$\bar{P}_{\text{TH3WR}} = \begin{cases} \zeta_k \frac{S \cos(\varphi) u_{\text{bat}}}{u_{zk}} + \frac{4\sqrt{3}S}{\pi} \frac{u_{zk}}{\hat{u}_{1,11}} \Big|_{u_{zk}=\hat{u}_{1,11}} & = \zeta_k \frac{S \cos(\varphi) u_{\text{bat}}}{\hat{u}_{1,11}} + \frac{4\sqrt{3}S}{\pi}, & u_{\text{bat}} \geq \hat{u}_{1,11} \\ \zeta_a \frac{S \cos(\varphi) u_{zk}}{u_{\text{bat}}} + \frac{4\sqrt{3}S}{\pi} \frac{u_{zk}}{\hat{u}_{1,11}} \Big|_{u_{zk}=\hat{u}_{1,11}} & = \zeta_a \frac{S \cos(\varphi) \hat{u}_{1,11}}{u_{\text{bat}}} + \frac{4\sqrt{3}S}{\pi}, & u_{\text{bat}} < \hat{u}_{1,11} \end{cases} \quad (2.25)$$

abgebildet. Folglich sind die Gütekriterien der Hochtiefsetzsteller-Wechselrichtertopologie durch Gl. (2.26) und Gl. (2.27) festgelegt.

$$\xi_{c,\text{TH3WR}} = \begin{cases} (1 + \cos^2(\varphi)) \frac{u_{\text{bat}}^2}{\hat{u}_{1,11}^2}, & u_{\text{bat}} \geq \hat{u}_{1,11} \\ \cos^2(\varphi) + \frac{u_{\text{bat}}^2}{\hat{u}_{1,11}^2}, & u_{\text{bat}} < \hat{u}_{1,11} \end{cases} \quad (2.26)$$

$$\xi_{s,\text{TH3WR}} = \begin{cases} 1 + \zeta_k \frac{\pi \cos(\varphi)}{4\sqrt{3}} \frac{u_{\text{bat}}}{\hat{u}_{1,11}}, & u_{\text{bat}} \geq \hat{u}_{1,11} \\ 1 + \zeta_a \frac{\pi \cos(\varphi)}{4\sqrt{3}} \frac{\hat{u}_{1,11}}{u_{\text{bat}}}, & u_{\text{bat}} < \hat{u}_{1,11} \end{cases} \quad (2.27)$$

Für den TH3WR wird im Vergleich zum H3WR neben der zusätzlichen Halbbrücke auch ein Eingangskondensator C_{HT} zur Erzeugung der niederinduktiven Kommutierungszelle K_k und zum Glätten der im Tiefsetzbetrieb pulsformigen Eingangsströme benötigt.

2.3.4 Dreiphasen-Wechselrichter mit Impedanzzwischenkreis

Der Impedanzzwischenkreis ist ein in [36] vorgeschlagenes verallgemeinerbares Energiespeicherkonzept, welches in vielen Umrichtertypen und Anwendungen der Leistungselektronik zum Einsatz gebracht werden könnte. Als Besonderheit für diese in Abb. 2.14 spannungseinprägende Topologien werden im Hochsetzbetrieb die Halbbrücken des Wechselrichters durchleitend geschaltet, weswegen eine besondere Eignung für Verarmungstyp-Bauelemente vermutet wird.

Im Wechselrichterbetrieb ist der Transistor T_z leitend, der Wechselrichter wird mit Raumzeigermodulation betrieben, die Kondensatoren sind auf die Batteriespannung aufgeladen und die Induktivitäten führen jeweils einen Strom welcher gemäß

$$\bar{u}_{C_z} = \bar{u}_{C_{z1}} = \bar{u}_{C_{z2}} = u_{\text{bat}}, \quad \hat{u}_{1,11} = \frac{\sqrt{3}}{2} \cdot m \cdot u_{\text{bat}} \quad \text{und} \quad \bar{i}_{K_z} = \bar{i}_{K_{z1}} = \bar{i}_{K_{z2}} = \frac{S \cos(\varphi)}{u_{\text{bat}}} \quad (2.28)$$

dem Quotienten aus abgegebener Wirkleistung und Batteriespannung entspricht.

²)Constant Frequency Zero Voltage Switching Modulation

Für den Hochsetzbetrieb des Z3WR kann die gesamte Wechselrichterbrücke als ein einziges Leistungshalbleiterbauelement verstanden werden, welches zusammen mit dem Transistor T_z im gleichen Kommutierungskreis K_z angeordnet ist. Somit ist es möglich die Wechselrichterbrücke durchleitend zu schalten, sobald der Transistor T_z sperrt. Anzumerken ist hierbei, dass der im Hochsetzbetrieb geschaltete Zustand mit kurzgeschlossener Wechselrichterbrücke und dem sperrenden Transistor T_z die elektrische Maschine und die Batterie energetisch entkoppelt, d.h. sowohl die elektrische Maschine als auch die Batterien nehmen weder Energie auf noch geben sie Energie an die Energiespeicher des Wandlersystems ab. Mit durchgeschalteter Wechselrichterbrücke liegt die Kondensatorspannung an den Induktivitäten und lädt diese auf. Bei leitendem Transistor T_z und sperrend bzw. normal betriebener Wechselrichterbrücke liegt dann die Differenz aus Batteriespannung und der jeweiligen Kondensatorspannung an der jeweiligen Induktivität und entlädt diese wieder.

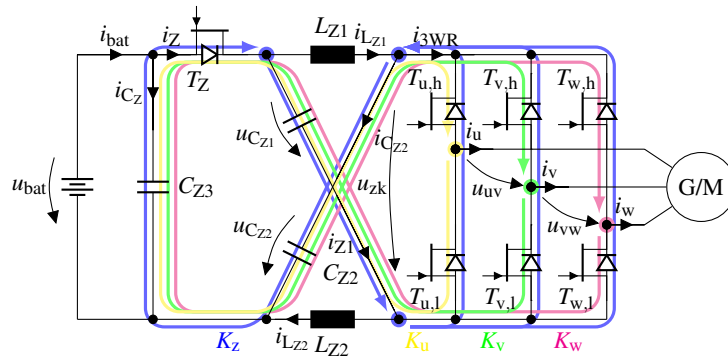


Abbildung 2.14: Dreiphasen-Wechselrichter mit Impedanzzwischenkreis Z3WR

Ein Überblick über gängige Steuerverfahren für den Z3WR kann aus [37] gewonnen werden. Für die folgenden Betrachtungen wurde das in [38] vorgeschlagene Maximum Constant Boost Control Steuerverfahren (MCBC) zugrunde gelegt, da hierbei keine niederfrequente Harmonische der Wechselrichtergrundfrequenz im Drosselstrom auftritt. Weitere Steuerverfahren wie Simple Boost Control (SBC) oder Maximum Boost Control (MBC) aus [37] werden aufgrund der angedeuteten Nachteile nicht berücksichtigt. Durch die Anwendung des MCBC-Steuerverfahrens gilt

$$\bar{u}_{C_z} = \hat{u}_{1,1l}, \quad \hat{u}_{1,1l} = \frac{\sqrt{3}}{2} \cdot \frac{1}{\sqrt{3m-1}} \cdot \bar{u}_{bat} \quad \text{und} \quad \bar{i}_{K_z} = \frac{S \cos(\varphi)}{u_{bat}} \quad (2.29)$$

für den Hochsetzbetrieb des Z3WR. Der Transistor T_z wird mit dem Wechselrichter synchronisiert getaktet und wird zweimal je Wechselrichtertaktperiode für eine konstante Dauer gesperrt. Das kumulierte Tastverhältnis des Transistors T_z bzw. des Durchleitens der Wechselrichterbrücke T_{3WR} gemessen an einer Wechselrichterperiode kann durch

$$\frac{\hat{u}_{1,1l}}{2\hat{u}_{1,1l} - \bar{u}_{bat}} = d_{T_z} \quad \text{bzw.} \quad \frac{\hat{u}_{1,1l} - \bar{u}_{bat}}{2\hat{u}_{1,1l} - \bar{u}_{bat}} = d_{T_{3WR}} \quad (2.30)$$

abgebildet werden. Während der Transistor T_z durchleitet, führt er den Strom $i_z = 2i_{L_z} - i_{3WR}$. Alle Transistoren des Wechselrichters führen je $2/3i_{L_z}$ zusätzlich zum Ausgangsstrom bei durchleitender Wechselrichterbrücke. Das kumulierte Effektivstromquadrat beim Wechselrichter mit Impedanzzwischenkreis kann daraus abgeleitet und durch

$$I_{Z3WR}^2 = \begin{cases} S^2 \left(\frac{4\cos(\varphi)^2}{\hat{u}_{1,1l}^2} - \frac{4\cos(\varphi)^2}{u_{bat}^2} + \frac{8}{3\pi} \frac{\hat{u}_{1,1l} \cos(\varphi)^2}{u_{bat}^3} + \frac{2}{3\pi} \frac{\hat{u}_{1,1l}}{u_{bat}^3} + \frac{2}{u_{bat}^2} \right) & u_{bat} \geq u_{1,1l} \\ \frac{S^2}{2\hat{u}_{1,1l} - u_{bat}} \left(\cos(\varphi)^2 \left(-\frac{20}{3u_{bat}} + \frac{20\hat{u}_{1,1l}}{3u_{bat}^2} + \frac{8}{3\pi u_{1,1l}} \right) - \frac{4u_{bat}}{\hat{u}_{1,1l}^2} + \frac{6}{\hat{u}_{1,1l}} + \frac{2}{3\pi \hat{u}_{1,1l}} \right) & u_{bat} < u_{1,1l} \end{cases} \quad (2.31)$$

berechnet werden.

Für die Schaltverluste wurde angenommen, dass bei der Kommutierung im Hochsetzbetrieb alle Transistoren gleichzeitig schalten und sich der Strom gleichmäßig aufteilt. Bei positivem Drosselstrom i_{L_z} ist der Transistor bzw. dessen intrinsische Diode als fremd kommutierter Halbleiterschalter und die Wechselrichterbrücke als selbst kommutierter Halbleiterschalter anzusehen und bei negativem Drosselstrom entsprechend umgekehrt. Durch das Steuerverfahren kommutiert die Wechselrichterbrücke beim Wechsel vom aktiven Zustand zum Nullzustand den Strom $2i_{L_z}$ auf und $2i_{L_z} - i_{3WR}$ ab, beim Wechsel von Nullzustand zu aktivem Zustand den Strom $2i_{L_z}$ ab und $2i_{L_z} - i_{3WR}$ auf. Der Transistor T_Z schaltet als das komplementäre Halbleiterbauelement jeweils den gleichen Strom. Beim Wechsel zwischen zwei aktiven Zuständen wird kein Durchleiten der Halbbrücke initialisiert, weswegen hier wie im Normalbetrieb z.B. der Phasenstrom i_v von $T_{v,h}$ auf $T_{v,l}$ kommutiert. Die Spannung in der Kommutierungszelle ist bei allen Kommutierungsvorgängen $2\hat{u}_{1,ll} - u_{bat}$. Mit diesen Erkenntnissen kann für die „geschaltete Leistung“

$$\bar{p}_{Z3WR} = \begin{cases} \frac{4\sqrt{3}}{\pi} \frac{S u_{bat}}{\hat{u}_{1,ll}} & u_{bat} \geq u_{1,ll} \\ \frac{4\sqrt{3}S}{\pi} \left(\cos(\varphi) \left(\frac{\sqrt{3}\pi\hat{u}_{1,ll}}{u_{bat}} - 2\sqrt{3} - \frac{\sqrt{3}\pi}{2} + \frac{\sqrt{3}u_{bat}}{\hat{u}_{1,ll}} \right) + \left(1 - \frac{u_{bat}}{\hat{u}_{1,ll}} \right) \right) & u_{bat} < u_{1,ll} \\ \frac{4\sqrt{3}S}{\pi} \left(\cos(\varphi) \left(\frac{\sqrt{3}\pi\hat{u}_{1,ll}}{u_{bat}} - \sqrt{3} - \frac{\sqrt{3}\pi}{2} + \frac{\sqrt{3}u_{bat}}{2\hat{u}_{1,ll}} \right) + \sqrt{1 - \cos^2(\varphi)} \left(1 - \frac{u_{bat}}{\hat{u}_{1,ll}} \right) \right) & \begin{matrix} \cos(\varphi) \geq \frac{\sqrt{3}}{2} \\ \frac{1}{2} \leq \cos(\varphi) < \frac{\sqrt{3}}{2} \end{matrix} \end{cases} \quad (2.32)$$

formuliert werden. Als Gütekriterien ergeben sich für den Z3WR dann die Größen gemäß

$$\xi_{c,Z3WR} = \begin{cases} \frac{2\cos(\varphi)^2 u_{bat}^2}{\hat{u}_{1,ll}^2} - 2\cos(\varphi)^2 + \frac{4}{3\pi} \frac{\hat{u}_{1,ll} \cos(\varphi)^2}{u_{bat}} + \frac{1}{3\pi} \frac{\hat{u}_{1,ll}}{u_{bat}} + 1 & u_{bat} \geq u_{1,ll} \\ \frac{u_{bat}^2}{2\hat{u}_{1,ll} - u_{bat}} \left(\cos(\varphi)^2 \left(-\frac{10}{3u_{bat}} + \frac{10\hat{u}_{1,ll}}{3u_{bat}^2} + \frac{4}{3\pi u_{1,ll}} \right) - \frac{2u_{bat}}{\hat{u}_{1,ll}^2} + \frac{3}{\hat{u}_{1,ll}} + \frac{1}{3\pi\hat{u}_{1,ll}} \right) & u_{bat} < u_{1,ll} \end{cases} \quad (2.33)$$

für die Effektivstrombelastung und nach

$$\xi_{s,Z3WR} = \begin{cases} \frac{u_{bat}}{\hat{u}_{1,ll}} & u_{bat} \geq u_{1,ll} \\ \cos(\varphi) \left(\frac{\sqrt{3}\pi\hat{u}_{1,ll}}{u_{bat}} - 2\sqrt{3} - \frac{\sqrt{3}\pi}{2} + \frac{\sqrt{3}u_{bat}}{\hat{u}_{1,ll}} \right) + \left(1 - \frac{u_{bat}}{\hat{u}_{1,ll}} \right) & u_{bat} < u_{1,ll} \\ \cos(\varphi) \left(\frac{\sqrt{3}\pi\hat{u}_{1,ll}}{u_{bat}} - \sqrt{3} - \frac{\sqrt{3}\pi}{2} + \frac{\sqrt{3}u_{bat}}{2\hat{u}_{1,ll}} \right) + \sqrt{1 - \cos^2(\varphi)} \left(1 - \frac{u_{bat}}{\hat{u}_{1,ll}} \right) & \begin{matrix} \cos(\varphi) \geq \frac{\sqrt{3}}{2} \\ \frac{1}{2} \leq \cos(\varphi) < \frac{\sqrt{3}}{2} \end{matrix} \end{cases} \quad (2.34)$$

für die Schaltverlustenergien.

2.3.5 Dreiphasen-Wechselrichter mit Stromzwischenkreis

In Abb. 2.15 ist der in [39] für Fahrtriebsanwendungen vorgeschlagene Dreiphasen-Wechselrichter mit Stromzwischenkreis (2QI3WR) dargestellt. Um eine Rückspeisefähigkeit des Stromzwischenkreiswechselrichters zu ermöglichen muss der Batterie mindestens ein Zweiquadrantensteller (2Q) nachgeschaltet werden. Werden als Leistungsschalter ausschließlich FET-Transistoren eingesetzt, entsteht der in Abb. 2.16 dargestellte und im Folgenden betrachtete Vierquadrantensteller-Stromzwischenkreis-Wechselrichter (4QI3WR). Im Gegensatz zum 2QI3WR ist beim 4QI3WR das Gütekriterium ξ_c des kumulierte Effektivstrom für die Durchlassverluste anwendbar. Es wird angenommen, dass beim Vierquadrantensteller entweder die Transistoren $T_{k,h}$ und $T_{1,l}$ oder $T_{k,l}$ und $T_{1,h}$ simultan eingeschaltet sind. Der Mittelwert der Stromzwischenkreis-Eingangsspannung kann zwischen $+u_{bat}$ und $-u_{bat}$ nach der Steuerkennlinie in

$$\frac{\bar{u}_{2Q}}{u_{bat}} = \frac{\bar{u}_{4Q}}{u_{bat}} = -1 + 2 \cdot d_{T_{k,h}} = 1 - 2 \cdot d_{T_{k,l}} \quad (2.35)$$

durch den Tastgrad $d_{T_{k,h}}$ eingestellt werden.

Analog zu Gl. (2.17) kann

$$\zeta_{k,l} = \frac{f_s(K_k, K_l)}{f_s(K_u, K_v, K_w)} \quad (2.36)$$

für das Verhältnis der Schaltfrequenzen von Vierquadrantensteller zu Wechselrichter formuliert werden. Der Zwischenkreisstrom ändert bei diesem Wandler seine Flussrichtung im Betrieb nicht weswegen der Mittelwert der an den Zwischenkreis angebrachten Spannungen die Polarität wechseln muss, um die Richtung des Energiefluss umzukehren.

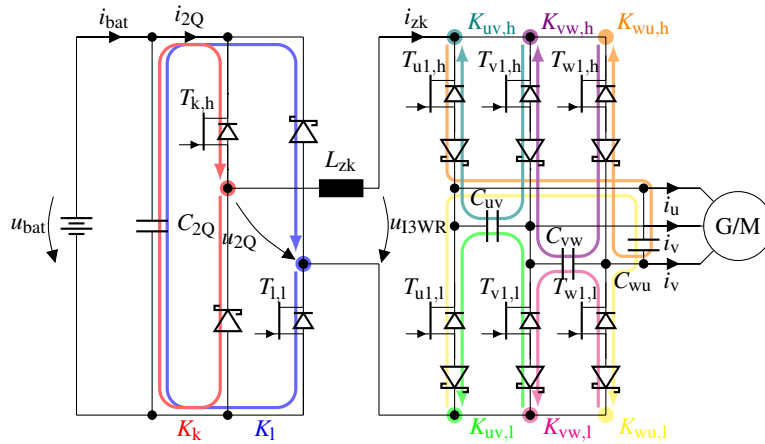


Abbildung 2.15: Zweiquadrantensteller-Dreiphasen-Wechselrichter mit Stromzwischenkreis (2QI3WR)

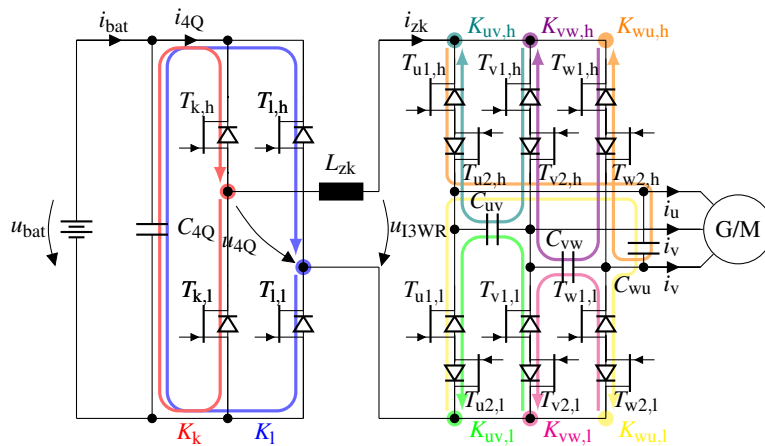


Abbildung 2.16: Vierquadrantensteller-Dreiphasen-Wechselrichter mit Stromzwischenkreis (4QI3WR)

Beim Wechselrichter fließen die Verschiebestrome zur Umladung der Bauelemente während des Kommutierungsvorgangs durch die Kondensatoren an den Ausgängen der Halbbrücke, damit wird immer auf ein Bauelement der benachbarten Halbbrücke kommutiert. Bei diesem Wandler-System ist der durchgeschaltete Zustand einer Halbbrücke am Ausgang unkritisch und muss sogar im Normalbetrieb auftreten, da der Stromfluss aufgrund des Stromzwischenkreises nicht unterbrochen werden kann. Mit der in [40] unter anderem beschriebenen Fullwave Symmetrical Modulation (FSM) kommutiert der Wechselrichter den Zwischenkreisstrom dreimal je Schaltperiode. Die Spannungen in den Kommutierungszellen werden dabei jeweils durch die Kondensatoren am Ausgang eingepreßt. Dabei entsteht eine mittlere Wechselrichtereingangsspannung u_{I3WR} gemäß

$$u_{I3WR} = \frac{\sqrt{3}}{2} \cdot \hat{u}_{1,II} \cdot m \cdot \cos(\varphi) \quad \text{mit} \quad 0 \geq m \leq 1 \quad \text{und} \quad m = \frac{\hat{i}_{1, \text{str}}}{i_{zk}} \quad (2.37)$$

Im stationären Betriebsfall muss diese immer der Vierquadrantensteller-Ausgangsspannung u_{4Q} entsprechen. Für die Betriebsstrategie des Wandlersystems wird angenommen, dass der Wechselrichter immer mit maximalem Modulationsgrad betrieben wird und der Vierquadrantensteller die Zwischenkreisspannung anpasst bis die Gegenspannung u_{I3WR} die Höhe der Batteriespannung u_{bat} erreicht. Erst bei einer Spannungsamplitude der verketteten Spannung $\hat{u}_{1,II}$ welche eine noch höhere Eingangsspannung erfordert wird der Modulationsgrad zurückgenommen. Mit diese Annahmen kann das Effektivstromquadrat der Halbleiterbelastung nach

$$I_{I3WR}^2 \begin{cases} 6 \left(\frac{2S}{\sqrt{3}\hat{u}_{1,II}} \right)^2 = 8 \frac{S^2}{\hat{u}_{1,II}^2} & u_{bat} \geq \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \\ 6 \frac{S^2 \cos^2(\varphi)}{u_{bat}^2} & u_{bat} < \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \end{cases} \quad (2.38)$$

berechnet werden. Die mittlere geschaltete Leistung wird nachfolgend durch

$$\bar{p}_{I3WR} = \begin{cases} \frac{2S}{\sqrt{3}\hat{u}_{1,II}} \left(\zeta_{a,b} u_{bat} + \frac{6 \cos(\varphi) \hat{u}_{1,II}}{\pi} \right) = \frac{2S}{\sqrt{3}} \left(\zeta_{k,l} \frac{u_{bat}}{\hat{u}_{1,II}} + \frac{6 \cos(\varphi)}{\pi} \right) & u_{bat} \geq \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \\ \frac{S \cos(\varphi)}{u_{bat}} \left(\frac{6 \cos(\varphi) \hat{u}_{1,II}}{\pi} \right) = \frac{6S \cos^2(\varphi) \hat{u}_{1,II}}{\pi u_{bat}} & u_{bat} < \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \end{cases} \quad (2.39)$$

beschrieben. Abschließend sind für den Q4I3WR daraus die Gütekriterien der Durchlassverluste nach

$$\xi_{c,I3WR} = \begin{cases} 4 \frac{u_{bat}^2}{\hat{u}_{1,II}^2} & u_{bat} \geq \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \\ 3 \cos^2(\varphi) & u_{bat} < \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \end{cases} \quad (2.40)$$

$$(2.41)$$

und der Schaltverlustenergie nach

$$\xi_{s,I3WR} = \begin{cases} \cos(\varphi) + \zeta_{k,l} \frac{\pi u_{bat}}{6 \hat{u}_{1,II}} & u_{bat} \geq \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \\ \frac{\sqrt{3} \cos^2(\varphi) \hat{u}_{1,II}}{2 u_{bat}} & u_{bat} < \frac{\sqrt{3}}{2} \hat{u}_{1,II} \cos(\varphi) \end{cases} \quad (2.42)$$

mittels Normierung abgeleitet.

2.3.6 Bewertung der Wandlertopologien

Anhand der in den vorangestellten Abschnitten jeweilig für die Wandlertopologien:

- 3WR Dreiphasen-Wechselrichter,
- H3WR Hochsetzsteller und Dreiphasen-Wechselrichter,
- TH3WR Tief-Hochsetzsteller und Dreiphasen-Wechselrichter,
- Z3WR Dreiphasen-Wechselrichter mit Impedanzzwischenkreis und
- 4QI3WR Vierquadrantensteller und Dreiphasen-Wechselrichter mit Stromzwischenkreis

abgeleiteten Gütekriterien kann nun hinsichtlich der Halbleiterbelastungsgrößen eine generische Topologiebewertung durchgeführt werden. In Abb. 2.17 sind zu diesem Zweck das Kriterium für die Durchlassverlustbelastung ξ_c und die Schaltverlustbelastung ξ_s für alle Wandlersysteme bei $\cos(\varphi) = 1$ und $\zeta = \zeta_a = \zeta_k = \zeta_{k,l} = 1$ dargestellt.

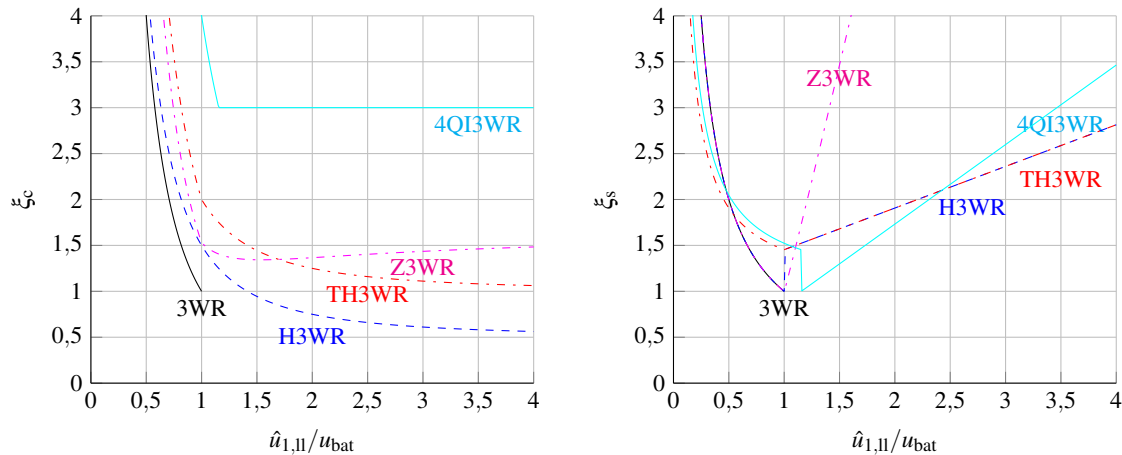


Abbildung 2.17: Belastungsgrößen für 3WR, H3WR, TH3WR, Z3WR und 4QI3WR bei $\cos(\varphi) = 1$ und $\zeta = 1$

Topologievergleich:

Bei den Durchlassverlusten ist der 3WR die geeignetste Topologie für den Tiefsetzspannungsbereich wo $u_{\text{bat}} \geq \hat{u}_{1,II}$ gilt. In der normierten Darstellung wurde der optimal ausgenutzte 3WR bei $u_{\text{bat}} = \hat{u}_{1,II}$ als Referenzgröße herangezogen, wodurch sich hier ein minimales $\xi_{s,3WR}$ von eins ergibt. Nachfolgend sind im niedrigen Spannungsbereich die Topologien H3WR sowie Z3WR, TH3WR und 4QI3WR in dieser Reihenfolge zu bewerten.

Im Hochsetzbetrieb ist der Hochsetzsteller-Wechselrichter die Variante mit dem geringsten Effektivstrom und erreicht absolut sogar niedrigere Belastungswerte als die Referenz. Die Belastung des H3WR verläuft für große Spannungsverhältnisse von Leiter-Leiter-Spannungsamplitude $\hat{u}_{1,II}$ zu Batteriespannung u_{bat} asymptotisch dem Wert $\cos^2(\varphi)/2$ entgegen. Nachfolgend ist der Tief-Hochsetzsteller-Wechselrichter einzustufen, welcher sich asymptotisch dem Wert $\cos^2(\varphi)$ annähert und somit bei dem gewählten Leistungsfaktor von eins keine Verbesserung gegenüber dem 3WR Wechselrichter ermöglicht. Im Spannungsbereich $\hat{u}_{1,II}/u_{\text{bat}} \leq 1,67$ ist der Z3WR bei den gesetzten Bedingungen hinsichtlich der Durchlassverluste günstiger einzuschätzen als der TH3WR. Mit den ungünstigsten Belastungswerten fällt der 4QI3WR auf was durch die hohe Zahl der stromführenden Bauelemente erklärt werden kann. Abschließend ist anzumerken, dass bei der Verwendung leistungselektronischer Bauelemente mit ohmscher Charakteristik die Hochsetzsteller-Wechselrichtertopologien hinsichtlich der Durchlassverluste am besten abschneidet, insofern die Leistungshalbleiter bei den höheren Zwischenkreisspannungen verwendbar sind.

Bei den Schaltverlusten sind 3WR, H3WR und Z3WR im Tiefsetzbetrieb gleichwertig, da jeweils nur die Wechselrichterbrücke angesteuert wird. Mit dem TH3WR und dem 4QI3WR sind bei niedrigen Spannungen geringere Schaltverluste erreichbar als mit den anderen Topologien. Im Hochsetzbetrieb steigen die Schaltverluste beim H3WR und dem TH3WR an, wodurch gegenüber dem 3WR ein Nachteil entsteht. Durch die hohen Kommutierungsstromstärken des Z3WR steigen dessen Schaltverluste mit zunehmender Ausgangsspannung deutlich stärker an als bei den anderen Wandlern. Mit dem 4QI3WR ist es sogar möglich im Anfangsspannungsbereich des Hochsetzbetriebs insgesamt geringere Schaltverluste zu erreichen als H3WR, TH3WR und Z3WR, insbesondere im Spannungsbereich wo der Vierquadrantensteller gerade nicht mehr getaktet werden muss. Jedoch steigen die Schaltverluste bei 4QI3WR bei Spannungssteigerung stärker an als beim H3WR und TH3WR. Zusammengefasst steigen die Schaltverluste bei Spannungssteigerung an und keine Topologie erreicht geringere Werte als der 3WR. Inwiefern die Topologie insgesamt einen Verlustvorteil bietet, hängt von den erforderlichen Systemparametern und Umgebungsbedingungen, aber auch und maßgeblich von den Eigenschaften der Halbleiter ab.

Einfluss der Halbleitertechnologie:

Im folgenden Beispiel sind zur Verdeutlichung zwei Technologien mit unterschiedlichen Verhältnissen zwischen Schalt- und Durchlassverlusten angenommen. Um Schalt- und Durchlassverluste, welche durch die dimensionslosen Gütekriterien repräsentiert werden, zu kombinieren, wird das Verhältnis der Gütekriterien am Referenzpunkt $\hat{u}_{1,II} = u_{\text{bat}}$ für den 3WR festgelegt. Bei der Technologie A sind die Schaltverluste im Referenzpunkt gleich den Durchlassverlusten, daher gilt $\xi_{s,3WR,\text{ref}} = \xi_{c,3WR,\text{ref}}$. Bei der Technologie B machen die Schaltverluste im Referenzpunkt hingegen nur 20 % der Durchlassverluste aus und es gilt $\xi_{s,3WR,\text{ref}} = 0,2 \cdot \xi_{c,3WR,\text{ref}}$. Für beide Technologien A und B wurde ebenfalls ein Schaltfrequenzverhältnis von $\zeta = 1$ und ein Leistungsfaktor von $\cos(\varphi) = 1$ angenommen.

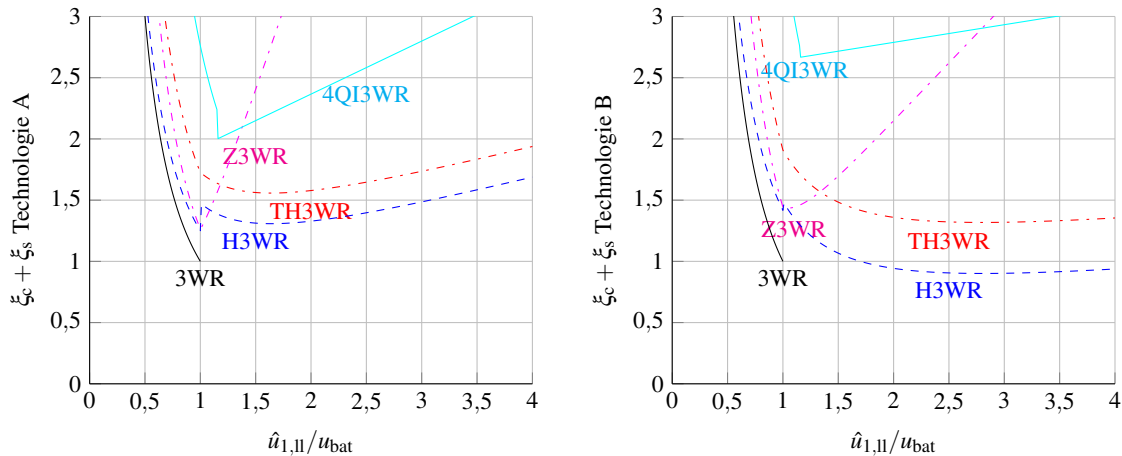


Abbildung 2.18: Topologie-Technologie-Vergleich mit A: $\xi_s/\xi_c = 100\%$ und B: $\xi_s/\xi_c = 20\%$

Die Abb. 2.18 zeigt deutlich, dass mit der Technologie A insgesamt keine Verlustverminderung gegenüber der 3WR-Topologie erreicht werden kann. Im Umkehrschluss kann somit durch die Verwendungen dieser Topologien keine Effizienzsteigerung erwartet werden. Bei Technologie B ist es hingegen mit der H3WR-Topologie möglich, die Halbleiterverluste unter das Niveau der 3WR-Topologie abzusenken, sofern bezüglich des Systemdesigns eine höhere Leiter-Leiter-Spannung möglich ist. Durch diesen Vergleich lässt sich schließen, dass mit der H3WR-Topologie neben der Entkopplung von Batterie und Zwischenkreisspannung auch insgesamt eine Reduktion hinsichtlich der Halbleiterverluste und damit der notwendigen kumulierten Chipfläche erzielt wird, insofern die Schaltverluste der Halbleitertechnologie vergleichsweise gering sind. Im nachfolgenden Abschn. 2.4 wird daher zur verbesserten Abbildung der Halbleitertechnologie ein thermisch-elektrisches Modell inklusive Dimensionierungsmethode vorgestellt.

Bezüglich der besonderen Eignung einer bestimmten Topologien für Verarmungstyp-Transistoren ist zu erwähnen, dass weder beim Z3WR noch dem 4QI3WR, welche im Betrieb durchleitende Ausgangshalbbrücken aufweisen, ein Vorteil gegenüber dem 3WR bzw. dem TH3WR ableitbar ist. Alle vier Topologien weisen im versorgungsspannungsfreien Zustand einen niederinduktiven Kurzschlusspfad zur Batterie auf. Beim Schließen eines Batterieschützes ohne Gate-Spannungsversorgung würde somit sofort ein sehr großer Kurzschlussstrom über die Leistungshalbleiterbauelemente fließen, welcher aufgrund der daran gleichzeitig abfallenden hohen Batteriespannung zur unmittelbaren Zerstörung im zwei bis dreistelligen Mikrosekundenbereich führt. Dieses Verhalten wird in Abschn. 4 noch genauer erläutert.

Bei den Topologien H3WR und 2QI3WR entsteht bei so einer fehlerbehafteten Einschaltsequenz hingegen ein Kurzschluss über die Drosseln, wodurch der Strom langsamer ansteigt und die Spannung zunächst über der Speicherdrossel abfällt. Dies hat eine verlängerte Reaktionszeit für Maßnahmen zur Fehlerbehandlung zur Folge. Gegebenenfalls könnte hier bereits ein Öffnen des mechanischen Batteriekontakts ausreichend schnell sein, insofern dieser für das Trennen der Gleichspannung im Lastfall geeignet ist.

Beim Ausfall einer einzelnen Gatespannungsversorgung im Betrieb kann hingegen die Kurzschlussüberwachung des noch funktionierenden Bauelements in der Kommutierungszelle den Fehler behandeln und den Kurzschlussstrom ausreichend schnell abschalten. Dies gilt gleichermaßen für alle betrachteten Wandlertopologien.

Insgesamt wird somit der H3WR Hochsetzsteller-Wechselrichter als sichere und geeignete Topologie beim Einsatz unipolarer Verarmungstyp-Leistungshalbleiter identifiziert.

2.4 Modellierung und Technologievergleich von Leistungshalbleitern

Bei der Beschreibung von Leistungshalbleiterbauelementen werden je nach Anwendungsgebiet verschiedene Modelltypen eingesetzt. In [41] wird ein umfassender Überblick zu den derzeit verfügbaren Modellen von SiC-MOSFETs und SiC-Dioden gegeben während in [42] SiC-JFETs, SiC-BJT, SiC-IGBTs, SiC-Thyristoren und GaN-HFETs adressiert werden. Die beiden Arbeiten unterscheiden zwischen den fünf Modelltypen³⁾:

- Eigenschafts-Modelle,
- halbphysikalische Modelle,
- physikalische Modelle,
- halbnnumerische Modelle und
- numerische Modelle.

Numerische und halbnnumerische Modelle werden vor allem von Bauteildesignern eingesetzt um aus dem geometrischen Aufbau bei Kenntnis der lokalen Dotierstoffkonzentrationen die Eigenschaften des Halbleiterbauelements aber auch die Vorgänge im Halbleiterbauelement meist mit Hilfe von 2D-Finite-Elemente-Modellen vorzuberechnen.

Bei physikalischen und halbphysikalischen Modellen werden die Bauteileigenschaften auf Grundlage analytischer Differenzialgleichungen der Halbleiterphysikalischen Vorgänge im Bauelement berechnet. Diese Modelle lassen sich durch nichtlineare elektrische Netzwerke abbilden und dienen vor allem den Anwendern der Bauelemente zur Vorausberechnung der dynamischen Eigenschaften des im System eingebundenen Leistungshalbleiterbauelements wie z.B. das exakte zeitliche Nachstellen der Kommutierungsvorgänge.

Eigenschafts-Modelle von Leistungshalbleitern beschreiben hingegen gezielt für das Systemdesign relevante Größen der Bauelemente wie z.B. die Schaltverlustenergien mit dem Ziel einer möglichst einfachen Anwendbarkeit und geringen Komplexität. Meist handelt es sich hierbei um rein mathematische Beschreibungen der relevanten Größen in Abhängigkeit von Systemzuständen ohne Bezug zur zugrundeliegenden Physik.

Zur technologieübergreifenden und leistungsskalierbaren Beschreibung von Systemen mit eingebetteten Halbleiterbauelementen eignet sich aufgrund der stark reduzierten Komplexität die mathematische Beschreibung der Halbleitereigenschaften besonders gut.

³⁾ „Behavioural Models“, „Semiphysics Models“, „Physics-Based Models“, „Seminumerical Models“ und „Numerical Models“

Im Folgenden wird ein Eigenschafts-Modell für Leistungshalbleiter unter Anwendung der Parametrierfunktion nach

$$f_i(x) = c_{0,i} \cdot x^{e_{0,i}} + c_{1,i} \cdot x^{e_{1,i}} + c_{2,i} \cdot x^{e_{2,i}} \quad (2.43)$$

verwendet, welches bereits in [43] vorgestellt worden ist und möglichst allgemeingültig angelegt wurde.

2.4.1 Stationäre Halbleitercharakteristik

Zur mathematischen Abbildung der Durchlasscharakteristik von Halbleiterbauelementen in der leistungselektronischen Anwendung wird mit der bekannten Gleichung

$$u_F = u_S(\vartheta_j) + r_F(\vartheta_j) \cdot i_F \quad (2.44)$$

der im Normalbetrieb relevante Arbeitsbereich⁴⁾ approximiert. Dabei fällt die Spannung u_F über einem Bauteil mit der Sperrschichttemperatur ϑ_j ab, wenn dieses vom Strom i_F durchflossen wird. Mit der Beschränkung der stationären Bauteileigenschaften auf diese Durchlassspannung werden durch Leckströme entstehende Sperrverluste vernachlässigt. Aufgrund gesteigerter Leckströme bei Erhöhung der intrinsischen Leitfähigkeit ist diese Annahme bei vertikalen Si-Bauelementen nur bis zu Sperrschichttemperaturen von etwa 200 °C gültig. Bei SiC-Bauelementen sind die Sperrverluste aufgrund der durch die größere Bandlücke um Größenordnungen geringeren intrinsischen Leitfähigkeit bis zu extremen Temperaturen jenseits der Sperrschichttemperaturen im Normalbetrieb vernachlässigbar. Ausgehend von einem Nennbetriebspunkt in

$$u_{F,\text{ref}} = u_S(\vartheta_{j,\text{ref}}) + r_F(\vartheta_{j,\text{ref}}) \cdot i_{F,\text{ref}} \quad (2.45)$$

können die Parameterabhängigkeiten durch Funktionen nach Gl. (2.43) abgebildet werden. Für den Durchlassspannungsanteil mit ohmschem Verhalten wird ein temperaturabhängiger differentieller Widerstand $r_{F,\text{ref}}$ verwendet während für den stromunabhängigen Anteil eine temperaturabhängige Spannung $u_{S,\text{ref}}$ definiert ist.

$$u_F(i_F, \vartheta_j) = u_{S,\text{ref}} \cdot f_4(\vartheta_j) + r_{F,\text{ref}} \cdot f_5(\vartheta_j) \cdot i_F \quad (2.46)$$

Bei niedrigen und vor allem bei sehr hohen Stromdichten kann hierbei ein erheblicher Modellierungsfehler auftreten, da sich der differenzielle Widerstand in diesen Betriebsbereichen je nach Halbleiterbauelement stark verändert. Für die mit der Chipfläche erweiterte Approximation in

$$u_{F,A}(i_F, \vartheta_j, A) = u_{S,\text{ref}} \cdot f_4(\vartheta_j) + r_{F,\text{ref}} \cdot \frac{A_{\text{ref}}}{A} \cdot f_5(\vartheta_j) \cdot i_F \quad (2.47)$$

folgt, dass bei stark von der Nennstromdichte $i_{F,\text{ref}}/A_{\text{ref}}$ abweichenden Stromdichten das Modell nicht mehr gültig ist. Trotz der aufgezeigten Schwächen des Modells kann es zur Dimensionierung verwendet werden, da die Stromdichten sowohl technisch als auch ökonomisch relevanter Systeme typischer Weise im Modellierungsbereich geringer Fehler liegen.

In Abb. 2.19 sind die Temperaturabhängigkeiten des differentiellen Widerstands und der Schleusenspannung dargestellt. Die Marker-Datenpunkte bei den SiC-Bauelementen entsprechen den im Labor aufgenommenen Messgrößen, während die Si-Marker ausschließlich aus Datenblättern generiert wurden. Zudem ist das Modellierungsergebnis nach Gl. (2.44) für die Bauelemente als Linie dargestellt. Beim Vergleich der Temperaturcharakteristik des ohmschen Anteils der SiC-Transistoren mit der SiC-JBS-Diode kann in Abb. 2.19 grob der Steuerkanalwiderstand der Bauelemente abgelesen werden.

⁴⁾linearer Bereich bei unipolaren und Sättigungsbereich bei bipolaren Leistungstransistoren

Im Vergleich zur SiC-JBS-Diode weist der SiC-D-JFET eine Parallelverschiebung der Kennlinie d.h. einen etwa temperaturunabhängigen Kanalwiderstand auf, während beim SiC-E-TJFET ein deutlich positive und beim SiC-MOSFET eine deutlich negative Temperaturcharakteristik im Kanalwiderstand beobachtbar sind.

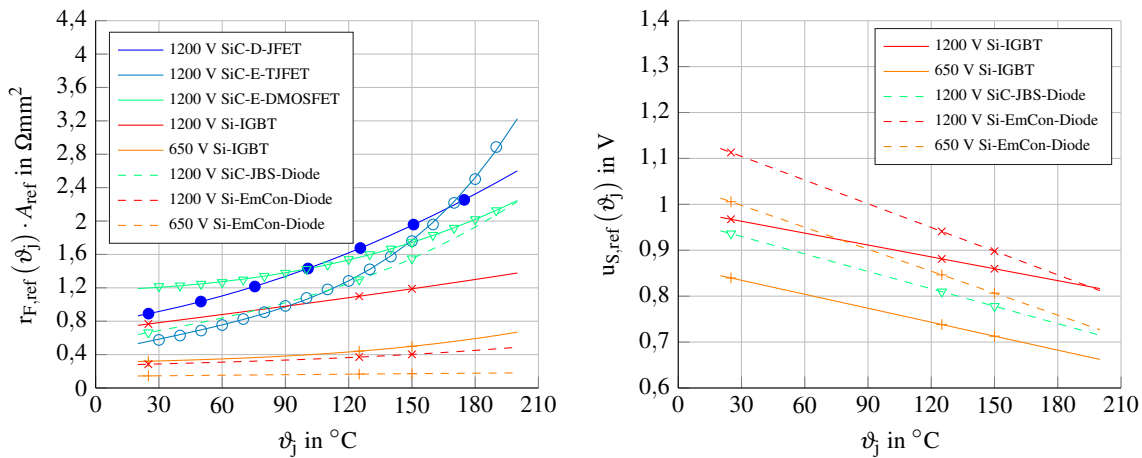


Abbildung 2.19: Temperaturabhängigkeit der Durchlassparameter (Marker = Messung bzw. Datenblatt)

2.4.2 Dynamische Halbleiterverlustcharakteristik

Die Schaltverlustenergien werden neben der Sperrschichttemperatur ϑ_j und dem Kommutierungsstrom i_K zusätzlich auch von der Zwischenkreisspannung u_{zk} beeinflusst. Mit der Annahme, dass bei den Schaltverlustenergien keine gemischten Parameterabhängigkeiten auftreten gilt für die Modellierung

$$E_s(u_{zk}, i_K, \vartheta_j) = E_{s,ref} \cdot f_1(u_{zk}) \cdot f_2(i_K) \cdot f_3(\vartheta_j). \quad (2.48)$$

Die Bezeichnung E_s steht dabei generisch für alle Schaltverlustenergiearten, d.h. Einschalt-, Ausschalt- oder Reverse-Recovery-Verlustenergie. Diese Annahme der unabhängigen Parameter führt in Abb. 2.20 beim Vergleich der Messergebnisse aus [43] mit der Modellierung zu geringen Fehlern in den Randgebieten.

Eine homogene Ansteuerung, Strom- und Temperaturverteilung sowie eine gleichbleibende Treiberleistung und Kommutierungsinduktivität je Fläche sind weitere notwendige Voraussetzungen für die Gültigkeit der Gleichung

$$E_{s,A}(u_{zk}, i_K, \vartheta_j, A) = E_{s,ref} \cdot \frac{A}{A_{ref}} \cdot f_1(u_{zk}) \cdot f_2\left(i_K \cdot \frac{A_{ref}}{A}\right) \cdot f_3(\vartheta_j) \quad (2.49)$$

zur Berücksichtigung der Chipfläche.

Zur besseren Nachvollziehbarkeit der vorangestellten Gleichungen ist das folgende Gedankenexperiment ausgeführt: Vervielfacht sich die Chipfläche durch Parallelschalten von n Dies (Rechteckige Einzelchips) vermindert sich bei gleichbleibendem Gesamtstrom der Strom je Die. Damit verschiebt sich der Arbeitspunkt jedes Dies zu $1/n$ des Gesamtstroms, wodurch in jedem Die die Schaltverlustenergien entsprechen der Stromkennlinie $f_2(i_K/n)$ umgesetzt werden. Die Gesamtschaltverlustenergie der n Dies entspricht somit $n \cdot f_2(i_K/n)$ -mal der Verlustenergie eines einzelnen Dies bei gleichem Gesamtstrom.

Anzumerken ist, dass die modellierten Schaltverlustenergien immer eine Kommutierungszelle inklusive Gatetreiber, Halbbrücke und Zwischenkreis charakterisieren und somit nicht wie die Durchlasskennlinien bauteilbezogen sind. Weisen die an der Kommutierung beteiligten Leistungshalbleiter aufgrund des Arbeitspunktes und geringer thermischer Kopplung deutlich unterschiedliche Sperrschichttemperaturen auf, ist das Modell nach Gl. (2.48) und Gl. (2.49) daher fehlerbehaftet.

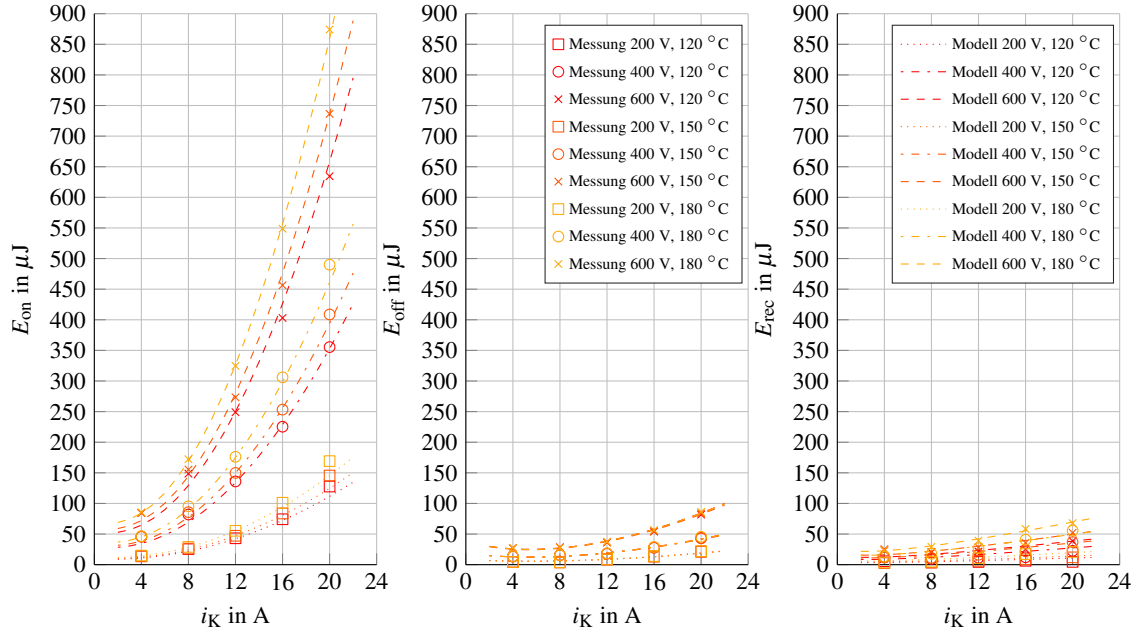


Abbildung 2.20: Modellierung der Schaltverlustenergien der D-SiC-JFET-Halbbrücke (Beispiel)

Insgesamt konnten die Schaltverlustenergien durch das mathematische Modell aus Gl. (2.49) in eine stetigparameterabhängige Form überführt werden, welche die Datenpunkte mit ausreichender Genauigkeit für eine Systemdimensionierung unter Beachtung der angemernten Modellgrenzen wiedergibt.

2.4.3 Zeitdiskrete Verlustleistungsberechnung der Halbleiter

Zur Berechnung der Verlustleistung aus Gl. (2.47) und Gl. (2.49) wird nachfolgend angenommen, dass die Schaltfrequenz f_s sehr hoch ist und Spannungs- und Stromwelligkeit sowie Sperrschichttemperaturveränderungen vernachlässigbar sind. Hieraus lässt sich

$$\bar{i}_F = i_K = \int_{\tau}^{\tau + \frac{1}{f_s}} i_F(t) dt \approx i_F(\tau), \quad (2.50)$$

$$\bar{u}_{zk} = \int_{\tau}^{\tau + \frac{1}{f_s}} u_{zk}(t) dt \approx u_{zk}(\tau) \quad \text{und}$$

$$\bar{\vartheta}_j = \int_{\tau}^{\tau + \frac{1}{f_s}} \vartheta_j(t) dt \approx \vartheta_j(\tau)$$

ableiten, so dass die relevanten Systemzustände der Zwischenkreisspannung, des Laststrom und der Sperrschichttemperatur für die Dauer einer Schaltperiode als stationär angenommen werden können. In einer Halbbrücke treten in den stromführenden Halbleitern die mittleren Verluste je Schaltperiode nach

$$\bar{p}_{T,A} \left(\frac{n}{f_s} \right) = (E_{\text{on},A}(\tau) + E_{\text{off},A}(\tau) + u_{F,T,A}(\tau) \cdot i_F(\tau) \cdot T_T(\tau)) \cdot f_s \Big|_{\tau=\frac{n}{f_s}} \quad \text{und} \quad (2.51)$$

$$\bar{p}_{D,A} \left(\frac{n}{f_s} \right) = (E_{\text{rec},A}(\tau) + u_{F,D,A}(\tau) \cdot i_F(\tau) \cdot T_D(\tau)) \cdot f_s \Big|_{\tau=\frac{n}{f_s}} \quad (2.52)$$

auf. Diese Gleichungen beschreiben ein schaltfrequent zeitdiskretisiertes elektrisches Verlustmodell mit dem bei Kenntnis der schaltfrequent diskretisierten Zustandsgrößen der diskretisierte Zeitverlauf der Verlustentwicklung abgebildet werden kann.

Die Halbbrücke besteht bei induktiver Belastung immer aus dem Kommutierungspaar eines erzwungen stromführenden Bauelements mit den Verlusten $\bar{p}_{T,A}$ und eines natürlich stromführenden Bauelements mit den Verlusten $\bar{p}_{D,A}$ (vgl. Abschn. 2.1) welche jeweils für die Einschaltdauer T_D bzw. T_T den Strom der Induktivität leiten. In welchem Halbleiterchip diese Verluste dann physikalisch auftreten, hängt von den in der Halbbrücke verwendeten Leistungshalbleitern ab. Zum Beispiel werden bei der aus vier Bauelementen zusammengesetzten IGBT-Diode-Halbbrücken je nach Laststromrichtung nur zwei Halbleiterchips belastet. Während bei der aus zwei Bauelementen bestehenden FET- oder RC-IGBT-Halbbrücke mit Halbleiterchips mit intrinsischer Diode bzw. rückwärtiger Stromleitfähigkeit die natürlich und erzwungen kommutierte Verlustleistung je nach Laststromrichtung das Bauelement wechselt. Da die Zwischenkreisspannung und der Laststrom durch ein Steuerverfahren vorgegeben werden und damit bekannt sind, ist nur die Sperrschichttemperatur als unbekannte Größe zu betrachten. Zusammen mit dem im folgenden Abschnitt vorgestellten Modell der thermischen Dynamik der Halbleiter kann folglich daraus ein zeitlich diskretisiertes elektro-thermisch gekoppeltes Gesamtmodell synthetisiert werden.

Dieser Zusammenhang ist bei der Vorausberechnung der Chipfläche zu berücksichtigen, denn vor allem bei Wechselrichtern kann die Betrachtung unterschiedlicher Betriebszustände für die thermische Dimensionierung der jeweiligen Bauelemente notwendig sein. Als Beispiel sei hier der motorische Betrieb für die Chipfläche des IGBTs und der generatorische Betrieb für die der Diode genannt.

2.4.4 Charakteristik der Kühlung

In leistungselektronischen Anwendungen werden zur Modellierung der thermischen Dynamik zwei unterschiedliche elektrische RC-Netzwerktypen eingesetzt. An dieser Stelle sei vorangestellt erwähnt, dass die thermische Übertragungsfunktion nicht eindeutig durch ein RC-Netzwerk, sondern durch eine Vielzahl unterschiedlicher RC-Netze abgebildet werden kann.

Beim ersten Typ, der Foster-Darstellung in Abb. 2.21, handelt es sich um ein Approximationsmodell welches aufgrund der einfachen mathematischen Struktur aus Gl. (2.54) leicht an Messkurven angepasst oder als Beobachter zur Betriebsüberwachung im Signalprozessor mit wenig Aufwand berechnet werden kann. Das Foster-Modell gibt das dynamische thermische Verhalten der Sperrschicht nur für die Messbedingungen und den Messaufbau an die es angepasst wurde exakt wieder.

Beim zweiten Typ, dem Cauer-Modell in Abb. 2.22, können hingegen die Differenzialgleichungen und Energiezustände im thermischen System korrekt abgebildet werden. Dies ermöglicht die Veränderungen von Betriebsparametern oder bei geeigneter Modellierung physikalische Effekte zu berücksichtigen. Des Weiteren können die Temperaturen der Knotenpunkte des Cauer-Netzwerks mit den realen Temperaturen im System assoziiert werden. Für die Abschätzung von Alterungseffekten welche in bestimmten Schichten des Halbleitermoduls auftreten ist daher nur die Cauer-Modellierung gut geeignet.

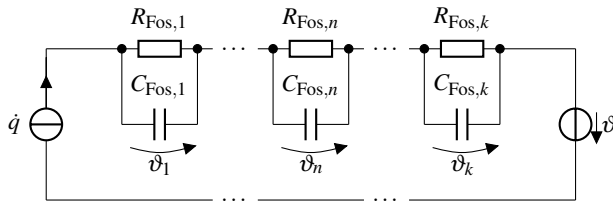


Abbildung 2.21: 1D-Foster-Netzwerk

$$Z_{\text{Fos},n} = \frac{\vartheta_n}{\dot{q}} = \frac{1}{C_{\text{Fos},n}s + \frac{1}{R_{\text{Fos},n}}} \quad (2.53)$$

$$Z_{\text{Fos}} = \frac{1}{\dot{q}} \sum_{n=1}^k \vartheta_n = \sum_{n=1}^k Z_{\text{Fos},n} \quad (2.54)$$

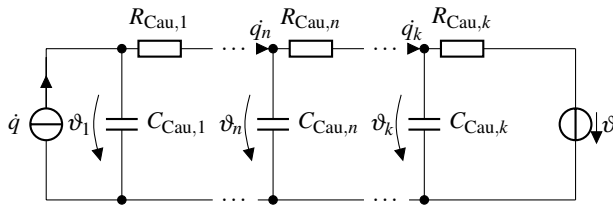


Abbildung 2.22: 1D-Cauer-Netzwerk

$$Z_{\text{Cau},n} = \frac{\vartheta_n}{\dot{q}_n} = \frac{1}{C_{\text{Cau},n}s + \frac{1}{R_{\text{Cau},n} + Z_{\text{Cau},n+1}}} \quad (2.55)$$

$$Z_{\text{Cau}} = \frac{\vartheta_1 - \vartheta}{\dot{q}} = Z_{\text{Cau},1} (Z_{\text{Cau},2} (\dots (Z_{\text{Cau},k}))) \quad (2.56)$$

Im Rahmen dieser Arbeit wird zur Modellierung der thermischen Vorgänge im Inneren des Halbleitermoduls ein Cauer-Netzwerk verwendet. Zur Reduktion der Komplexität werden

- ein eindimensional abbildbarer Wärmefluss je Chip,
- die Vernachlässigung sekundärer thermischer Pfade (z.B. zur Platine)
- und die Vernachlässigung der thermischen Kopplung der Halbleiterchips

angenommen. Die eindimensionale Abbildung des Wärmeflusses vom Chip zum Fluid ist dann möglich, wenn die veränderliche Wärmeflussdichteverteilung durch die Ersatzschaltbildelemente wiedergegeben wird. Von der Sperrschicht zum Kühlmedium, d.h. der Wärmequelle zur Wärmesenke, verringert sich die mittlere Wärmeflussdichte. Anschaulich fließt der konstante Wärmestrom dann durch eine größere Querschnittsfläche, weswegen dieser Effekt als Wärmespreizung bezeichnet wird. Ein Ansatz zur Berücksichtigung der Wärmespreizung im eindimensionalen Cauer-Modell ist die Einführung eines geometrischen Wärmespreizungswinkels β . Mit dem geschlossenen Ansatz nach [44] können die Ersatzschaltbildelemente des transienten thermischen Netzwerks für eine Schicht i in Abhängigkeit des Wärmespreizungswinkels β_i ermittelt werden. Die T-Ersatzschaltbildelemente werden durch

$$R_{\text{th},i,1} = \frac{1}{\lambda_i} \cdot \frac{h_i}{2\sqrt{A_i} \cdot (\sqrt{A_i} + h_i \tan(\beta_i))}, \quad (2.57)$$

$$R_{\text{th},i,2} = \frac{1}{\lambda_i} \cdot \frac{h_i}{2(\sqrt{A_i} + h_i \tan(\beta_i)) \cdot (\sqrt{A_i} + 2h_i \tan(\beta_i))} \quad \text{und} \quad (2.58)$$

$$C_{\text{th},i} = \rho_i c_i h_i \cdot \left(A_i + 2h_i \sqrt{A_i} \tan(\beta_i) + \frac{4}{3} h_i^2 \tan^2(\beta_i) \right) \quad (2.59)$$

für eine Schicht beschrieben. Zur Berechnung werden die geometrischen Daten und Materialeigenschaften des Schichtaufbaus im thermischen Pfad des Halbleiters benötigt. Tabelle Tab. 2.1 fasst in dieser Arbeit verwendete Daten der Schichthöhe h_i , Dichte ρ_i , spezifischen Wärmekapazität c_i und der spezifischen Wärmeleitfähigkeit λ_i zusammen. Mit der Annahme einer Proportionalität zwischen Wärmeleitfähigkeit und Wärmespreizung in einer Schicht d.h.: $\tan(\beta_i) \propto \lambda_i$ können alle Ersatzschaltbildelemente bei Kenntnis der aktiven Chipfläche $A_1 = A_{\text{aktiv}}$ rekursiv berechnet werden.

Tabelle 2.1: Materialien im Halbleitermodul und deren physikalische Eigenschaften

i	Schicht	Material	h_i in μm	ρ_i in $\frac{\text{kg}}{\text{m}^3}$	c_i in $\frac{\text{kg}\cdot\text{m}^2}{\text{K}\cdot\text{s}^2}$	λ_i in $\frac{\text{W}}{\text{m}\cdot\text{K}}$
1	Die	1200V SiC	380	3210	690	300
1	Die	1200V Si	140	2336	703	130
1	Die	650V Si	70	2336	703	130
2	Lot	Sn	80	7265	218	50
3	DCB,o	Cu	300	8920	385	385
4	DCB,m	Al_2O_3	320	3800	900	20
5	DCB,u	Cu	300	8920	385	385
6	Lot	Sn	80	7265	218	50
7	Bodenplatte	Cu	4000	8920	385	385

Bei kleinen Spreizungswinkeln welche in dicht gepackten Modulen oder bei sehr guter Kühlung auftreten gilt: $\tan(\beta_i) \approx \beta_i$ [43]. Zur vollständigen Modellbeschreibung des Kühlkörpers werden zusätzlich der thermische Übergangskoeffizient $\alpha_{\text{th,hf}}$ und die thermisch wirksame Kapazität $C_{\text{th,hf}}$ des Festkörper-Fluid-Übergangs benötigt. Mit der Gleichung

$$R_{\text{th,hf}} = \frac{1}{\alpha_{\text{th,hf}} A_8} \quad \text{mit} \quad A_8 = (A_7 + 2h_7 \tan(\beta_7)) \quad (2.60)$$

kann der Übergangskoeffizient dann in einen thermischen Übergangswiderstand umgerechnet werden. Der Übergang zum Kühlmedium beeinflusst auch den Wärmespreizungswinkel β_i maßgeblich, weswegen entweder eine Simulation oder eine Messung zur Identifikation notwendig sind. Abb. 2.23 zeigt das vergrößerte geometrische Abbild der Wärmespreizung und die Ersatzschaltbildelemente der eindimensionalen Cauer-Übertragungsleitung eines 10 mm^2 SiC-Halbleiterchips welcher virtuell in ein Pin-Fin-Modul wie [45] eingesetzt ist. Die mit Gl. (2.57), Gl. (2.58) und Gl. (2.59) gewonnenen Ersatzschaltbildgrößen können durch:

$$\mathbf{R}_{\text{th,TESB}} = \left[R_{\text{th},1,1} \quad \dots \quad R_{\text{th},7,2} \quad \frac{R_{\text{th,cf}}}{2} \quad \frac{R_{\text{th,cf}}}{2} \right]^T, \quad (2.61)$$

$$\mathbf{R}_{\text{th}} = \left[R_{\text{th},1} \quad \dots \quad R_{\text{th},8} \right]^T, \quad (2.62)$$

$$\mathbf{R}_{\text{th}} = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \cdot \mathbf{R} \quad \text{und} \quad (2.63)$$

$$\mathbf{C}_{\text{th}} = \mathbf{C}_{\text{th,TESB}} = \left[C_1 \quad \dots \quad C_7 \quad C_{\text{th,cf}} \right] \quad (2.64)$$

in die mathematische Form der eindimensionalen Cauer-Übertragungsleitung nach Gl. (2.56) überführt werden.

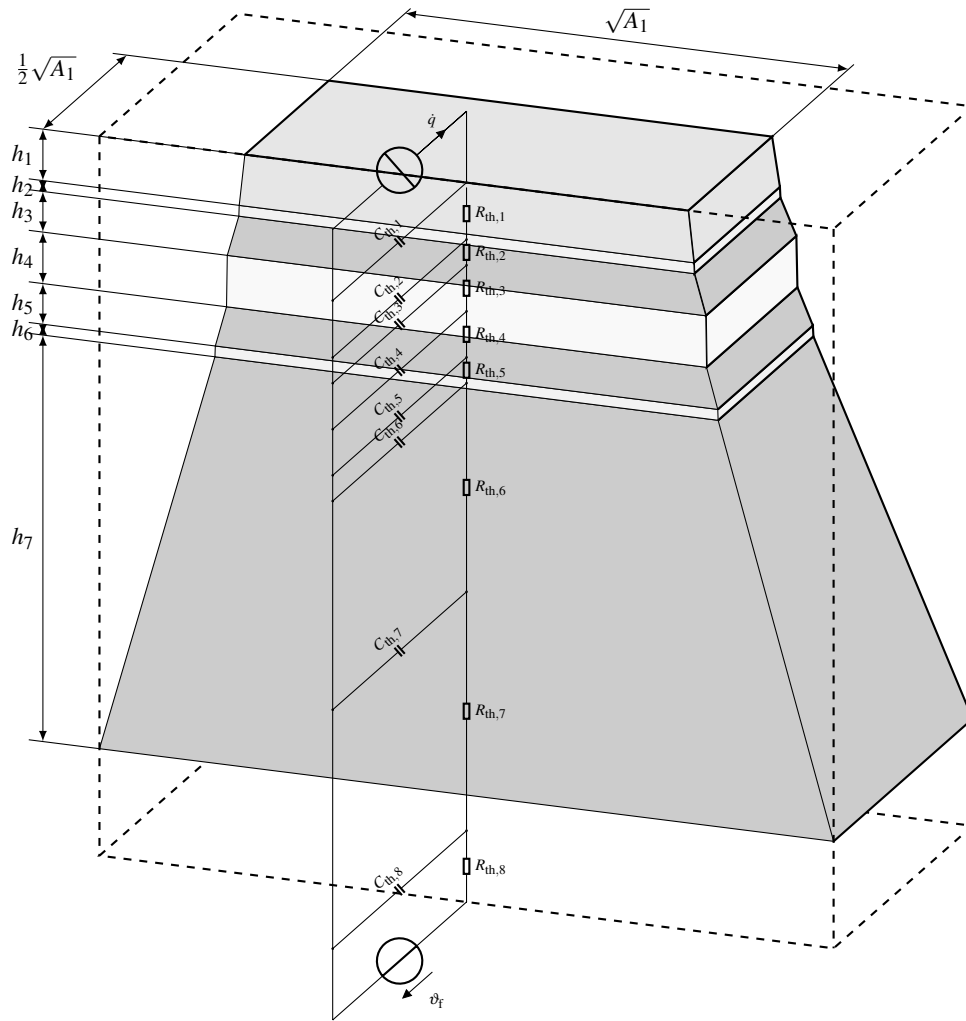


Abbildung 2.23: Skizze des thermischen Pfades mit Cauer-Netzwerk

Die Zustandsraumdarstellung

$$\frac{d\vartheta}{dt} = A\vartheta + Bu, \quad y = C\vartheta + Du \quad \text{mit} \quad (2.65)$$

$$u = \begin{bmatrix} \dot{q} \\ 0 \\ \vdots \\ 0 \\ \vartheta_f \end{bmatrix}, \quad A = \begin{bmatrix} -\frac{1}{C_{th,1}R_{th,1}} & \frac{1}{C_{th,1}R_{th,1}} & 0 & \dots & 0 \\ \frac{1}{C_{th,2}R_{th,1}} & -\frac{R_{th,1}+R_{th,2}}{C_{th,2}R_{th,1}R_{th,2}} & \ddots & \ddots & \vdots \\ 0 & \ddots & \ddots & \ddots & 0 \\ \vdots & \ddots & \ddots & \ddots & \frac{1}{C_{th,7}R_{th,7}} \\ 0 & \dots & 0 & \frac{1}{C_{th,8}R_{th,7}} & -\frac{1}{C_{th,8}R_{th,7}R_{th,8}} \end{bmatrix},$$

$$B = \begin{bmatrix} 1 & 0 & \dots & 0 \\ 0 & \ddots & \ddots & \vdots \\ \vdots & \ddots & 1 & 0 \\ 0 & \dots & 0 & \frac{1}{C_{th,8}R_{th,8}} \end{bmatrix}, \quad C = \begin{bmatrix} \frac{1}{C_{th,1}} & 0 & \dots & 0 \\ 0 & 0 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & \dots & 0 & 0 \end{bmatrix}, \quad D = \begin{bmatrix} 0 & \dots & 0 \\ \vdots & \ddots & \vdots \\ 0 & \dots & 0 \end{bmatrix}, \quad y = \begin{bmatrix} \vartheta_j \\ 0 \\ \vdots \\ 0 \end{bmatrix}$$

beschreibt ebenfalls das Cauer-Netzwerk mit den Eingangsgrößen der Verlustwärme \dot{q} und der Sperrschichttemperatur.

Die Zustandsraumdarstellung des Cauer-Netzwerks ist durch einen einfachen schematischen Aufbau gekennzeichnet und daher gut zur Implementierung geeignet, wenn die Anzahl der Cauer-Glieder variabel gehalten, die Temperaturen einzelner Schichten ausgewertet oder nachträglich thermische Kopplungen zwischen den Bauelementen hinzugefügt werden müssen. Zur Generierung der Übertragungsfunktion kann auch die rekursive Gl. (2.56) für eindimensionale Cauer-Übertragungsleitungen angewendet werden.

Bei zweckmäßig angepasster Diskretisierung gemäß der Verlustberechnung nach Gl. (2.51) und Gl. (2.52) kann aus der zeitkontinuierlichen Zustandsraumdarstellung in Gl. (2.65) eine zeitdiskrete Beschreibung des thermischen Pfades gemäß

$$\vartheta(k+1) \approx \left(\mathbf{1} + \frac{1}{f_s} \mathbf{A} \right) \vartheta(k) + \frac{1}{f_s} \mathbf{B} \mathbf{u}(k), \quad \mathbf{y}(k) = \mathbf{C} \vartheta(k) + \mathbf{D} \mathbf{u}(k) \quad \text{mit} \quad (2.66)$$

$$\mathbf{1} = \begin{bmatrix} 1 & 0 & \dots & 0 \\ 0 & \ddots & \ddots & \vdots \\ \vdots & \ddots & 1 & 0 \\ 0 & \dots & 0 & 1 \end{bmatrix}, \quad e^{\left(\frac{\mathbf{A}}{f_s}\right)} \approx \mathbf{1} + \frac{1}{f_s} \mathbf{A} \quad \text{und} \quad \int_0^{\frac{1}{f_s}} e^{\mathbf{A}\tau} \mathbf{B} d\tau \approx \frac{1}{f_s} \mathbf{B}$$

abgeleitet werden, welche ebenfalls mit der Schaltfrequenz f_s abgetastet ist. In nahezu allen Datenblättern von leistungselektronischen Bauelementen sowie einem Großteil der Literatur wird jedoch nicht die Übertragungsfunktion, sondern deren Rücktransformierte, die Sprungantwort des thermischen Netzwerks im Zeitbereich gemäß

$$z_{\text{th,jf}} = \mathcal{L}^{-1} \left(Z_{\text{th,jf}}(s) \right). \quad (2.67)$$

angegeben. Obwohl eine kompakte analytische Darstellungsform dieser Sprungantwort nicht gefunden werden konnte und alle Berechnungsroutinen auf die Zustandsraumdarstellung zurückgreifen, wird im Folgenden immer der Bezug zum transienten thermischen Widerstand hergestellt bzw. dieser angegeben, damit eine Vergleichbarkeit mit anderen Quellen gewährleistet ist. Zur Validierung des vorgestellten Modells ist der Vergleich mit realen Messgrößen bzw. Datenblattangaben erforderlich. Bei Kenntnis der thermischen Sprungantwort und der Verlust im Halbleiter p berechnet sich die Sperrschichttemperatur ϑ_j im dynamischen Betriebsfall nach

$$\vartheta_j = \dot{q} * z_{\text{th,jf}} + \vartheta_f \quad \text{mit} \quad \dot{q} = p, \quad (2.68)$$

mittels Faltung und im stationären Betriebsfall nach

$$\vartheta_j = \bar{p} \cdot R_{\text{th,jf}} + \vartheta_f. \quad (2.69)$$

Bei Fahrzeuganwendungen eignen sich Leistungshalbleitermodule mit Direkt-Fluidkühlung besonders für die Antriebselektronik, woraufhin ein Modul mit Pin-Fin-Bodenplatte als Basistechnologie ausgewählt wurde.

In Abb. 2.24 werden die Daten aus [45] mit den Ergebnissen des vorgestellten Modells verglichen. Dargestellt ist der transiente thermische Widerstand des Foster-Netzwerks des IGBTs sowie die transienten thermischen Widerstände des Cauer-Modells ohne und mit Wärmespreizung, als auch deren bezogene Abweichungen zum Foster-Netzwerk. Zur Berechnung der Cauer-Netzwerkelemente wurden die Daten aus Tab. 2.1, vier Dies mit je einer Fläche von 100 mm^2 , ein thermischer Übergangskoeffizient $\alpha_{\text{th,cf}}$ von $5,2 \text{ W/cm}^2\text{K}$ und eine thermisch wirksame Kapazität $C_{\text{th,cf}}$ von 44 Ws/K verwendet. Die Wärmespreizung (16° in der Kupferschicht) wurde durch Minimierung der Abweichung zum Foster-Netzwerk aus dem Datenblatt ermittelt. Durch den vorgestellten Ansatz können somit die transienten thermischen Netzwerke für beliebige quadratische Chipflächen im Pin-Fin-Modul näherungsweise berechnet werden.

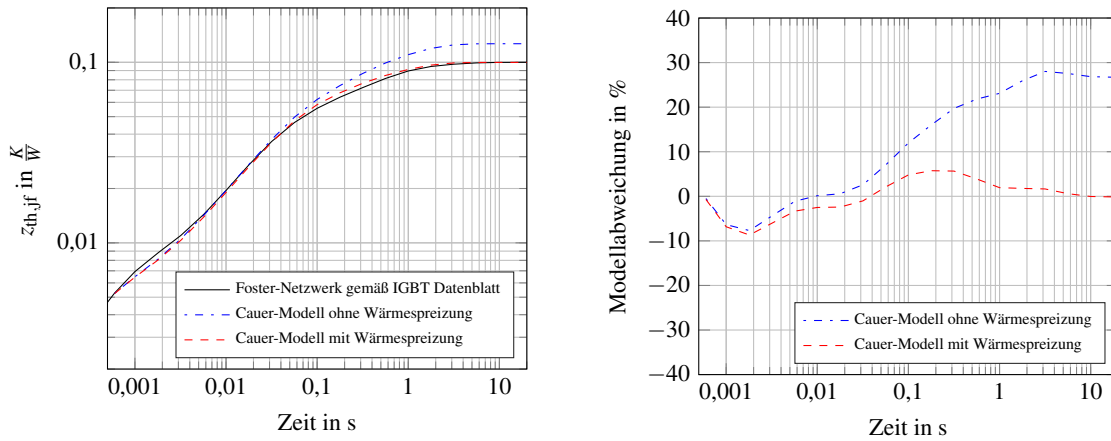


Abbildung 2.24: Vergleich zwischen z_{th} des Cauer-Modells und des Foster-Netzwerks gemäß IGBT Datenblatt

2.4.5 Dimensionierung der Chipfläche

Für den Vergleich von Leistungshalbleitertechnologien im System kann a priori ein Dimensionierungskriterium festgelegt werden. Alle Systeme die dieses Kriterium erfüllen sollten einerseits für den gewünschten Anwendungsfall geeignet sein. Andererseits soll durch das Kriterium eine Vergleichbarkeit zwischen stark unterschiedlichen Technologien erreicht werden.

Die Leistungsfähigkeit von Leistungshalbleitermodulen ist stets durch thermische Grenzen beschränkt. Zum einen sind hier maximal zulässige Sperrschichttemperaturen zu nennen. Zum anderen verschleißt die Aufbau- und Verbindungstechnik durch thermische Wechselbelastungen mechanisch was schließlich zum Ausfall des Moduls führt.

Für den Leistungshalbleiter-Technologievergleich wurde das nachfolgend erläuterte Dimensionierungskriterium der „thermisch minimalen Chipfläche“ ausgewählt. Dabei erreichen die Bauelemente der jeweiligen Technologie bei gleicher Kühlung in den jeweils anforderntesten Arbeitspunkten dynamisch gerade genau die gleiche maximale Sperrschichttemperatur.

Mit den Modellen aus Gl. (2.51), Gl. (2.52) sowie Gl. (2.67) liefert

$$\vartheta_{j,dim} - \vartheta_{f,dim} \stackrel{!}{=} \max \{ \dot{q}(A_{th,min}) * z_{th,jf}(A_{th,min}) \} \quad \text{mit} \quad \dot{q}(A_{th,min}) = \bar{p}(A_{th,min}, \vartheta_{j,dim}) \quad (2.70)$$

eine indirekte Beschreibung der thermisch minimalen Chipfläche $A_{th,min}$.

Bei Antriebswechselrichtern tritt dieser Fall bei maximalem Strom und sehr niedriger Drehzahl des Antriebs auf, z.B. wenn ein Fahrzeug mit an die Raddrehzahl gekoppeltem elektrischen Antriebssystem eine Bordsteinkante hinauf fährt. Auf Grund der hohen Dynamik der Sperrschichttemperatur bei der eingesetzten Fluidkühlung kann für solche Belastungsfälle, die länger als 1 s anliegen, angenommen werden, dass sich der Halbleiter thermisch im eingeschwungenen Zustand befindet. Damit vereinfacht sich die Faltung aus Gl. (2.70) zu

$$\frac{\bar{\vartheta}_{j,dim} - \vartheta_{f,dim}}{R_{th,jf}(A_{th,min}, \vartheta_{j,dim}, \vartheta_{f,dim})} \stackrel{!}{=} \dot{q}(A_{th,min}, \vartheta_{j,dim}). \quad (2.71)$$

An dieser Stelle sei angemerkt, dass ein mit thermisch minimaler Chipfläche dimensioniertes System nicht zwangsläufig eine gelungene technische Lösung für die Problemstellung ergibt. Zum einen besteht die Möglichkeit, dass der Arbeitspunkt des Systems nach

$$\frac{\partial \dot{q}(A_{\text{th,min}})}{\partial \vartheta_j} \begin{cases} \geq \frac{d}{d\vartheta_j} \frac{\vartheta_j - \vartheta_{f,\text{dim}}}{R_{\text{th,jf}}(A_{\text{th,min}}, \vartheta_j, \vartheta_{f,\text{dim}})} \geq \frac{1}{R_{\text{th,jf}}(A_{\text{th,min}})} & \text{instabil} \\ < \frac{d}{d\vartheta_j} \frac{\vartheta_j - \vartheta_{f,\text{dim}}}{R_{\text{th,jf}}(A_{\text{th,min}}, \vartheta_j, \vartheta_{f,\text{dim}})} < \frac{1}{R_{\text{th,jf}}(A_{\text{th,min}})} & \text{stabil} \end{cases} \quad (2.72)$$

thermisch instabil ist. D.h. die abgegebene Wärmemenge kann gerade noch durch das Kühlsystem abgeführt werden, eine weitere Temperaturerhöhung resultiert jedoch in einem Zustand in dem mehr Wärme erzeugt als abgeführt wird. Untersuchungen in [46] zeigen für SiC-JFETs einen von der Kühlmethode unabhängig nutzbaren Sperrschichttemperaturhub im Bereich von 122 K bis 143 K bei Umgebungstemperaturen von -50°C bis 100°C und Berücksichtigung von 10 % Sicherheitsmarge zum Durchlassstrom bei thermischer Instabilität. Bestätigt sind diese Ergebnisse durch eine weitere Analyse in [47] und die praktischen Nachweise in [48] und [49]. Die thermische Stabilität muss daher in jedem Fall durch Überprüfung der Gl. (2.72) sichergestellt werden.

Des Weiteren gehen wichtige Systemeigenschaften wie z.B. der Absolutwert des Wirkungsgrads oder die Lebensdauererwartung nicht in das Dimensionierungskriterium der thermisch minimalen Chipfläche ein und ergeben sich als Resultat aus der gewählten Sperrschichttemperatur und Kühlung. Allerdings bedeutet eine geringere thermisch minimale Chipfläche bei gleichem Arbeitspunkt und vergleichbarer Kühlung weniger Verlustenergie und damit bezogen auf die Halbleiterverluste ein effizienteres System und eine gesteigerte Leistungsdichte auf Modulebene. Im folgenden Abschnitt kann daher die thermisch minimale Chipfläche als Vergleichs- und Bewertungskriterium für die Leistungsfähigkeit einer Halbleitertechnologie vor dem Hintergrund einer Hybridfahrzeugapplikation angewendet werden, da hier möglichst effiziente Wandler mit gleichzeitig hoher Leistungsdichte angestrebt werden.

2.4.6 Anwendungsbeispiel und Technologiebewertung

Bereits in Abschn. 2.3 sind der Wechselrichter und Hochsetzsteller-Wechselrichter als besonders geeignete Topologien für den Einsatz als Fahrtriebswandler identifiziert worden. Die Spannungsebene des Systems kann für die Dimensionierung der Leistungselektronik im batterie-elektrischen Antrieb zunächst als Freiheitsgrad angesehen werden. Einerseits weisen Batteriezellen niedrige Spannungen im Bereich von 1 V bis 5 V auf und werden erst durch Serienschaltung zu einer Hochspannungsbatterie zusammengefasst. Andererseits kann das Spannungsniveau bzw. die induzierte Klemmenspannung der elektrischen Maschine durch Anpassung der Statorwindungszahl verändert werden ohne Veränderungen am elektromagnetischen Entwurf vorzunehmen. Bei einem bereits dimensionierten Antriebssystem ist es somit zumindest theoretisch möglich das Spannungslevel mit Diskretisierung hinsichtlich der Statorwindungszahl und Batteriezellspannung bzw. Stromtragfähigkeit bei gleichbleibender Systemleistung nahezu frei zu wählen ohne das eine grundlegende Neukonzeptionierung erforderlich wird.

Tabelle 2.2: Randbedingungen und Dimensionierungsgrößen für das Zielsystem

Bezeichnung	Formelzeichen	Wert
Ausgangsleistung	$S_{3WR,\text{dim}}$	60 kVA
Leistungsfaktor	$\cos(\varphi_{\text{dim}})$	1
Batteriespannungsbereich	$u_{\text{bat,sim}}$	200 V - 600 V
max. Zwischenkreisspannung	$u_{\text{zk,dim}}$	700 V
Sperrschichttemperatur	$\vartheta_{j,\text{dim}}$	175°C
Kühlmitteltemperatur	$\vartheta_{f,\text{dim}}$	105°C

Als Randbedingungen für die nachfolgende Untersuchung wurden eine maximale Sperrschichttemperatur von 175 °C , eine Fluidtemperatur von 105 °C , ein Halbleitermodul mit Pin-Fin-Kühlung gemäß Abschn. 2.4.4 und eine Wechselrichternennleistung von 60 kVA bei einem Leistungsfaktor von eins festgelegt. Die Tab. 2.2 fasst die Anforderungen, welche an das Wandlersystem gestellt wurden und für dessen Dimensionierung maßgeblich sind, noch einmal zusammen.

In Abb. 2.25 ist die thermisch minimale Chipfläche eines dreiphasigen 60 kVA Wechselrichters für die konkurrierenden Halbleitertechnologien über der Batterie- bzw. Zwischenkreisspannung aufgetragen. Zusätzlich sind jeweils die Chipflächen für vier Schaltfrequenzen 10 kHz , 20 kHz , 40 kHz und 80 kHz dargestellt. Bei der niedrigen Schaltfrequenz von 10 kHz nimmt die erforderliche Chipfläche mit zunehmender Zwischenkreisspannung bei allen Technologien ab. Wird die Schaltfrequenz erhöht, ist aufgrund der gesteigerten Schaltverluste erwartungsgemäß eine größere Chipfläche erforderlich. Vor allem bei den Silizium-Bauelementen und hohen Schaltfrequenzen kehrt sich der Trend zur Chipflächenverringerung bei höherer Zwischenkreisspannung durch die steigenden und dominierenden Schaltverluste um.

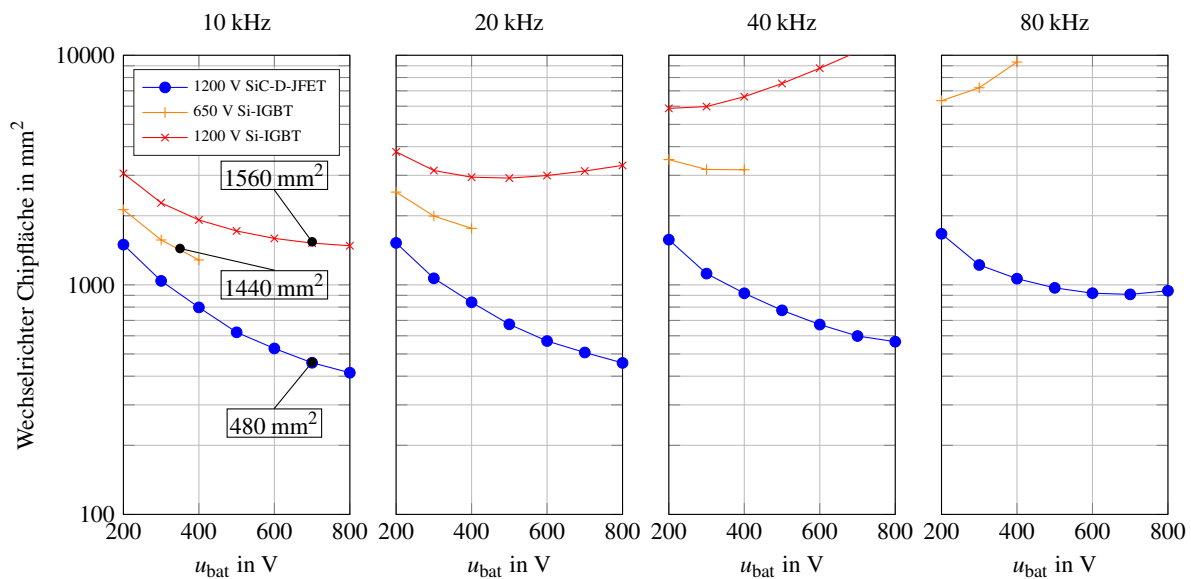


Abbildung 2.25: Thermisch minimale Chipfläche des Wechselrichters mit unterschiedlichen Halbleitertechnologien mit $\vartheta_{j,dim} = 175\text{ °C}$ und $\vartheta_{r,dim} = 105\text{ °C}$

Die 650 V Silizium-Bauelemente sind den 1200 V Silizium-Bauelementen bereits bei 10 kHz leicht überlegen. Durch die geringeren Schaltverluste ergeben sich für die 650 V Silizium-Bauelemente bei höheren Schaltfrequenzen dann deutliche Vorteile bezüglich der Wechselrichterchipfläche. In Szenarien wo Schaltverluste dominieren ist der Chipfläche reduzierende Effekt einer hohen Zwischenkreisspannung nicht mehr so stark bzw. überhaupt nicht mehr ausgeprägt. Zusammenfassend kann gefolgert werden, dass mit 1200 V SiC-D-JFETs Wechselrichter mit deutlich geringerer Chipfläche als mit 650 V oder 1200 V Si-IGBTs aufgebaut werden können. Beim Vergleich der 1200 V Bauelemente und Ausnutzung der Spannungsfestigkeit der Bauelemente ist bereits bei moderaten Schaltfrequenzen von 10 kHz für die IGBT-Technologie eine etwa drei- bis vierfach größere Chipfläche erforderlich.

Nachfolgend wird als Anwendungsbeispiel für Wechselrichter der in [43] geführte Vergleich dreier Systeme resümiert. Für die 1200 V Bauelemente wurde eine Zwischenkreisspannung von 700 V und für die 650 V Bauelemente eine Zwischenkreisspannung von 350 V sowie technologieübergreifend eine Schaltfrequenz von 10 kHz festgelegt. Nach dem Dimensionierungskriterium der thermisch minimalen Chipfläche ergeben sich für den Wechselrichter die in Abb. 2.25 markierten Systemchipflächen. Mit dem vorangestellt eingeführten dynamischen und thermisch-elektrisch-gekoppelten generischen Modell

wurden dann Fahrsimulationen des „neuen europäischen Fahrzyklus“ (NEFZ) mit einem 2,5 t Hybridfahrzeug einer dem fünf-Gang-Getriebe nachgeschalteten permanentmagneterregten Synchronmaschine durchgeführt. Durch die gewählten Randbedingungen erreicht das Wechselrichtersystem im gefahrenen Zyklus gerade seine Nennleistung. Als Simulationsumgebung wurde MATLAB/Simulink gewählt und mit der Schaltfrequenz der feste Simulationstakt vorgegeben. Mit dem vorgeschlagenen Modell können einerseits die Verluste in den jeweiligen Halbleiterbauelementen und damit der Energieverbrauch des Wechselrichters und andererseits der Zeitverlauf der Sperrschichttemperatur ausgewertet werden. Beide Verläufe sind maßgeblich bei der Beurteilung des Designs bezüglich der Effizienz und der erwarteten Lebensdauer. Zur Ermittlung des Lebensdauer verbrauchs wurden die Zeitverläufe der Sperrschichttemperaturen mit dem Rainflow-Algorithmus [50] in Temperaturhubamplitudenhäufigkeiten umgerechnet, welche anschließend mit der Lebensdauer kennlinie einer aktuell gebräuchlichen und Verbindungstechnik wie in [51] bewertet werden können. Tab. 2.3 fasst das Ergebnis dieses Vergleichs zusammen.

Tabelle 2.3: Simulationsergebnisse des Technologievergleichs

Halbleitertechnologie	Chipfläche in mm ²	Energieverbrauch in $\frac{\text{kWh}}{100\text{km}}$	Lebensdauerverbrauch in $\frac{\text{ppm}}{\text{km}}$
650V Si-IGBT	1440	1,01	1,72
1200V Si-IGBT	1560	1,52	2,19
1200V SiC-D-JFET	480	0,30	1,68

Im Ergebnis können bei dem gewählten Anwendungsfall im Vergleich der 1200 V-Bauelemente somit durch Einsatz der SiC-D-JFETs 80 % der Verluste bei um 70 % reduzierter Chipfläche und einer vergleichbaren Belastung der Aufbau und Verbindungstechnik durch Last- und Temperaturwechsel eingespart werden. Aufgrund der vielversprechenden Ergebnisse wird der praktische Nachweis dieser Werte in den folgenden Kapiteln angestrebt. Hinsichtlich der Beanspruchung der Aufbau- und Verbindungstechnik lassen die Ergebnisse in [52] vermuten, dass diese durch die mechanische Beschaffenheit von Siliziumcarbid bei gleichem Temperaturprofil deutlich schneller verschleißt als bei Silizium, was bei der Berechnung des Lebensdauer verbrauchs in Tab. 2.3 jedoch nicht berücksichtigt worden ist. Analog zu Abb. 2.25 ist in Abb. 2.26 die thermisch minimale Chipfläche für den Hochsetzsteller bei Variation der Batteriespannung u_{bat} dargestellt.

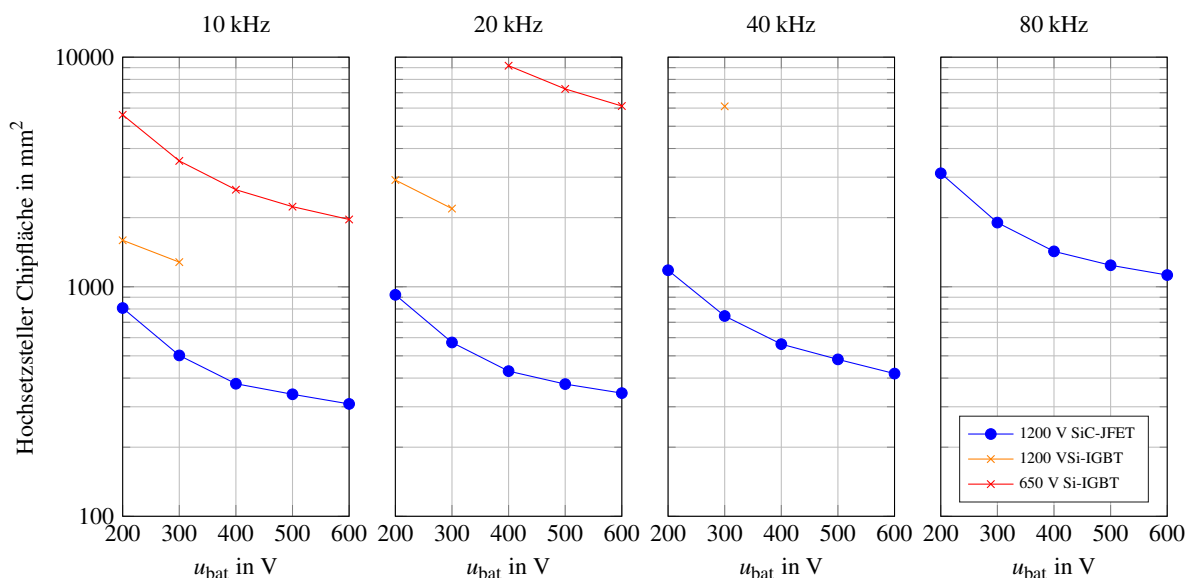


Abbildung 2.26: Thermisch minimale Chipfläche des Hochsetzstellers mit unterschiedlichen Halbleitertechnologien bei $\vartheta_{j,\text{dim}} = 175\text{ }^\circ\text{C}$, $\vartheta_{r,\text{dim}} = 105\text{ }^\circ\text{C}$ und $u_{z\text{k}} = 700\text{ V}$ bzw. 350 V

Im Vergleich zum Wechselrichter wird deutlich, dass für den Hochsetzsteller das Verhältnis von Si- zu SiC-Chipfläche deutlich höher ausfällt. Dies kann durch die hohe Zwischenkreisspannung und den damit gestiegenen Anteil der Schaltverluste erklärt werden. Abschließend bleibt noch zu überprüfen, ob die in Abschn. 2.3 postulierten Ableitungen hinsichtlich der 3WR und H3WR-Topologie auch im deterministischen Fall mit den modellierten Halbleitertechnologien zutreffend sind. In Abb. 2.27 sind für 1200 V-Bauelemente vergleichend die Wechselrichter und Hochsetzsteller-Wechselrichter-Chipfläche über der Batteriespannung dargestellt. Bei den IGBTs ist für alle betrachteten Schaltfrequenzen stets mehr Chipfläche für die H3WR-Topologie erforderlich als für die 3WR-Topologie.

Mit SiC-JFETs ist es hingegen möglich bei z.B. 20 kHz und 200 V Batteriespannung einen H3WR mit 1320 mm² Chipfläche zu realisieren, während beim 3WR 1520 mm² erforderlich wären. Bei geringeren Schaltfrequenzen steigt der Vorteil der H3WR-Topologie während sich das Verhältnis bei höheren Schaltfrequenzen zugunsten der 3WR-Topologien wandelt. Damit bestätigt sich die anhand der Belastungsgrößen getroffene Annahme aus Abschn. 2.3 aufgrund der geringen Schaltverluste für die SiC-Halbleitertechnologie. Im Technologievergleich erreicht selbst bei geringen Schaltfrequenzen von 10 kHz, einer Batteriespannung von 200 V und einer Zwischenkreisspannung von 700 V der SiC-H3WR mit 1151 mm² eine Chipfläche, die nur 17 % der Si-H3WR Chipfläche von 6672 mm² und 38 % der Si-3WR Chipfläche von 3058 mm² beträgt. Auf Grundlage dieser Erkenntnisse wurde die H3WR-Topologie mit der SiC-D-JFET-Technologie als vielversprechendste zur Realisierung ausgewählt.

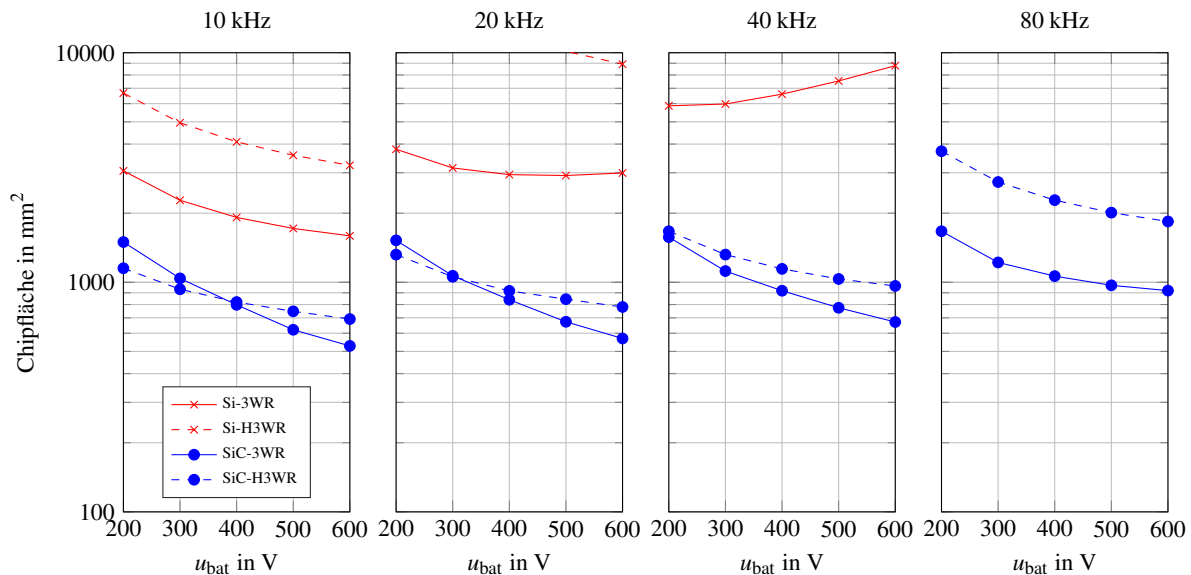


Abbildung 2.27: Vergleich der thermisch minimalen Chipfläche von 3WR und H3WR mit unterschiedlichen Halbleitertechnologien bei $\vartheta_{j,dim} = 175^\circ\text{C}$, $\vartheta_{f,dim} = 105^\circ\text{C}$ und $u_{zk} = 700\text{ V}$

Hinsichtlich der Wechselrichterverluste ist es zielführend, die Schaltfrequenz so niedrig wie möglich zu wählen. Verfahrensbedingt sollte dessen Schaltfrequenz bei Raumzeigermodulation deutlich (ca. Faktor 10) über der maximalen elektrischen Grundschwingungsfrequenz der elektrischen Maschine liegen. Sekundär entstehen aus der Raumzeigermodulation Stromüberschwingungen deren Frequenz proportional zur Schaltfrequenz ist, welche ebenfalls Verluste in der elektrischen Maschine verursachen. Je nach ohmschem Anteil im Frequenzgang der elektrischen Maschine könnte dann sogar eine noch höhere Schaltfrequenz mit gesteigerten Wechselrichterverlusten energetisch sinnvoll sein. Insgesamt wird dieser Zusammenhang im Rahmen dieser Arbeit nicht analysiert, woraus sich Untersuchungsmöglichkeiten für zukünftige Arbeiten ergeben.

Fazit

Anhand der abgeleiteten analytischen Ausdrücke konnte abgeschätzt werden, dass Wechselrichter und Hochsetzsteller mit Wechselrichter gegenüber dem Tief-Hochsetzsteller mit Wechselrichter, dem Wechselrichter mit Impedanzzwischenkreis und dem Wechselrichter mit Stromzwischenkreis hinsichtlich der Chipfläche überlegen sind. Durch die Verwendung generischer skalierbarer Eigenschaftsmodelle für die Halbleiterverluste und eines skalierbaren thermischen Modells mit Berücksichtigung der Wärmespreizung kann die thermisch minimale Chipfläche für verschiedene Halbleitertechnologien ermittelt werden. Beim Anwendungsbeispiel kann mit 1200 V SiC-JFETs gegenüber 1200 V Si-IGBTs ein Wechselrichter mit um 70 % reduzierter Chipfläche aufgebaut werden, welcher in der Anwendung 80 % weniger Verlustenergie produziert.

3 Hochsetzsteller und Wechselrichter im Betriebsverbund

Traktionswandlersysteme wechselwirken über die Betriebsstrategie nicht nur mit der Batterie und Elektromaschine, weiterführend ist es auch möglich interne Komponenten des Wandlers durch eine abgestimmte Steuerung und Dimensionierung der Teilsysteme zu entlasten. Der in Abschn. 2.3.2 beschriebene und bereits in Abb. 2.12 dargestellte H3WR verdeutlicht, dass die Kommutierungszellen des Wechselrichters und des Hochsetzstellers über den gemeinsamen Zwischenkreis miteinander verbunden sind. Durch Kommutieren der Halbbrücken fließt der induktiv eingepögte Ausgangsstrom entweder über den Zwischenkreiskondensator oder läuft durch die Halbbrücken frei. Dabei entsteht in der Kommutierungszelle ein pulsförmiger kondensatorseitiger Strom. Der resultierende Zeitverlauf des Stromes $i_{C_{zk}}$ kann daher als Überlagerung pulsförmiger Einzelströme aller Halbbrücken verstanden werden. Durch das Steuerverfahren des Wechselrichters und des Hochsetzstellers besteht daher die Möglichkeit der Einflussnahme auf den Stromzeitverlauf. Dieser Abschnitt verbindet die Auswirkungen der Designfreiheitsgrade des Systems mit eigens entwickelten Steuerverfahren, um eine Basis für die abschließende Topologieauswahl zu generieren.

3.1 Freiheitsgrade beim kombinierten Hochsetzsteller-Wechselrichtersystem

Die Steuerung von Wechselrichter und Hochsetzsteller mit gemeinsamem Zwischenkreis erfordert im stationären Zustand lediglich, dass die dem Kondensator durch die Strompulse der Kommutierungszellen zugeführte und entnommene Ladungsmenge für einen periodischen Zeitbereich gleich sind. Daher ist es möglich, sowohl die Zeitpunkte der Kommutierung des Hochsetzstellers als auch dessen Schaltfrequenz unabhängig vom Wechselrichter zu wählen. Gleichzeitig können mehrere parallele Hochsetzstellerphasen ausgeführt werden, auf welche sich der Strom aufteilt. Dies wird in Abb. 3.1 angedeutet.

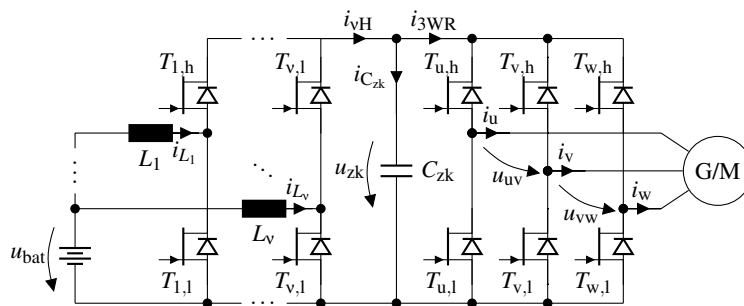


Abbildung 3.1: v-Phasen-Hochsetzsteller mit Dreiphasen-Wechselrichter (vH3WR)

Als Motivation zum Aufbau mehrphasig parallelgeschalteter Hochsetzsteller kann zunächst die Erhöhung der Systemleistung unter Nutzung eines vorhandenen Designs identifiziert werden. Sekundär bieten sich durch die abgestimmt gesteuerte Parallelisierung weitere Verbesserungsmöglichkeiten wie z.B. einen erhöhten Teillastwirkungsgrad [4], wenn Phasen ab- bzw. zuschaltbar implementiert sind. Mit v

baugleichen Hochsetzstellern kann zudem durch Phasenversatz der Modulationsträgersignale von $2\pi/v$ eine deutliche Verminderung der Batteriestromwelligkeit $\Delta i_{\text{bat}} \leq \Delta i_{L_1}/v$ erreicht werden [53]. Diese als Interleaving (INT) bekannte Ansteuermethode wird bei vielen parallelisierbaren Wandlertypen eingesetzt. INT gilt als Stand der Technik zur Ansteuerung parallelisierter Systeme und wird daher im Rahmen dieser Arbeit als Referenz angesehen. Abschließend kann die Parallelisierung auch unter weiterführenden ökonomischen Gesichtspunkten interessant sein, da die Gleichteilanzahl erhöht wird und das System modularisiert werden kann. Nachteilig ist der gesteigerte Aufwand seitens der Ansteuerhardware und Peripherie und die erhöhte Komplexität des Ansteuerverfahrens bei mehrphasiger Ausführung des Hochsetzstellers zu bewerten. Hinsichtlich der Betriebsstrategie kann die Höhe der Zwischenkreisspannung beim H3WR Wandler in den Grenzen der Spannungsfestigkeit der verwendeten Komponenten und der durch deren Dynamik begrenzten minimal einstellbaren Pulsbreite nach Gl. (2.16) frei gewählt werden.

Zusammenfassend ergeben sich somit die folgenden Freiheitsgrade für das Design, das Steuerverfahren und die Betriebsstrategie des v H3WR Wandlersystems:

- die Phasenanzahl v des Hochsetzstellers,
- die zeitliche Synchronisation jeder Hochsetzstellerphase und der Wechselrichterbrücke,
- die Schaltfrequenz jeder Hochsetzstellerphase und der Wechselrichterbrücke sowie
- die Höhe der Zwischenkreisspannung.

Im nachfolgenden Abschn. 3.2 wird unter Berücksichtigung dieser Freiheiten eine Analysemethode skizziert und damit ein verbessertes Steuerverfahren für den v H3WR abgeleitet.

3.2 Steuerverfahren mit Pulssynchronisation

In der Literatur finden sich eine Vielzahl von Arbeiten bezüglich der Steuerverfahren von parallelisierten Hochsetzstellern, in deren Fokus hauptsächlich die Eingangstromwelligkeit der Eingangsspannungsseite steht. Als Beispiele seien hier [54] zur Anbindung einer Brennstoffzelle oder [55] zur Optimierung der Systemausnutzung angeführt. Deutlich weniger Beiträge befassen sich mit der Ausgangsspannungsseite. Darin werden zumeist eine Konstantstromquelle oder ein Widerstand zur Modellierung der Zwischenkreisbelastung angenommen, welche im vorliegenden Fall jedoch ein gepulster dreiphasiger Wechselrichter ist. Analysen hinsichtlich kombinierter Steuerverfahren von Hochsetzsteller und Wechselrichter mit Fokus auf den Zwischenkreis gibt es nur wenige. Die grundlegenden Betrachtungen zu einem kombinierten Steuerverfahren sind in [56] und [57] bzw. [58] enthalten. Dabei wurde ein Winkelversatz der Modulationsträgersignale von Wechselrichter und Hochsetzsteller untersucht und der Hochsetzsteller mit doppelter Wechselrichterschaltfrequenz geschaltet. Ergebnisse dieser Untersuchungen zeigen, dass eine signifikante Reduktion des Zwischenkreiseffektivstroms um bis zu 50 % durch die Synchronisation der Wechselrichter- und Hochsetzstellerstrome bei einem einphasigen Hochsetzsteller mit dreiphasigem Wechselrichter möglich ist. Untersuchungen zu Systemen mit mehrphasigen Hochsetzsteller und Wechselrichter sind dem Autor nicht bekannt. Für diese Steuerverfahren notwendige grundlegende Untersuchungen und Methoden wurden mit der Unterstützung durch Christian Sommer im Rahmen seiner Masterarbeit [A] gemeinsam durchgeführt und erarbeitet. Ergebnisse aus der Masterarbeit sind zusammen mit Resultaten angeschlossener Untersuchungen bereits in [59] veröffentlicht worden. Im Folgenden werden diese Ergebnisse in komprimierter Form resümiert und durch eigene Analysen und Betrachtungen erweitert.

3.2.1 Motivation

Als Schnittstelle zwischen Wechselrichter und Hochsetzsteller muss der Zwischenkreiskondensator zum einen die Zwischenkreisspannung stabilisieren und zum anderen die gepulsten Ströme der Halbrücken aufnehmen können ohne thermisch überlastet zu werden. Das Volumen des Zwischenkreiskondensators V_{zk} kann proportional zur maximalen im Kondensator gespeicherten Energiemenge $E_{zk,max}$ angenommen werden. Je nach Kondensatortechnologie und Dielektrikum ist ein individueller Proportionalitätsfaktor zu berücksichtigen. Mit der Annahme, dass durch die Applikation eine maximale Zwischenkreisspannung $u_{zk,max}$ und damit ein Kondensatortyp bzw. die Dicke des Dielektrikums festgelegt wird, ist das Volumen nach

$$V_{zk} \propto E_{zk,max} = \frac{u_{zk,max}^2}{2} \cdot C_{zk} \propto C_{zk} \quad (3.1)$$

dann proportional zur Kapazität.

Unter Vernachlässigung der Stromwelligkeit der Induktivitäten am Wechselrichter und Hochsetzsteller verhält sich die vom Kondensator zwischengespeicherte Ladungsmenge Δq_{zk} umgekehrt proportional zur Schaltfrequenz da die Strompulsdauer umgekehrt proportional zur Schaltfrequenz vermindert wird, während die Strompulsamplitude gleich bleibt. Mit der Annahme, dass für die Applikation eine maximale Spannungswelligkeit $\Delta u_{zk,max}$ toleriert wird vermindert sich die benötigte Kapazität und unter Berücksichtigung von Gl. (3.1) das benötigte Volumen, reziprok mit der Schaltfrequenz. Anzumerken ist, dass dieser Zusammenhang in

$$C_{zk} = \frac{\Delta q_{zk}}{\Delta u_{zk,max}} \propto \frac{1}{f_s} \quad (3.2)$$

nur Gültigkeit besitzt insofern nicht andere Randbedingungen, wie z.B. die Regelungsaspekte, eine größere Kapazität erfordern. Daher kann zunächst gefolgert werden, dass durch Steigerung der Schaltfrequenz der Volumenbedarf für den Zwischenkreiskondensator vermindert werden kann.

Die thermische Belastung des Zwischenkreiskondensators durch den Effektivstrom ist hingegen nur abhängig von der Strompulsamplitude und damit mit zunehmender Schaltfrequenz gleichbleibend. Mit der Annahme, dass durch Parallelisierung der maximale Effektivstrom $I_{C_{zk,max}}$ wie auch die Kapazität des Kondensators linear gesteigert werden kann gilt

$$C_{zk} \propto I_{C_{zk,max}} \quad (3.3)$$

Da der maximale Effektivstrom eine thermische Belastungsgrenze darstellt, ist die Annahme in Gl. (3.3) zumindest bei einseitig gekühlten Zwischenkreiskondensatoren, wie sie bei Elektrofahrzeugen zum Einsatz kommen, als zutreffend angenommen werden. Insofern der Zwischenkreiskondensator die thermische Grenze im Betrieb erreicht, d.h. den maximal zulässigen Effektivstrom, kann durch eine Erhöhung der Schaltfrequenz nach

$$V_{zk} \propto \begin{cases} I_{C_{zk}}, & \Delta u_{zk} \leq \Delta u_{zk,max} & \text{und} & I_{C_{zk}} = I_{C_{zk,max}} \\ \frac{1}{f_s}, & \Delta u_{zk} = \Delta u_{zk,max} & \text{und} & I_{C_{zk}} \leq I_{C_{zk,max}} \end{cases} \quad (3.4)$$

keine weitere Verminderung des Zwischenkreisvolumens erreicht werden. Damit dennoch ein möglichst kompakter Zwischenkreis ermöglicht wird, können zunächst die Freiheitsgrade des Systems genutzt werden, um vorrangig den Kondensatoreffektivstrom zu minimieren. Im Abschn. 7.1 werden spezielle Kondensatortechnologien mit erhöhter Pulsstrombelastbarkeit und Energiespeicherdichte eingesetzt, um den Platzbedarf zusätzlich noch weiter zu reduzieren.

Im Folgenden wird eine Methode zur numerischen Berechnung der Kondensatoreffektivstrombelastung im Frequenzbereich skizziert und mit dem Ziel angewendet, Steuerverfahren mit optimaler Pulspositionierung (OPP) abzuleiten. Abschließend wird der praktische Nachweis der Wirksamkeit der OPP-Verfahren mit einem Niederspannungsdemonstrator erbracht und dem bekannten Steuerverfahren Interleaving (INT) gegenübergestellt.

3.2.2 Effektivstrom im Zwischenkreiskondensator

Zur vereinfachten Berechnung des Effektivstroms im Zwischenkreis werden zunächst die folgenden Annahmen getroffen:

- der Wechselrichter wird mit symmetrischer Raumzeigermodulation betrieben,
- die Schaltfrequenzen des Hochsetzstellers und des Wechselrichters sind identisch,
- das Drehstromsystem ist symmetrisch und wird symmetrisch belastet,
- das Wandlersystem wird als verlustfrei angesehen,
- die Drehstromfrequenz ist deutlich kleiner als die Schaltfrequenz und
- die Stromwelligkeit bei Wechselrichter und Hochsetzsteller kann vernachlässigt werden.

Sowohl die Strompulse welche der Wechselrichter als auch der Hochsetzsteller im Zwischenkreiskondensator erzeugen, sind demnach rechteckig. Da der Zeitverlauf des Wechselrichtereingangstroms i_{3WR} durch das Modulationsverfahren und die getroffenen Annahmen bereits vollständig bestimmt ist, wird dieser wie nachfolgend beschrieben. Beim Dreiphasenwechselrichter in Abb. 3.2 wird der jeweilig zum aktiven Schaltzustand der Ausgangsbrücke gehörige Phasenstrom auf den Zwischenkreis kommutiert. Eine Beschränkung der Betrachtung auf das erste Segment I mit $0^\circ < \gamma < 60^\circ$ ist dabei durch Symmetrien zu begründen und zulässig. Die Dauern der aktiven Zustände hängen bei Raumzeigermodulation von der Drehspannung ab, welche durch den mit Drehspannungsfrequenz rotierenden Ausgangsspannungszeiger $\vec{u}_{1, \text{str}}$ in der $\alpha\beta$ -Ebene repräsentiert wird. Diese heute allgemein bekannte und in der leistungselektronischen Anwendung und Antriebsregelung häufig verwendete Darstellungsform mittels Clarke-Transformation wurde in [60] erläutert. Jeder Ausgangsspannungszeiger im ersten Segment kann durch Linearkombination der Zustandsspannungszeiger \vec{u}_u und $-\vec{u}_w$ gemäß Gl. (3.5) erzeugt werden.

$$\vec{u}_{1, \text{str}} = T_{Z_1} \vec{u}_u - T_{Z_2} \vec{u}_w \quad (3.5)$$

Abb. 3.2 zeigt schematisch die entstehenden Zeitsignale des Wechselrichtereingangstroms i_{3WR} für den eingestellten Ausgangsspannungszeiger $\vec{u}_{1, \text{str}}$. Um die Grundidee der OPP-Steuerverfahren zu visualisieren, sind die Stromzeitverläufe des Wechselrichterstroms i_{3WR} , des Hochsetzstellerstroms i_{2H} und des Zwischenkreiskondensatorstrom i_{zk} für zwei mögliche Betriebsfälle dargestellt. Beim ersten Betriebsfall (links) werden die Hochsetzstellerphasen ungleichmäßig belastet und die Pulse sind zeitlich zufällig positioniert. Der zweite Betriebsfall (rechts) weist dagegen eine mit dem Wechselrichter abgestimmte zeitliche Positionierung sowie eine gleichmäßige Lastverteilung auf. Bereits am Zeitverlauf des jeweiligen Zwischenkreisstroms lässt sich erahnen, dass der Effektivwert im abgestimmten Betriebsfall deutlich geringer ausfällt.

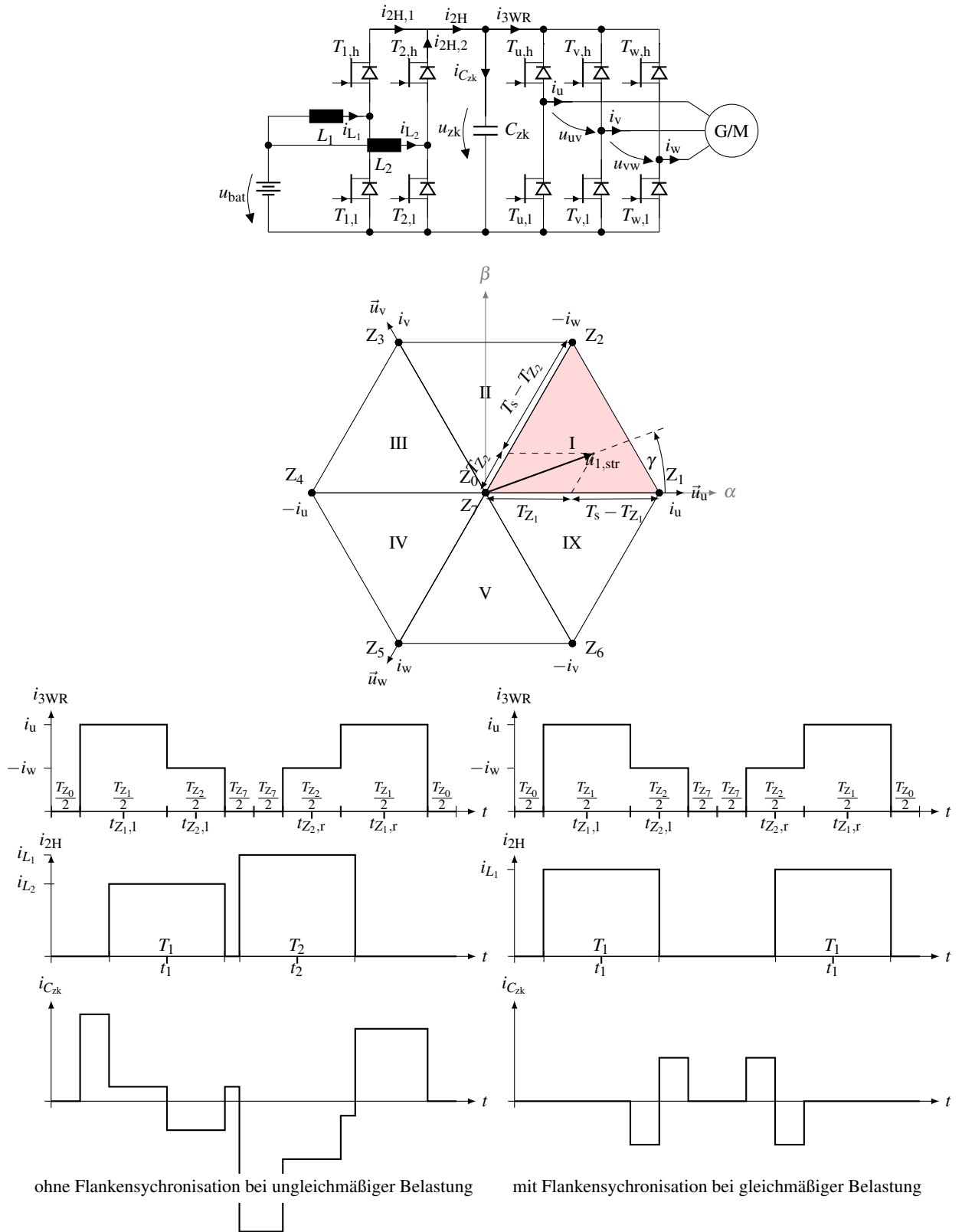


Abbildung 3.2: Stromzeitverläufe im Zwischenkreis am Beispiel des 2H3WR

Die Zustandszeiten T_{Z_1} und T_{Z_2} der aktiven Zustände Z_1 und Z_2 des ersten Segments sind entsprechend der vektoriellen Linearkombination nach den folgenden Gleichungen

$$T_{Z_1} = \frac{\hat{u}_{1,\parallel}}{2f_s u_{zk}} \left(\cos(\gamma) - \cos\left(\gamma - \frac{2\pi}{3}\right) \right) \quad \text{und} \quad (3.6)$$

$$T_{Z_2} = \frac{\hat{u}_{1,\parallel}}{2f_s u_{zk}} \left(\cos\left(\gamma - \frac{2\pi}{3}\right) - \cos\left(\gamma - \frac{4\pi}{3}\right) \right) \quad (3.7)$$

zu berechnen. Demgegenüber sind die Dauern T_{Z_0} und T_{Z_7} der Nullzustände Z_0 und Z_7 bei Raumzeigermodulation immer gleich und werden nach

$$T_{Z_0} = T_{Z_7} = \frac{1 - \frac{\hat{u}_{1,\parallel}}{u_{zk}} \left(\cos(\gamma) - \cos\left(\gamma - \frac{4\pi}{3}\right) \right)}{2f_s} \quad (3.8)$$

ermittelt. Die Amplitude des Strompulses im aktiven Zustand entspricht dem Augenblickwert des jeweilig auf den Zwischenkreis kommutierten Phasenstrom, im ersten Segment fließt bei Zustand Z_1 der Strom von Motorphase u positiv und bei Zustand Z_2 der Strom von Motorphase w negativ durch den Zwischenkreis. Während der Nullzustände Z_0 und Z_7 fließt kein Strom durch die Wechselrichterbrücke über den Zwischenkreis. Bei symmetrischem Dreiphasenwechselstrom berechnen sich die Augenblickwerte der Phasenströme und somit die Amplituden der Zwischenkreisstrompulse wie folgt nach

$$i_{Z_1} = i_u = \hat{i}_{1,\text{str}} \cos(\gamma - \varphi) \quad \text{und} \quad (3.9)$$

$$i_{Z_2} = -i_w = \hat{i}_{1,\text{str}} \cos\left(\gamma - \varphi - \frac{\pi}{3}\right). \quad (3.10)$$

Somit sind die Amplituden, Dauern und Zeitpunkte des Kommutierens der Wechselrichterstrompulse in Abhängigkeit vom Ausgangsspannungsvektor $\vec{u}_{1,\text{str}}(\hat{u}_{1,\text{str}}, \gamma)$, der Zwischenkreisspannung u_{zk} , der Drehstromamplitude $\hat{i}_{1,\text{str}}$ und dem Leistungsfaktor $\cos(\varphi)$ bekannt. Daher ist es möglich den Zeitverlauf des Wechselrichterstromes bei Kenntnis dieser Parameter aus Einzelstrompulsen zusammengesetzt zu konstruieren bzw. vollständig zu beschreiben.

Der Zeitverlauf des hochsetzstellerseitigen Stromes i_H ist mit den getroffenen Annahmen ebenfalls rechteck-pulsförmig. Die Strompulsdauer hängt im stationären Betrieb gemäß der Steuerkennlinie Gl. (2.16) vom Verhältnis der Batteriespannung zur Zwischenkreisspannung ab und der Zeitpunkt des Strompulses ist wie bereits in Abschn. 3.1 angedeutet innerhalb der schaltfrequenten Periodendauer frei wählbar. Die Amplitude des Hochsetzstellerstrompulses ergibt sich für den verlustfrei angenommenen und einphasig ausgeführten Wandler aus der abgegebenen Wirkleistung des Wechselrichters nach

$$\hat{i}_{L_1} = \hat{i}_{1H} = \frac{P_{3WR}}{u_{\text{bat}}} = \frac{\sqrt{3} \hat{u}_{1,\parallel} \hat{i}_{1,\text{str}} \cos(\varphi)}{2u_{\text{bat}}}. \quad (3.11)$$

Bei v -phasiger Ausführung ist der Ausdruck in Gl. (3.11) hingegen für die Stromsumme der Hochsetzstellerphasen gültig und es folgt

$$\sum_{n=1}^v \hat{i}_{vH,n} = \frac{\sqrt{3} \hat{u}_{1,\parallel} \hat{i}_{1,\text{str}} \cos(\varphi)}{2u_{\text{bat}}}. \quad (3.12)$$

Eine Inhomogenität der Stromverteilung bzw. Belastung der Hochsetzstellerphasen für die zu entwickelnden Steuerverfahren wurde zur Vereinfachung der Analyse nicht betrachtet, so dass

$$\hat{i}_{vH,n} = \frac{\hat{i}_{1H}}{v} \quad \text{mit} \quad n \in \mathbb{N} \leq v \quad (3.13)$$

gilt.

Damit sind die Amplituden und Dauern der Hochsetzstellerstimpulse in Abhängigkeit von der Phasenanzahl n , dem Spannungsverhältnis $\hat{u}_{1,\text{str}}/u_{\text{bat}}$, der Drehstromamplitude $\hat{i}_{1,\text{str}}$ und dem Leistungsfaktor $\cos(\varphi)$ bekannt. Nachfolgend wird die mathematische Repräsentation des Rechteckpulses als Basisfunktion der Analysemethode eingeführt. Verallgemeinert wird die Zeitfunktion eines Stromrechteckpulses i_{\square} der Dauer T_{\square} zentrisch zum Zeitpunkt t_{\square} in Form des Ausdrucks

$$i_{\square} = \begin{cases} \hat{i}_{\square}, & |t - t_{\square}| \leq \frac{T_{\square}}{2} \\ 0, & |t - t_{\square}| > \frac{T_{\square}}{2} \end{cases} = \hat{i}_{\square} \text{rect} \left(\frac{t - t_{\square}}{T_{\square}} \right) \quad (3.14)$$

beschrieben. Der Zeitverlauf des Zwischenkreiskondensatorstrom soll durch die Überlagerung von Rechteckstromverläufen angenähert werden. Lediglich die zeitlichen Positionen der Hochsetzstellerstimpulse sind nach den vorangestellten Betrachtungen noch frei zu wählen. Soll diese innerhalb der Schaltperiode für alle v -Phasen und jeden Winkel γ so gewählt werden, dass der Zwischenkreiseffektivstrom nach

$$I_{\text{zk}} = \sqrt{\int_{\tau}^{\tau + \frac{1}{f_p}} f_p (i_{3\text{WR}} - i_{\text{vH}})^2 dt} \quad (3.15)$$

insgesamt minimal wird, entsteht ein Optimierungsproblem welches numerisch gelöst werden kann. Aufgrund der hohen Anzahl an Fallunterscheidungen beim analytischen Ansatz wurde der numerische Lösungsansatz bevorzugt. Zur direkten Berechnung des Effektivwerts wurde allerdings nicht das Zeitbereichsintegral nach Gl. (3.15) numerisch ausgewertet, sondern die Bestimmung des Effektivwerts im Frequenzbereich angenähert. Zunächst wird durch periodische Fortsetzung mit der Periodendauer des Pulsmusters $T_p = 1/f_p$ aus dem kontinuierlichen Einzelpulsspektrum ein frequenzdiskretisiertes Spektrum erzeugt. Die Diskretisierung erfolgt bei ganzzahligen Vielfachen der Frequenz f_p . Daher entstehen auch bei der Überlagerung von beliebigen Rechteckpulsen des Pulsmusters nur Frequenzanteile bei Vielfachen von f_p . Bei der Berechnung können die komplexen Fourier-Koeffizienten c_m für einen Puls direkt aus der analytischen Beschreibung

$$c_m = \hat{i}_{\square} f_p T_{\square} \text{si}(\pi m f_p T_{\square}) e^{-j2\pi m f_p t_{\square}} = \frac{\hat{i}_{\square}}{m\pi} \sin(\pi m f_p T_{\square}) e^{-j2\pi m f_p t_{\square}} \quad \text{mit } m \in \mathbb{Z} \quad (3.16)$$

ermittelt werden. Die Zeitbereichsfunktion kann aus den Fourier-Koeffizienten mit

$$i_{\square} = \sum_{m=-\infty}^{\infty} c_{\text{pm}} e^{i2\pi m f_p t} \quad \rightarrow \quad i_{\square}^* = \sum_{m=-M}^M c_{\text{pm}} e^{i2\pi m f_p t} \quad (3.17)$$

rekonstruiert bzw. angenähert werden. Aufgrund der Orthogonalität der harmonischen Funktionen und dem Parsevalschen Theorem kann anschließend das Zeitbereichsintegral äquivalent im Frequenzbereich mit

$$I_{C_{\text{zk}}}^2 = \sum_{m=-\infty}^{\infty} \left| \sum_{z=0}^7 c_{m,3\text{WR}_{z_z}} - \sum_{n=1}^v c_{m,v\text{H},n} \right|^2 \quad \rightarrow \quad I_{C_{\text{zk}}}^{*2} = \sum_{m=-M}^M \left| \sum_{z=0}^7 c_{m,3\text{WR}_{z_z}} - \sum_{n=1}^v c_{m,v\text{H},n} \right|^2 \quad (3.18)$$

für das verlustleistungsproportionale Effektivstromquadrat gelöst werden. Des Weiteren kann der Berechnungsaufwand reduziert werden indem die äußere Summe in m nur für einen begrenzten Bereich ausgewertet wird (hier $M = 100$ siehe auch Gl. (3.17) und Gl. (3.18)). Durch die Begrenzung auf M entstehen Überschwinger an den Pulsflanken bzw. Unstetigkeitsstellen, sodass weder gleichmäßige noch punktweise Konvergenz der Fourierreihe vorliegt. Dieses Verhalten ist gemeinhin als Gibbs'sches

Phänomen bekannt. Die Fourierreihe konvergiert jedoch im Sinne der L^2 -Norm nach

$$\|i_{\square}^* - i_{\square}\|_2 = \sqrt{f_P \int_t^{t+T_P} |i_{\square}^* - i_{\square}|^2 dt} \xrightarrow{M \rightarrow \infty} 0, \quad (3.19)$$

sodass der Fehler für große M gegen null geht. Damit wird der Fehler im quadratischen Effektivwert

$$\left\| I_{C_{zk}}^{*2} - I_{C_{zk}}^2 \right\|_1 = I_{C_{zk}}^{*2} - I_{C_{zk}}^2 \xrightarrow{M \rightarrow \infty} 0 \quad (3.20)$$

ebenfalls für große M vernachlässigbar. Somit ist die näherungsweise Berechnung des quadratischen als auch des Effektivwertes $I_{C_{zk}}$ durch einen Abbruch der Reihenentwicklung mit $I_{C_{zk}}^*$ zulässig, da der gemachte Fehler nach Gl. (3.19) und Gl. (3.20) verschwindet.

Bei der Bestimmung der optimalen Pulspositionen der Hochsetzstellerphasen ist es bei Rechteckpulsen zudem ausreichend, den Effektivstrom nur bei Positionen mit fluchtenden Pulsflanken auszuwerten. Dieser Zusammenhang wird in Abb. 3.3 veranschaulicht.

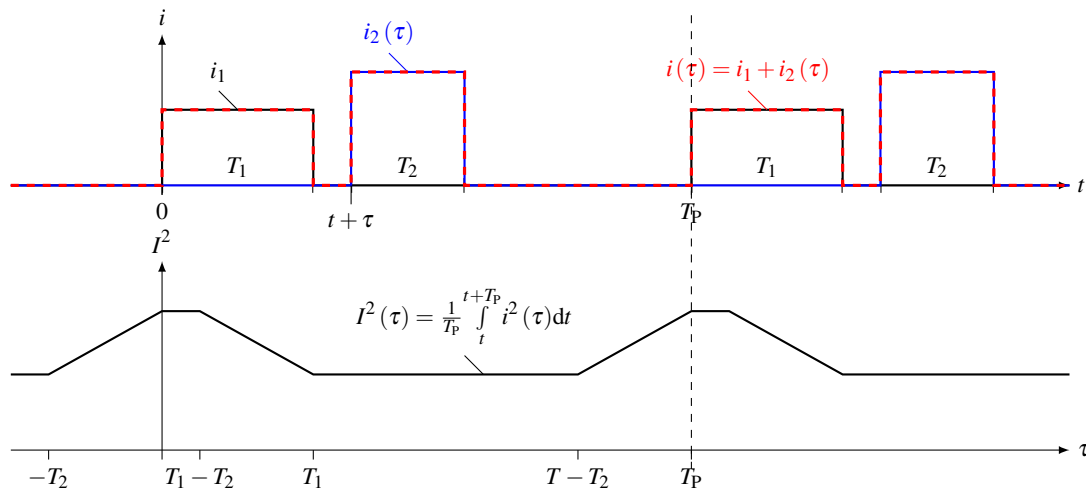


Abbildung 3.3: Überlagerung von zwei Rechteckstrompulsen

Dargestellt sind die Zeitverläufe der T_P -periodischen Strompulse i_1 und $i_2(\tau)$. Der Strompuls i_1 weist bei $t = 0$ eine steigende und bei $t = T_1$ eine fallende Flanke auf wohingegen $i_2(\tau)$ bei $t = \tau$ eine steigende und bei $t = \tau + T_2$ eine fallende Flanke aufweist. Somit kann die Pulsposition von $i_2(\tau)$ mit dem Parameter τ gegenüber der Pulsposition von i_1 eingestellt werden. Des Weiteren ist das Stromeffektivwertquadrat $I^2(\tau)$ des resultierenden Stroms $i(\tau) = i_1 + i_2(\tau)$ gegenüber dem Parameter τ in Abb. 3.3 dargestellt. Am Verlauf von $I^2(\tau)$ wird ersichtlich, dass, sofern sich zwei Pulsflanken z.B. bei $\tau = 0$ überlagern, eine Steigungsänderung erfolgt. Daher ist zur Bestimmung des absoluten Minimums eine Berechnung des Effektivwertes bei fluchtenden Pulsflanken, hier bei $\tau \in \{0, T_1 - T_2, T_1, T_P - T_2\}$, durchzuführen.

Für jeden Winkel γ werden die optimalen Pulspositionen der Hochsetzstellerphasen ermittelt und anschließend der insgesamt resultierende Effektivstrom des Kondensators berechnet. Mit dieser Methode ermittelte Zeitverläufe stellt Abb. 3.4 für einen 4H3WR im Betriebsfall bei $u_{zk}/u_{bat} = 4$, $\hat{u}_{1,II}/u_{bat} = 3$, einem Leistungsfaktor von 1 und $\gamma = 15^\circ$ als Anschauungsbeispiel dar. Zusätzlich ist der Verlauf der Pulspositionen für diesen Betriebsfall in Abhängigkeit des Winkels γ in Abb. 3.5 veranschaulicht. Die Steuerzeiten und die zeitliche Position der Wechselrichterzustände sind mit durchgehend farbigen Gebieten gekennzeichnet. Bei den Hochsetzstellerpulsen wurden hingegen schraffierte Bereiche zur Kennzeichnung genutzt damit die Pulsüberlappung sichtbar wird.

Hier folgen die Pulsflanken der Hochsetzstellerstrompulse den jeweilig an Nullzustände angrenzenden Wechselrichterpulsflanken. Dieses Verhalten ist jedoch nicht für alle Betriebspunkte gegeben.

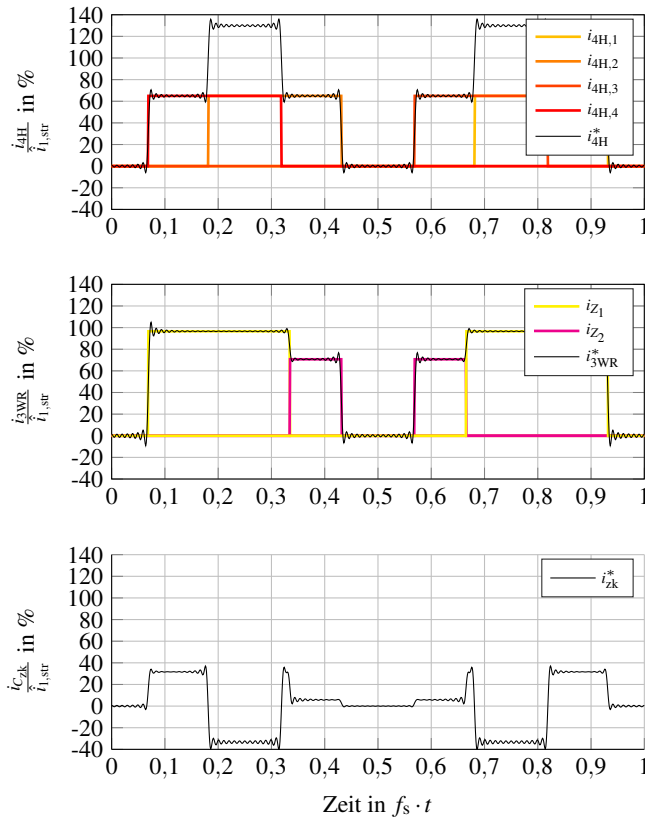


Abbildung 3.4: Stromzeitverläufe bei $u_{zk} = 4u_{bat}$, $\hat{u}_{1,ll} = 3u_{bat}$, $\cos(\varphi) = 1$ und $\gamma = 15^\circ$

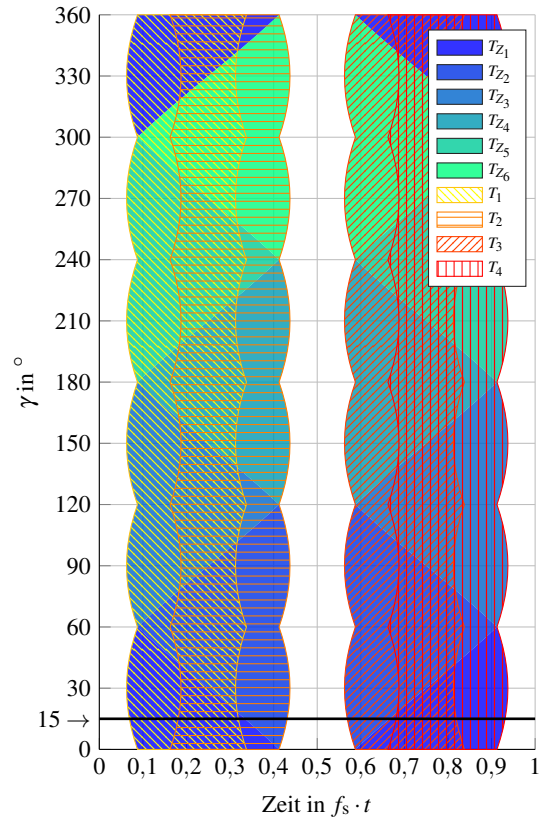


Abbildung 3.5: Steuerzeiten bei $u_{zk} = 4u_{bat}$, $\hat{u}_{1,ll} = 3u_{bat}$, $\cos(\varphi) = 1$

Die folgenden Abb. 3.6 bis Abb. 3.13 fassen die Auswirkungen der Steuerverfahren und Betriebsstrategien auf die Zwischenkreisbelastung zusammen. Dargestellt ist der Kondensatoreffektivstrom bezogen auf die Strangstromamplitude $I_{zk}/\hat{i}_{1,Str}$, über der auf die Batteriespannung bezogenen Leiter-Leiter-Spannung $\hat{u}_{1,ll}/u_{bat}$ sowie dem Phasenwinkel φ zwischen Drehstrom und -spannung. Zwei unterschiedliche Betriebsstrategien mit konstant maximaler Zwischenkreisspannung $u_{zk} = 4u_{bat}$ und mit minimaler Zwischenkreisspannung $u_{zk} = \max\{\hat{u}_{1,ll}, u_{bat}\}$ wurden verglichen. Die Ergebnisse für jeweils eine (OPP1), zwei (OPP2), drei (OPP3) und vier (OPP4) Hochsetzstellerphasen sind gegenübergestellt. Für die Kondensatordimensionierung relevante Maxima wurden in den Abb. 3.6 bis Abb. 3.13 gekennzeichnet und hervorgehoben. Typische und relevante Betriebspunkte für Traktionsanwendungen weisen einen relativ hohen Anteil an Wirkleistung auf. Als Richtwert für diese Einschränkung kann $\cos(\varphi) > 0,5 \rightarrow \varphi < 60^\circ$ angenommen werden. Übliche elektrische Antriebe arbeiten in normalen Betriebsbereichen mit einem noch größeren Leistungsfaktor, jedoch können bei hoch ausgenutzten Maschinen und in Überlastbetriebspunkten mit hohen Strömen durch die Sättigung zwischenzeitlich niedrige Leistungsfaktoren auftreten.

Der Betrieb mit einer Hochsetzstellerphase und minimaler Zwischenkreisspannung in Abb. 3.6, Abb. 3.8, Abb. 3.10 und Abb. 3.12 weist im niedrigen Spannungsbereich ein lokales Maximum von 46 % auf. Dieses Maximum tritt unabhängig von der Phasenzahl bei minimaler Zwischenkreisspannung immer auf da der Hochsetzsteller hier erst ab einer Leiter-Leiter-Spannung größer der Batteriespannung zu takten beginnt. Bei einer Phase ist mit steigender Leiter-Leiter-Spannung sowohl bei minimaler als auch bei maximaler Zwischenkreisspannung ein deutlicher Anstieg des bezogenen Effektivstroms auf 146 % zu erkennen.

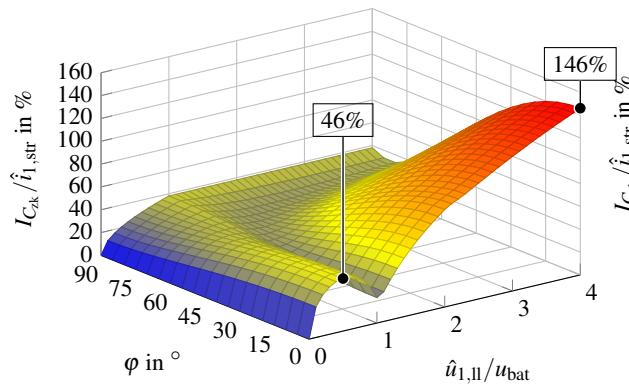


Abbildung 3.6: OPP1, $u_{\text{zk}} = \max \{ \hat{u}_{1, \text{II}}, u_{\text{bat}} \}$

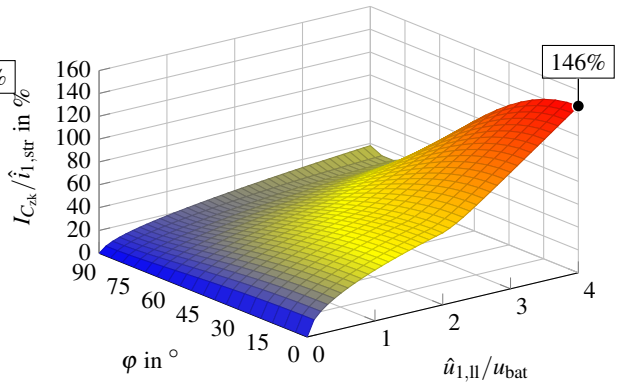


Abbildung 3.7: OPP1', $u_{\text{zk}} = 4u_{\text{bat}}$

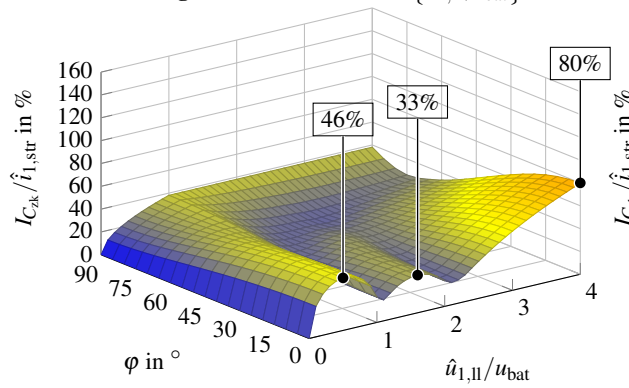


Abbildung 3.8: OPP2, $u_{\text{zk}} = \max \{ \hat{u}_{1, \text{II}}, u_{\text{bat}} \}$

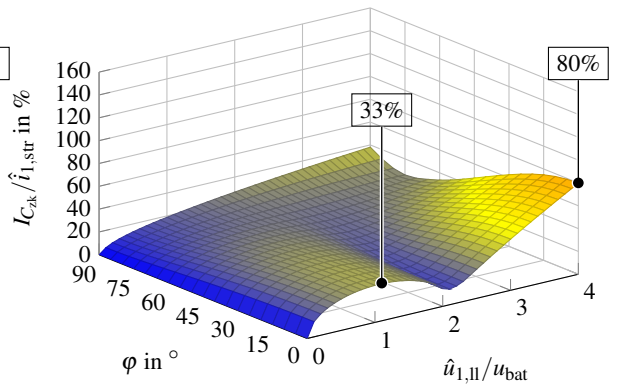


Abbildung 3.9: OPP2', $u_{\text{zk}} = 4u_{\text{bat}}$

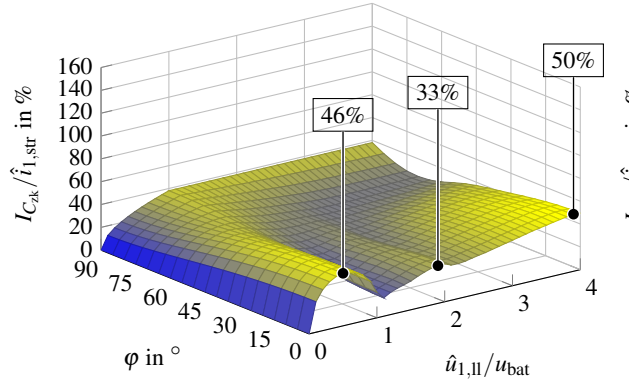


Abbildung 3.10: OPP3, $u_{\text{zk}} = \max \{ \hat{u}_{1, \text{II}}, u_{\text{bat}} \}$

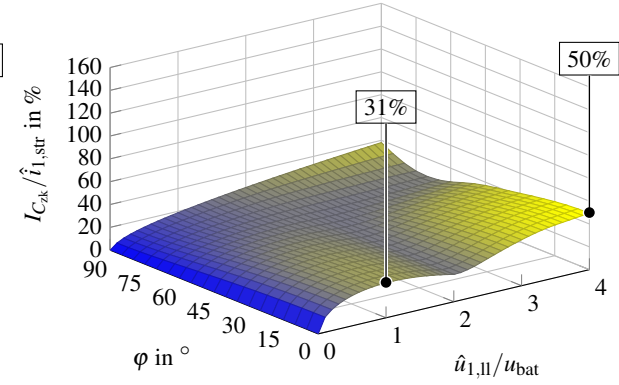


Abbildung 3.11: OPP3', $u_{\text{zk}} = 4u_{\text{bat}}$

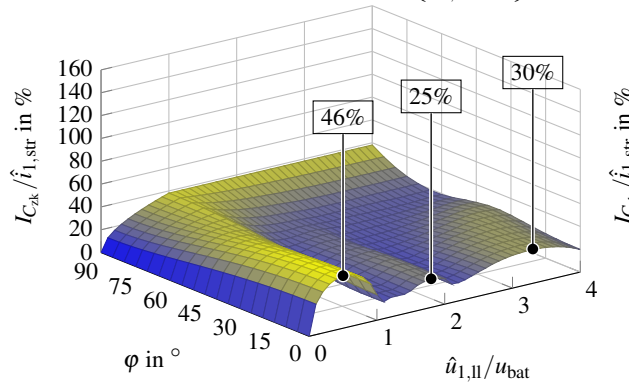


Abbildung 3.12: OPP4, $u_{\text{zk}} = \max \{ \hat{u}_{1, \text{II}}, u_{\text{bat}} \}$

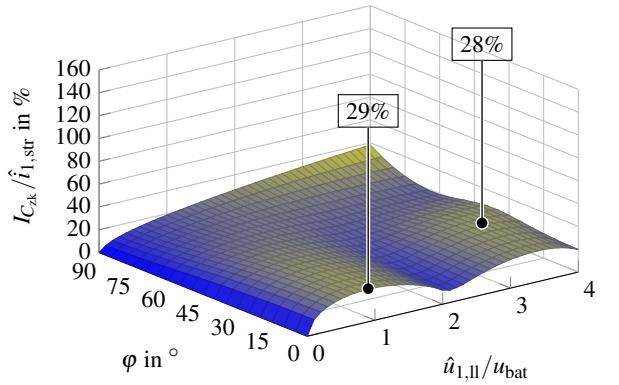


Abbildung 3.13: OPP4', $u_{\text{zk}} = 4u_{\text{bat}}$

Durch den Einsatz von zwei Hochsetzstellerphasen (OPP2) kann die thermische Belastung des Zwischenkreises deutlich reduziert werden, was bereits unmittelbar aus der zweipulsigen Stromkurvenform des Wechselrichterstromes in Abb. 3.2 ableitbar ist. Hier fällt im Verlauf in Abb. 3.8 und Abb. 3.9 bei einer Leiter-Leiter-Spannungsamplitude zweifacher Batteriespannung ein lokaler Minimalbereich auf, welcher durch ein Annähern der Wechselrichter- und Hochsetzstellerpulsformen (Dauer und Amplitude) erklärt werden kann. Mit höherer Zwischenkreisspannung steigt der bezogene Effektivwert auf 80 % der Drehstromamplitude bei beiden Betriebsarten an. Gegenüber dem einphasigen Hochsetzsteller ist somit eine Reduktion der Zwischenkreiseffektivstrombelastung um 45 % erreichbar.

Die dreiphasige Hochsetzsteller-Wechselrichter-Kombination ist technisch und ökonomisch besonders interessant, da hier sowohl für den Wechselrichter als auch für den Hochsetzsteller die gleiche Topologie mit drei Halbbrücken verwendet werden kann. In Hinblick auf den Zwischenkreiskondensatorstrom in Abb. 3.10 und Abb. 3.11 wird mit dem OPP3 Steuerverfahren bei hohen Zwischenkreisspannungen eine weitere Reduktion um 37,5 % auf die Hälfte der Drehstromamplitude möglich. Mit den geforderten Bemessungsdaten des Wandlersystems ($u_{zk} = 700 \text{ V}$, $u_{bat} = 200 \text{ V}$, $\cos(\varphi) = 0,7$) ergibt sich jedoch eine Belastung der Lowside-Transistoren der Hochsetzstellermodule, welche höher ist als die der Wechselrichtermodule. Daher ist für diesen Anwendungsfall bei optimaler Systemausnutzung die Verwendung gleicher Bauteile mit dreiphasigem Hochsetzsteller nicht gegeben.

Bei der Verwendung eines vierphasigen Hochsetzstellers mit optimierten Pulspositionen (OPP4) ist eine weitere Verminderung des Zwischenkreiskondensatoreffektivstroms realisierbar. In Abb. 3.12 kann der Effektivstrom gegenüber OPP3 um 8 % auf 46 % der Drehstromamplitude reduziert werden. Bei der Betriebsart mit konstanter Zwischenkreisspannung in Abb. 3.13 ist sogar eine Verringerung um 42 % möglich, was absolut 29 % des bezogenen Effektivstroms entspricht.

Insgesamt konnte gezeigt werden, dass die Hochsetzstellerphasenanzahl, sowie das Steuerverfahren und die Betriebsführung des Systems maßgeblich die Effektivstrombelastung des Zwischenkreiskondensators bestimmen. Bei Verwendung der gleichen Kapazität kann mit OPP4 gegenüber OPP1 die maximale im Zwischenkreis auftretende Verlustleistung beim Betriebsmodus mit minimaler Zwischenkreisspannung um eine Größenordnung auf etwa 10 % reduziert werden. Im Betriebsmodus mit maximaler Zwischenkreisspannung entsteht sogar nur 4 % der Verlustleistung im Zwischenkreis. In Analogie dazu wird bei thermisch begrenzten Systemen und gleichbleibender Verlustleistungsdichte der Kondensatorvolumenbedarf auf etwa 32 % respektive 20 % vermindert. Diese Faktoren belegen die Wirksamkeit der Ausnutzung der Designfreiheitsgrade, um einen reduzierten Volumenbedarf passiver Komponenten zu erreichen.

3.2.3 Verifikation mit Niederspannungsdemonstrator

Zur praktischen Verifikation der theoretischen Ergebnisse aus Abschn. 3.2.2 wurde ein vierphasiger Niederspannungsdemonstrator mit etwa 1 % der Zielsystemleistung aufgebaut. Mit diesem vierphasigen Demonstrator ist es möglich das Verhalten des einphasigen und des zweiphasigen Systems durch gleichzeitiges Takten der Hochsetzstellerphasen nachzubilden. Das Verhalten des dreiphasigen Systems kann durch Abschalten einer Hochsetzstellerphase nachgestellt werden. Im Anhang in Abschn. A.1 ist der Niederspannungsdemonstrator und Messaufbau beschrieben mit welchem die nachfolgenden Ergebnisse erzielt wurden.

In einem ersten Schritt wurden die gemessenen Zeitverläufe des Zwischenkreisstromes den modellierten Verläufen aus Abschn. 3.2.2 gegenübergestellt. Vergleichend sind die OPP1-Steuerung mit vier gleichzeitig getakteten Phasen sowie die OPP4-Steuerung dem als Referenzverfahren ausgewählten vierfachen „Interleaving“ (INT4) gegenübergestellt. Als Betriebsmodus wurde die maximale Zwischenkreisspannung mit $u_{zk} = 4u_{bat}$ ausgewählt, da hier der geringste Zwischenkreiseffektivstrom erreicht werden kann.

In Abb. 3.14 ist der Stromzeitverlauf beim Winkel $\gamma = 30^\circ$ für eine Schaltperiode abgebildet. Rot ist der erwartete Zeitverlauf mit dem vereinfachten Modell und in Schwarz das gemessene Signal dargestellt. Bei allen Verfahren kann eine sehr gute Übereinstimmung von Modell und Messung festgestellt werden. Abweichungen sind durch die Vereinfachungen bedingt wie z.B. die Vernachlässigung der Stromwelligkeit.

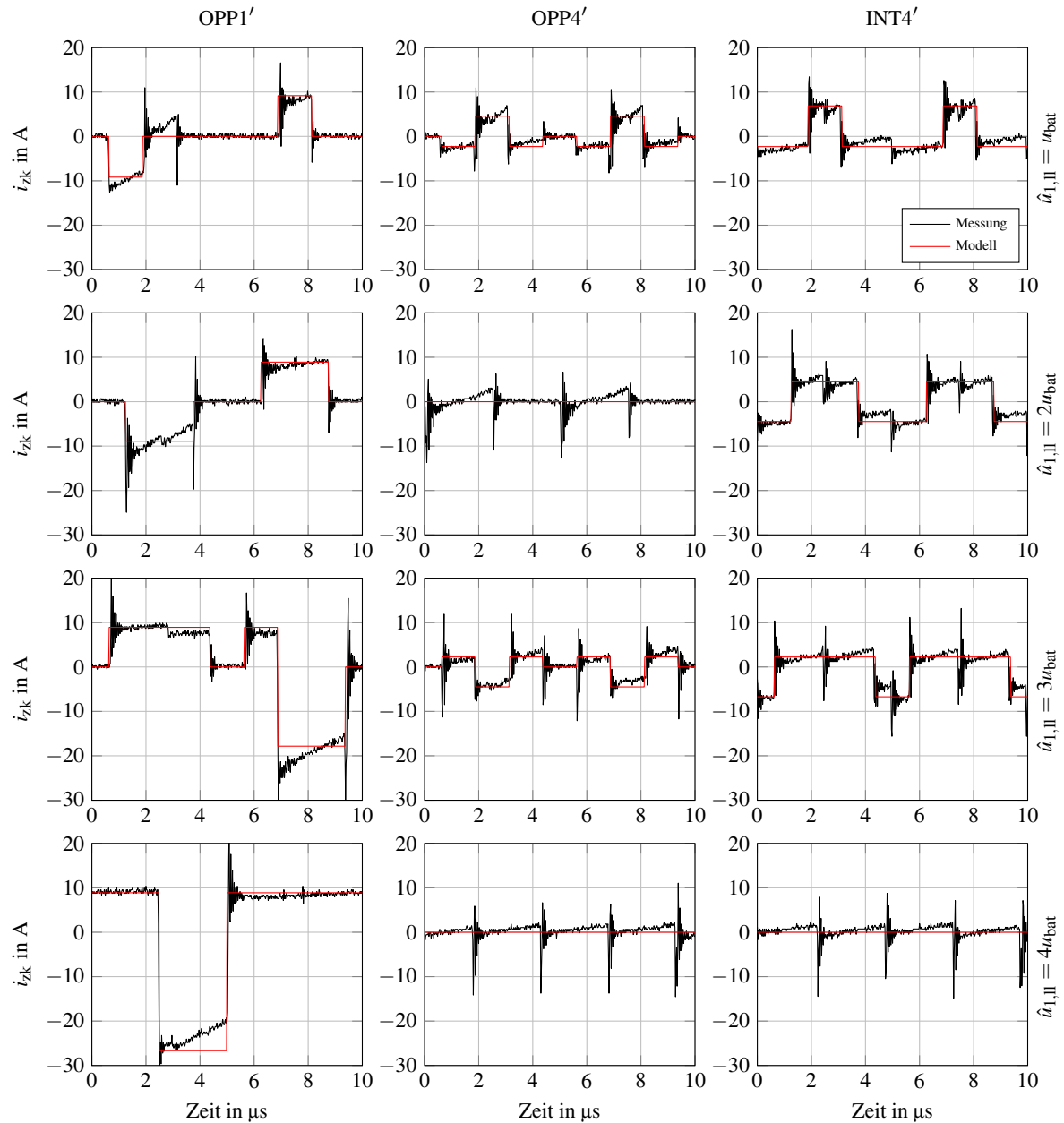


Abbildung 3.14: Zeitverlauf der gemessenen (schwarz) und modellierten (rot) Ströme im Zwischenkreis

Ein Arbeitspunkt mit sehr niedriger Drehspannungsfrequenz bei einem Leistungsfaktor nahe 1 wurde mit dem Testsystem angefahren. Die Zeitverläufe des Kondensatorstroms wurden jeweils für die Dauer einer Grundswingungsperiode aufgezeichnet. Bei allen Messungen konnte eine Ausgangsstromamplitude von $\hat{i}_{1,\text{str}} = 10 \text{ A}$ durch Anpassen des ohmschen Lastanteils erreicht werden. Der modellierte Zwischenkreiseffektivstrom ist für die OPP1'-, OPP4'- und INT4'-Ansteuerung über der bezogenen Leiter-Leiter-Drehspannungsamplitude in Abb. 3.15 als rote Linie aufgetragen. Zum Vergleich sind die ermittelten Effektivwerte der gemessenen Zeitverläufe entsprechend der Ansteuerung als schwarze Marker eingetragen.

Die gemessenen Datenpunkte verhalten sich nahezu formtreu zu den vorausgerechneten Kennlinien der Effektivströme. Beim OPP4-Verfahren werden jedoch die absoluten Minimalwerte mit einer Abweichung von über 120 % nicht wiedergegeben. Der gemessene Verlauf lässt dennoch eine Verbindung erahnen, da das Minimum trotz sehr großer Abweichung beim erwarteten Drehspannungswert erreicht wird. Mögliche Gründe für die Abweichungen sind die in Abschn. 3.2 zur Berechnung getroffenen Vereinfachungen. Beispielsweise kann die vernachlässigte Stromwelligkeit in einigen Betriebspunkten zu einer Vergrößerung des Effektivstroms führen (siehe Abb. 3.14 OPP4 $\hat{u}_{1,II} = 2u_{bat}$).

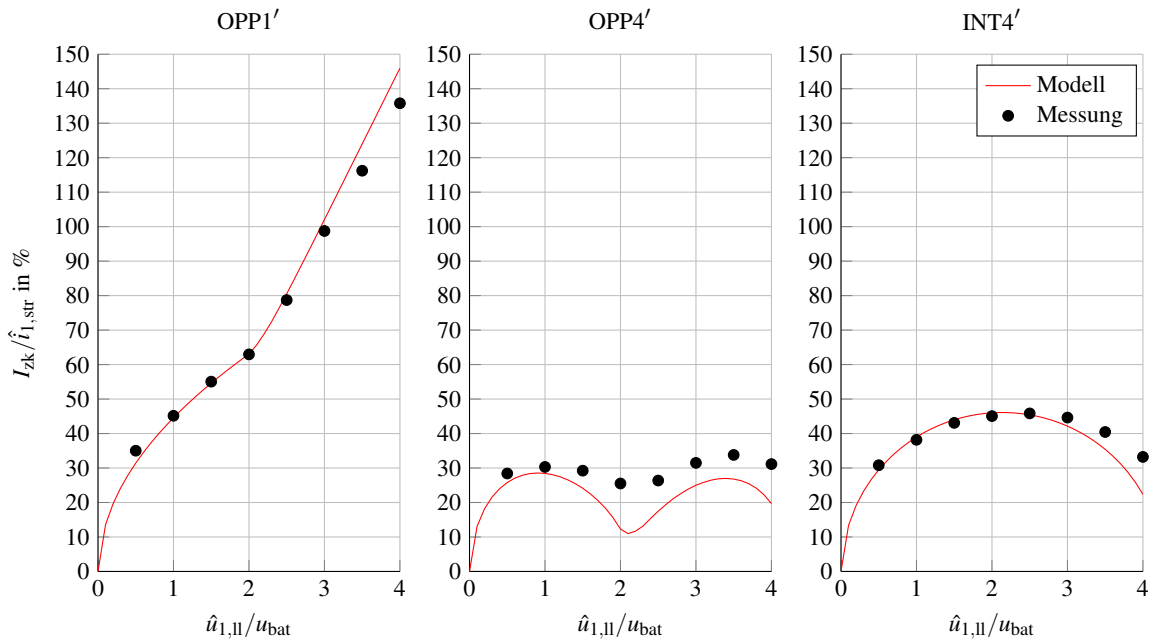


Abbildung 3.15: Effektivwerte der gemessenen(schwarz) und modellierten(rot) Ströme im Zwischenkreis

Insgesamt kann somit die Modellierungsmethodik in den Grenzen der Modellgenauigkeit und auch die Wirksamkeit der entwickelten Steuerverfahren anhand der Messergebnisse mit einem Niederspannungsdemonstrator als verifiziert angesehen werden.

3.3 Topologieauswahl

Im vorangestellten Abschn. 3.2.2 ist untersucht worden inwiefern die Anzahl der Hochsetzstellerphasen in Kombination mit den entwickelten Steuerverfahren eine Verminderung der Effektivstrombelastung des Zwischenkreises ermöglicht. Im Ergebnis kann mit einem vierphasigen System im Vergleich zu Systemen geringerer Phasenanzahl die niedrigste Zwischenkreisbelastung erreicht werden. Ein dreiphasiges System ist bezüglich der Topologie die ökonomisch interessante Variante, da sie die höchste Gleichteiligkeit aufweist, jedoch aufgrund der hohen Effektivstrombelastung der Lowside-Transistoren des Hochsetzstellers hier nicht einsetzbar (siehe Abschn. 3.2.2). Gegen eine hohe Anzahl an Hochsetzstellerphasen spricht, dass der kumulierte Volumenbedarf der Speicherdröseln durch das bekannte Wachstumsgesetz in Gl. (7.6) aus [61] sowie durch Randeffekte bei einer Aufteilung auf mehrere Dröseln zunehmen sollte. Zusätzlich erhöht sich proportional zur Anzahl der Phasen auch der Aufwand für Peripherien wie Gatetreiber, Messtechnik sowie Signalführung und Schnittstellen.

Neben den aufgeführten Designaspekten müssen zudem funktionale Aspekte bei Traktionswandlersystemen berücksichtigt werden. In [62] wurde ein multifunktionales bidirektionales Lade- und Entladekonzept für zukünftige Elektrofahrzeuge vorgeschlagen. Mit dem mehrphasigen Hochsetzsteller ist es je nach Phasenanzahl möglich verschiedene Lade- und Entladefunktionen ins Wandlersystem zu integrieren.

Wie in [63] zusammengefasst wurde, können auch die Halbbrücken des Wechselrichters und die elektrische Maschine zur Ladefunktionsintegration verwendet werden, was im Rahmen dieser Arbeit nicht näher betrachtet wird. Für eine Ladefunktionsintegration ist die mechanische Umschaltung des Hochsetzstellers von der Batterie zum Netz erforderlich. Abb. 3.16 zeigt einen vierphasigen Hochsetzsteller mit Wechselrichter und verschiedene elektrische Quellen zum Aufladen der Batterie.

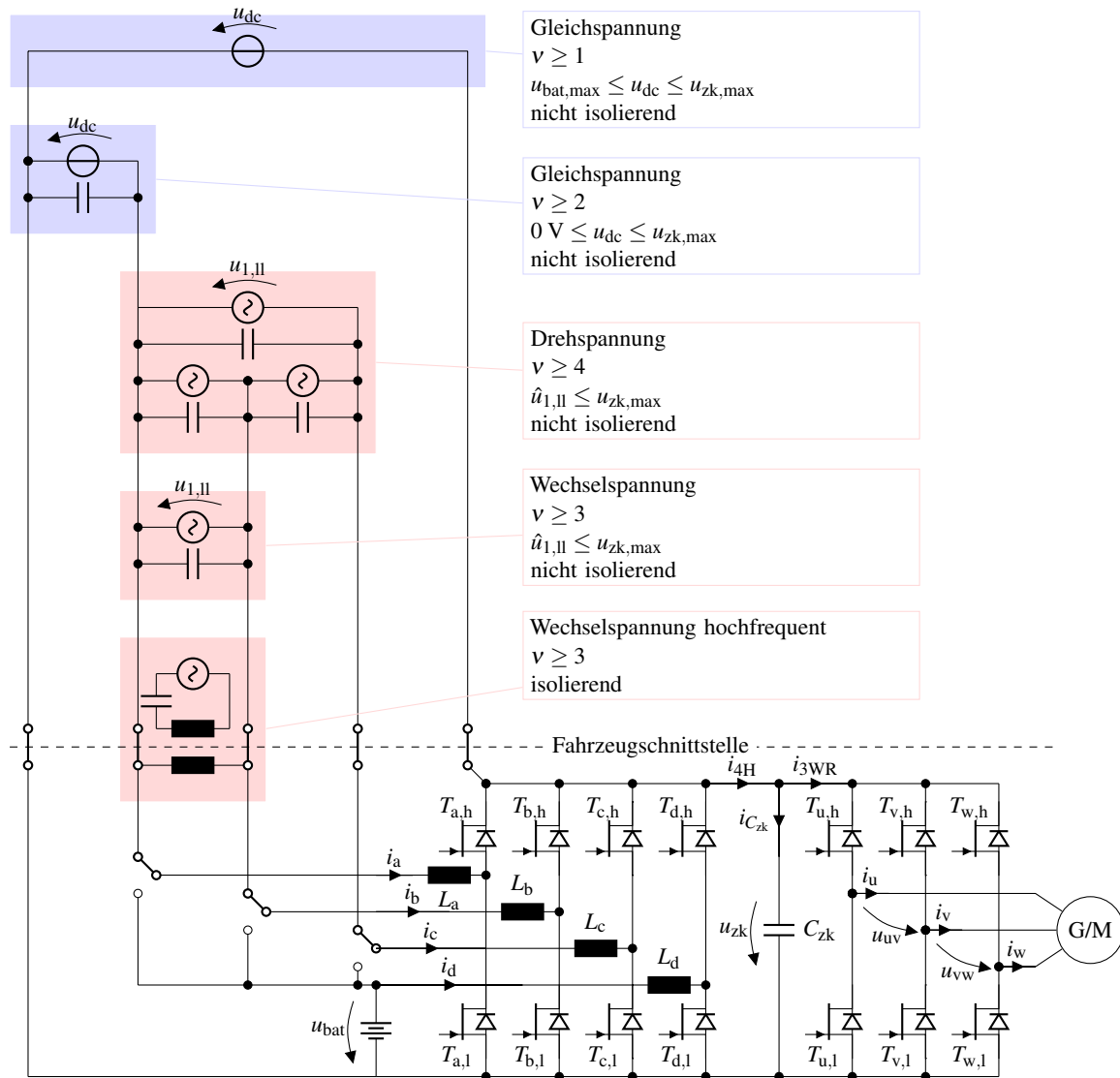


Abbildung 3.16: Vierphasen-Hochsetzsteller mit Dreiphasen-Wechselrichter

Anhand des Ersatzschaltbildes wird deutlich, dass über einen einphasigen Hochsetzsteller nur eine Ladung der Batterie an einer Gleichspannungsquelle erfolgen kann. Diese muss direkt in den Zwischenkreis eingekoppelt werden und eine Spannung größer als die Batteriespannung aufweisen. Mit zwei Hochsetzstellerphasen ist hingegen der geregelte Energietransfer mit einer Gleichspannungsquelle möglich, welche nicht durch das Batteriespannungsniveau eingeschränkt wird. Dreiphasige Hochsetzsteller erlauben zusätzlich die Anbindung eines einphasigen Wechselspannungsnetzes. Bei der Verwendung von SiC-Leistungshalbleitern ist aufgrund der hohen erreichbaren Schaltfrequenz auch die Integration einer isolierenden induktiven Schnittstelle denkbar welche in [62] diskret ausgeführt wurde. Der Energietransfer vom Drehspannungsnetz ist hingegen nur mit vier Hochsetzstellerphasen realisierbar. Insgesamt wurde für das Zielsystem die vierphasige 4H3WR-Topologie ausgewählt da neben der geringsten Zwischenkreisbelastung alle heute gängigen Energieverteilungsformen anbindbar sind und zudem die Maximalbelastung der Halbbrückenmodule homogen ist.

Nachdem durch diesen Abschn. 3.3 die Topologie des SiC-Wandlersystems festgelegt ist, werden in den nachfolgenden Abschn. 4 , Abschn. 5, Abschn. 6 und Abschn. 7 jene zentralen Baugruppen beschrieben, entwickelt und verifiziert, welche zum Aufbau eines 60 kW Labormusters mit Verarmungstyp-SiC-JFETs erforderlich sind.

Fazit

Durch die vierphasige Ausführung des Hochsetzstellers kann beim vorliegenden Anwendungsfall der Effektivstrom im Zwischenkreis gegenüber der einphasigen Ausführung theoretisch um etwa 90% reduziert werden. Mit dem zur Zwischenkreiseffektivstromreduktion entwickelten Steuerverfahren der optimierten Pulspositionierung konnte gegenüber vierphasigen Interleaving eine Reduktion 24% praktisch nachgewiesen werden. Des Weiteren ermöglicht der vierphasige Hochsetzsteller die Integration der Batterieladefunktion als auch die Anbindung aller gängigen Niederspannungsnetze.

4 Gatetreiber

Für den industriellen Einsatz der verfügbaren Verarmungstyp-Transistoren stellt die Entwicklung eines geeigneten Gatetreibers oder Ansteuerungskonzeptes eine entscheidende technische Hürde dar. Die Verarmungstyp-SiC-JFET, welche für den Aufbau des Labormusters zur Verfügung gestellt wurden, weisen gemäß Datenblatt [64] eine Gate-Source-Schwellspannung $u_{gs,thld}$ im Bereich von $-12,9\text{ V}$ bis $-14,8\text{ V}$ auf. Um diesen Verarmungstyp-Leistungshalbleiter sicher in den sperrenden Zustand zu versetzen, muss jederzeit eine negative Gate-Source-Spannung von weniger als $-14,8\text{ V}$ angelegt werden können. Ohne die Versorgung mindestens eines Transistors der Spannungszwischenkreis-Halbbrücke mit negativer Gate-Source-Spannung entsteht ein Brückenkurzschluss.

Inwiefern dieser Zustand für das System als kritisch anzusehen ist, wird im Folgenden zunächst erörtert und anschließend werden Maßnahmen zur Vermeidung diskutiert. Beim Brückenkurzschluss werden die unipolaren Leistungstransistoren im aktiven Zustand betrieben, d.h. die Transistoren begrenzen den Kurzschlussstrom des Zwischenkreiskondensators durch Abschnüren des Steuerkanals und nehmen dabei als Reihenschaltung die volle Zwischenkreisspannung auf. Die Aufteilung der Zwischenkreisspannung auf Highside- und Lowside-Transistor erfolgt bei Bauteilstreuung und inhomogener Sperrschichttemperaturverteilung unsymmetrisch, wobei am Transistor mit geringerem Abschnürstrom ein größerer Anteil der Spannung abfällt und damit mehr Verlustleistung umgesetzt wird. Durch einen negativen Temperaturkoeffizienten der Abschnürstromstärke verstärkt sich die unsymmetrische Verlustleistungsverteilung beim andauernden Kurzschluss, wenn der Transistor durch die Verlustenergie erwärmt wird. Mit der Annahme, dass die gesamte Verlustleistung während des Kurzschlusses in einem der beiden Leistungsschalter umgesetzt wird, lässt sich daher der schlimmste Belastungsfall abschätzen. Zur Verdeutlichung dieses Zusammenhangs dienen die Kennlinien der Feldeffekttransistoren T_l und T_h einer Halbbrücke sowie die über der Sperrschichttemperatur ϑ_j aufgetragenen Abschnürstromstärke i_{KS} in Abb. 4.1 .

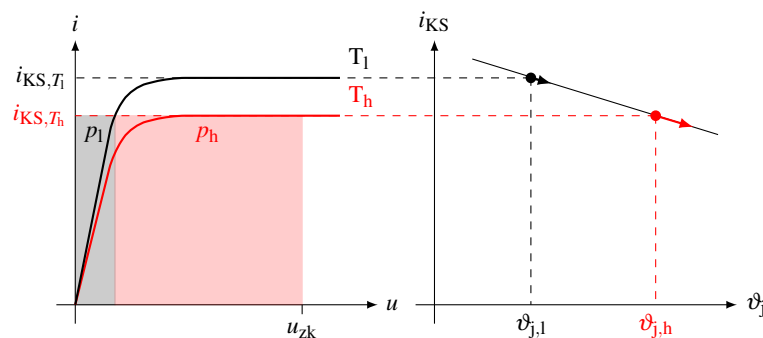


Abbildung 4.1: Halbbrücke im Kurzschlussfall, Verluste, Abschnürströme und Sperrschichttemperaturen

Die Transistoren weisen unterschiedliche Sperrschichttemperaturen $\vartheta_{j,l}$ und $\vartheta_{j,h}$ auf, wodurch die Abschnürstromstärke des Highside-Transistor mit der höheren Sperrschichttemperatur deutlich niedriger liegt. Im Kurzschlussfall begrenzt T_h den Kurzschlussstrom. Proportional zu den markierten viereckigen Flächen entstehen die Verlustleistung p_h und p_l , weshalb der Highside-Transistor deutlich stärker als der Lowside-Transistor aufgeheizt wird. Daher wandert der Arbeitspunkt des Highside-FETs im vorliegenden Fall deutlich schneller zu niedrigeren Abschnürstromstärken als der des Lowside-FET.

Die kritische Pulsenergie $E_{\text{krit,puls}}$ eines Leistungsbaulements beschreibt die maximal zerstörungsfrei umsetzbare Verlustenergie im selbsttätig abgeschalteten Kurzschlussfall. Bei nahezu allen Wandlern mit Spannungszwischenkreis ist die kapazitiv gespeicherte Energiemenge bei Nennspannung um mehrere Größenordnungen höher als die kritische Pulsenergie $w_{\text{krit,puls}}$ welche die Transistoren aufnehmen können.

Die Kurzschlussfestigkeit und das Kurzschlussverhalten von Verarmungstyp-SiC-JFETs wurde bereits in [65], [66], [67] und [68] untersucht. Von der Firma SiCED¹⁾ entwickelte und bei jenen Untersuchungen verwendete Transistoren sind als Prototypen und Vorserienmuster der eingesetzten serienreifen SiC-Transistoren zu sehen. Im Gegensatz zu Leistungstransistoren aus Silizium, wie den in [69] untersuchten IGBTs und Kompensations-MOSFETs zeigen die SiC-JFETs erst bei sehr viel höheren Sperrschichttemperaturen thermisches Durchgehen durch Schweiß- oder Leckströme nach dem Abschalten des Kurzschlussstroms. Daher wurde nicht das thermische Durchgehen im Sperrzustand, sondern der Verlust der Kontrollfähigkeit über das Gate [67], welcher bis heute nicht vollständig verstanden ist, [68] bei den JFETs als primärer Versagensmechanismus identifiziert. Bei den SiC-JFETs liegen die kritischen Pulsenergieflächendichten $E'_{\text{krit,puls}}$ mit 37 J/cm^2 [67] im Vergleich zu Silizium-IGBTs vergleichbarer Sperrspannungsklasse mit ca. 11 J/cm^2 [69] bei deutlich höheren Werten. In [66] wurde gezeigt, dass ein $100 \text{ m}\Omega$ SiC-JFET bei 540 V Spannungsbelastung, repetitiven Kurzschlüssen von $100 \mu\text{s}$ Dauer und bei einer korrespondierenden Pulsenergieflächendichten E'_{puls} von $6,65 \text{ J/cm}^2$ erst nach 5000 Zyklen messbare Alterungserscheinungen durch Steigerungen des Drain-Source-Widerstands aufweist. Daraus lässt sich die Annahme begründen, dass Brückenkurzschlüsse mit Pulsenergieflächendichten bis ca. 20 % der kritischen Pulsenergieflächendichte auch bei den vorliegenden JFETs lediglich Alterungserscheinungen hervorrufen und im Fehlerfall tolerierbar sind.

4.1 Ansteuerungskonzepte für Verarmungstyp-SiC-JFET

Um den Brückenkurzschluss beim Ausfall der Gatespannungsversorgung und dem Einsatz von Verarmungstyp-SiC-JFETs zu vermeiden gibt es zum einen die Möglichkeit eine Kaskodenschaltung zu verwenden. Bei der Kaskodenschaltung wird ein zusätzlicher Anreicherungstyp-Transistor an Source des Verarmungstyp-Transistors in Reihe in den Leistungsstrompfad geschaltet. Beim Anlegen einer Spannung an die Kaskodenschaltung fällt am Anreicherungstyp-Transistor eine Sperrspannung ab, welche gegenüber dem Source-Anschluss des Verarmungstyp-Transistors ein negatives Potenzial $U_{n,1}$ erzeugt. Diese resultierende negative Spannung kann an das Gate des Verarmungstyp-Transistor gelegt werden wodurch dieser ebenfalls sperrt. Wird der Anreicherungstyp-Transistor in den leitenden Zustand versetzt, liegt dessen Durchlassspannung als Gate-Source-Spannung am Verarmungstyp-Transistor an, wodurch dieser ebenfalls durchleitet. Die Kaskode kann somit direkt mit dem Niederspannungstransistor geschaltet werden (Abb. 4.2(a)), was vor allem bei einigen Herstellern von GaN-Verarmungstyp-Transistoren ²⁾ einem Anreicherungstyp-Bauelement vorgezogen wird.

Eine direkt gesteuerte Kaskodenschaltung mit Si-MOSFET und Verarmungstyp-SiC-Trench-JFET (vgl. Abb. 4.2(a)) weist in [70] ein mit aktuellen SiC-MOSFETs vergleichbares Schaltverhalten auf. Diese Schaltung wird von der Firma United Silicon Carbide hergestellt und ist bereits kommerziell erhältlich. Die Kaskodenschaltung der Verarmungstyp-SiC-JFETs zeigt gegenüber einem direkt geschalteten FET [71] jedoch signifikant erhöhte Schaltverlustenergien beim Einschalten. Als Betriebsart dieser Kaskode ist der von der Firma Infineon [72] als „Cascode Light“ bezeichnete Ansatz entwickelt worden, welcher mit Treiber IC [73] und Halbleitermodul [74] ebenfalls bis zur Marktreife entwickelt wurde. Bei der

¹⁾Die SiCED Electronics Development GmbH & Co. KG ist ein Joint-Venture der Firmen Siemens und Infineon, wurde zur Entwicklung von Siliziumcarbid Transistoren im Jahr 2000 gegründet und ging 2011 vollständig in den Besitz der Infineon Technologies AG über.

²⁾Verarmungstyp-GaN-HEMT-Kaskode: International Rectifier, Transphorm, Mircogan

„Cascode Light“ dient der Anreicherungstyp-Transistor lediglich als Sicherheitsschalter. Dieser wird beim Absinken der Gatespannung unter ein Spannungsniveau etwas unterhalb der Schwellspannung des SiC-JFETs im Normalbetrieb dauerhaft eingeschaltet und andernfalls gesperrt. Damit der Gatetreiber den SiC-JFET bei eingeschaltetem MOSFET im Normalbetrieb ausschalten kann ist eine zusätzliche Diode erforderlich, welche die negative Gate-Source-Spannung sperrt (Abb. 4.2(b)).

Nachteilig an der Kaskodenschaltung ist der zusätzliche Anreicherungstyp-Niederspannungstransistor im Leistungsstromkreis, welcher erhöhte Durchlassverluste und eine höhere Kommutierungsinduktivität durch die Bonddrahtanbindung erzeugt und zusätzlichen Bauraum bzw. Modulfläche benötigt. Aufgrund dieser Eigenschaften ist die gebondete Kaskode mit Si-MOSFET und SiC-JFET für hohe Leistungsdichten auf Modulebene nachteilig und wird im Rahmen dieser Arbeit nicht weiter fokussiert.

Um ohne Kaskodenschaltung einen sicheren Systemstart und Betrieb mit Verarmungstyp-SiC-JFETs zu erreichen, kann alternativ der Ansatz gewählt werden, die Auswirkungen des Brückenkurzschlusses zu kontrollieren und die auftretenden Verlustenergien unter das kritische Niveau zu senken. Dieses Konzept wurde in [75] mit einem tiefsetzenden Linearregler und nachgeschalteter Ladungspumpe³⁾ zur Erzeugung einer negativen Spannung für die Lowside-JFET umgesetzt und dann später in [76] optimiert. Allerdings ist die Startzeit des Systems mit 200 μs respektive 100 μs - 140 μs deutlich zu lang, um bei einem niederinduktiven Kurzschluss eine signifikante Schädigung bzw. Alterung der JFETs zu vermeiden. Mit ausreichender Induktivität im Eingangfilter eines Wechselrichtersystems und Abzweigung der Hochspannung des Linearreglers direkt an den Eingangsklemmen wird der Stromanstieg im JFET beim Zuschalten der Hochspannungsquelle ausreichend verzögert, sodass die Startzeiten des Wandlers insgesamt ausreichend sind. Nachteilig an dieser Anordnung ist, dass die gesamte Energie zur Versorgung der Treiberelektronik und zur Ansteuerung des JFET-Gates durch diesen Linearregler übertragen wird, was bei Aufladen des Gates oder der Spannungserhaltung im andauernden Fehlerfall zur hohen thermischen Belastung des Reglers führt. Durch die Integration der Steuerschaltung der Ladungspumpe als Hochtemperatur-CMOS-SOI wurde in [77] eine Startzeit von 10 μs spezifiziert, um die Verluste aber auch die Kurzschlussdauer des JFETs zu reduzieren. Der CMOS-SOI-Wandler benötigte bei Tests 15 μs bis 20 μs um die erforderliche Steuerspannung zum Sperren des JFETs zu erzeugen. Ein vergleichbares Konzept wird in [78] mit Linearregler und nachgeschaltetem bei 1,8 MHz arbeitenden invertierenden Tiefsetzsteller angewendet. Hier wird der Startvorgang bei einem Dreiphasenwechselrichter-Prototyp abgesichert, allerdings dauert es 120 μs bis die negative Schwellspannung der JFETs erreicht wird, was im vorliegend Fall aufgrund der Zuleitungsinduktivitäten für den Startvorgang ausreichend ist.

Das in [79] und [80] vorgestellte isolierende Zweiwandler-Konzept mit einem ungetakteten Durchflusswandler⁴⁾ zur Absicherung des Startvorgangs und einem Hochspannungssperrwandler zur Versorgung im Normalbetrieb⁵⁾ erreicht innerhalb von 15 μs die zum Abschalten notwendige Schwellspannung der JFET. Per Durchflusswandler mit zusätzlichem Hilfs-JFET wird die im Kurzschluss am Haupt-JFET anliegende Spannung genutzt, um zunächst den Haupt- und anschließend den Hilfs-JFET zu sperren. Sperrt der Hilfs-JFET schließlich, ist auch der primärseitige Stromkreis des Durchflusswandlers hochohmig. Wie in [81] diskutiert wird, ist dieser ungetaktete Durchflusswandler nicht geeignet, um den JFET dauerhaft sicher zu sperren, da nur unmittelbar beim Einschaltvorgang Energie übertragen wird. Der Durchflusswandler wird daher nur zur Überbrückung der Hochlaufzeit des Sperrwandlers eingesetzt.

Durch die Kombination aus Durchfluss- und Sperrwandler wird in [82] ein weiterer Ansatz mit isolierendem Hochgeschwindigkeitswandler vorgestellt, welcher in der optimierten Form aus [83] 45 μs zum Sperren der JFETs benötigt. Bei diesem Durchfluss-Sperrwandler wird ebenfalls ein SiC-JFET als Linearregler zur Reduktion der Hochspannung verwendet und dem isolierenden Wandler vorgeschaltet.

³⁾Switched-Capacitor-DC/DC-Converter

⁴⁾Start-Up-Converter

⁵⁾steady-state converter

Die in [84] vorgeschlagene kapazitive Energiespeicherung als Sicherungsansatz verlängert lediglich die Zeit zum Herunterfahren des gesamten Systems, wenn aus dem ordnungsgemäßen Betrieb heraus ein Fehler der Treiberspannungsversorgung auftritt, und schützt nicht vor fehlerbehaftetem Einschalten.

Anzumerken ist, dass im Rahmen dieser Arbeit das Abschalten aus dem Brückenkurzschluss nur als zusätzliches Sicherungssystem verstanden werden darf, welches lediglich im Fehlerfall eine Zerstörung der Transistoren verhindert (z.B. zuschalten einer Hochspannungsquelle ohne Treiberspannungsversorgung).

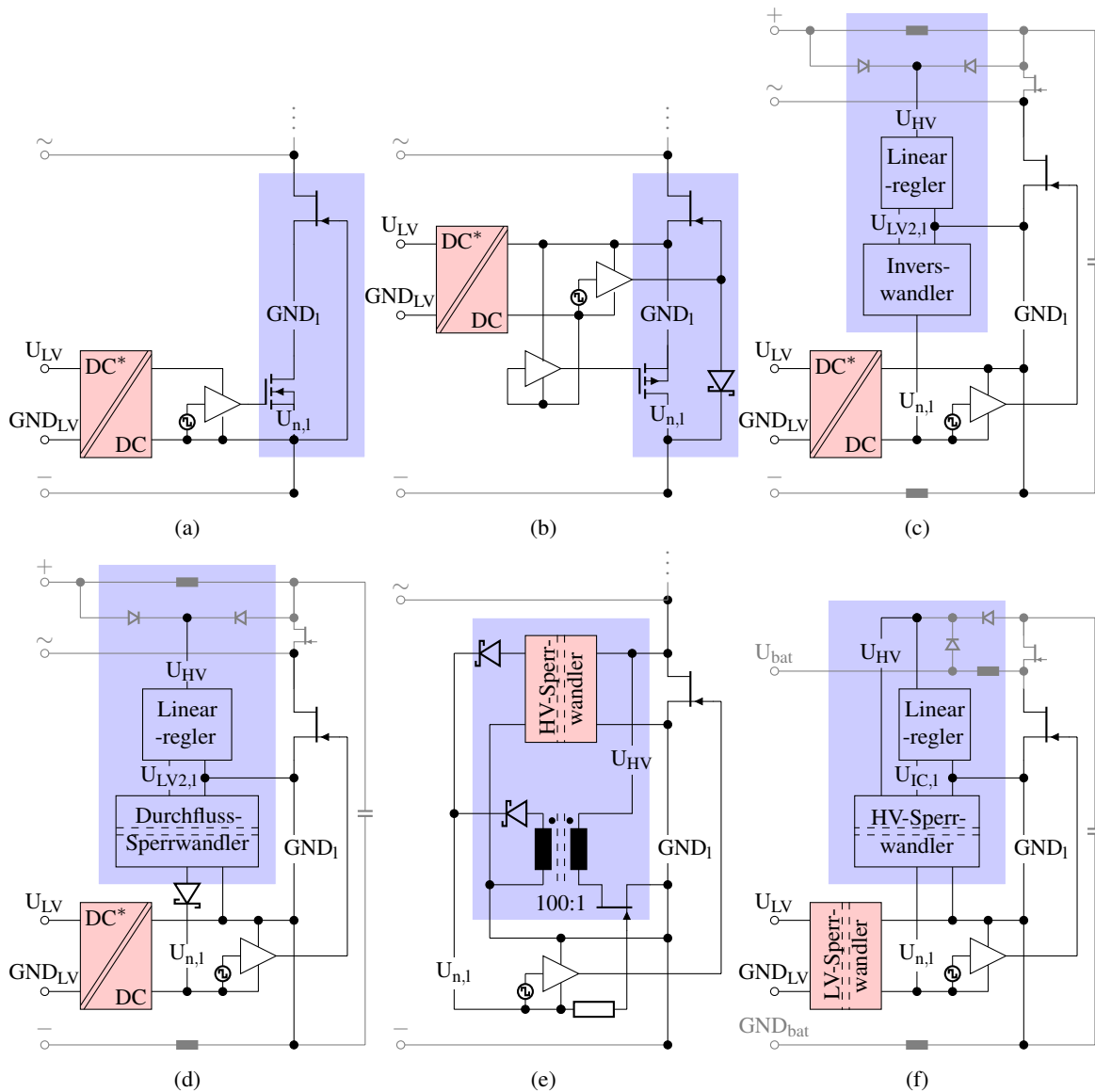


Abbildung 4.2: Konzepte zum abgesicherten Betrieb von Verarmungstyptransistoren: (a) n-MOSFET-Kaskode geschaltet [70], (b) p-MOSFET-Kaskode als Absicherung [72], (c) Hochgeschwindigkeitsinverswandler zur Absicherung [75], [76], [77] und [78], (d) isolierender Hochgeschwindigkeitswandler zur Absicherung [82] und [83], (e) isolierende Hochspannungswandler mit unterschiedlichen Funktionen (steady/start-up) zur Absicherung [79], [80] und [81], (f) isolierender Hochspannungs-Hochgeschwindigkeitswandler zur Absicherung (Darstellung beim Hochsetzsteller)

Die vorangestellt beschriebenen Konzepte der gesteuerten Kaskodenschaltung, der als Sicherung verwendeten Kaskodenschaltung mit direkt angesteuertem JFET sowie die verschiedenen Versorgungsansätze mit Hochspannungs-Hochgeschwindigkeits-Wandler sind in Abb. 4.2 schematisch gegenübergestellt. Als Beispiel wurde hier der Lowside-Transistor der Halbbrücke ausgewählt, in grau gezeichnete Schaltungs-

teile dienen zum Verständnis. Die Signale $+$, $-$, \sim kennzeichnen die Lastanschlüsse der Halbbrücke, U_{bat} und GND_{bat} die Lastanschlüsse des Hochsetzstellers. Mit U_{LV} und GND_{LV} ist Eingang der Niederspannungsversorgung gekennzeichnet, während U_{HV} die Hochspannungsversorgung kennzeichnet. Das Source-Potenzial des JFET, GND_1 , dient als Bezugspunkt. Das Signal $U_{n,1}$ markiert denjenigen Schaltungsteil, welcher gegenüber dem Bezugspunkt negativ aufgeladen wird um dem JFET zu sperren. Mit $U_{\text{LV}2,1}$ oder $U_{\text{IC},1}$ wird die im Hochspannungswandler erzeugte gegenüber Bezugspotenzial positive Hilfsspannung gekennzeichnet. Der Unterschied der Indizes verdeutlicht, dass mit $U_{\text{LV}2,1}$ die gesamte Versorgung realisiert wird, während $U_{\text{IC},1}$ nur die Steuerung des Hochspannungs-Sperrwandlers versorgt. Derjenige Schaltungsabschnitt welcher zur Erzeugung der negativen Gatespannung mit Absicherung gegen den verarmungstypbedingten Brückenkurzschluss vorgesehen ist, wurde blau hinterlegt. Die im Dauerbetrieb zur Versorgung der negativen Gatespannung aktiven Schaltungsteile sind demgegenüber rot hinterlegt. Im Allgemeinen sollte ein Gatetreiber die folgenden Grundfunktionen erfüllen:

- galvanische Trennung von Hochspannungs- und Niederspannungsbereich,
- Kurzschlussüberwachung der Leistungshalbleiter
- und Versorgungsspannungsüberwachung der negativen Gatespannung.

Wie bereits angedeutet ist für die Verarmungstyp-SiC-JFET-Halbbrückenmodule ohne Kaskodenschaltung keine kommerzielle Treiberlösung verfügbar welche diese Grundfunktionen erfüllen kann. Daher wird im Rahmen dieser Arbeit ein geeigneter Halbbrücken-Gatetreiber zur sicheren Ansteuerung von Verarmungstyp-SiC-JFETs entwickelt. Dieser soll ein erweitertes Eigenschaftsspektrum mit dem

- Ermöglichen eines Schaltbetriebs bei einer Schaltfrequenz bis 100 kHz,
- Einstellen eines sicheren Betriebszustands bei Ausfall der Niederspannungsversorgung,
- Erreichen einer geringen kapazitiven Kopplung von Niederspannungs- und Leistungsteil sowie
- Bestimmen der SiC-JFET-Sperrschichttemperatur

abdecken und so einen sicheren Betrieb der Verarmungstyp-SiC-Halbbrücken gewährleisten. Von diesen Rahmenbedingungen ausgehend wird ein Gatetreiber mit dem redundanten Versorgungskonzept aus Abb. 4.2 d) aufgebaut, welcher beim Einschalten des Leistungsteils ohne Niederspannungsversorgung den Brückenkurzschluss schnell abschalten soll und beim Ausfall der Niederspannungsversorgung im Betrieb einen Brückenkurzschluss verhindert.

Grundlegende Voruntersuchungen zum SiC-JFET-Gatetreiber sind in [85] veröffentlicht und können als Machbarkeitsnachweis angesehen werden. Diese Ergebnisse wurden in Zusammenarbeit mit Simon Weber im Rahmen seiner Masterarbeit [B] erzielt. Im Anhang Abschn. A.2 sind als Teil dieses Machbarkeitsnachweises der Versuchsaufbau und die zentralen Ergebnisse einer Kurzschlussabschaltung mit Eigenversorgung aus dem Kurzschlusszustand zusammenfassend dargestellt.

Insgesamt wurden drei Iterationsstufen v1, v2 und v3 der Gatetreiberschaltung entwickelt deren jeweilige Eigenschaften in Tab. 4.4 zusammengefasst sind. Mit der Version v1 wurde der Machbarkeitsnachweis des Treiberkonzepts geführt. Durch die Version v2 konnte anschließend die Charakterisierung der SiC-JFET-Halbbrücken durchgeführt, erweiternde Schaltungen wie die Temperaturerfassung getestet und eine 20 V Logik eingeführt werden. Bei Version v3 wurde ein Halbbrücken-Treiber per Leiterkarte realisiert und die Leiterkartenfläche der Schaltung vermindert, sodass die Integration ins Labormuster erfolgen konnte. In Abb. 4.3 ist der strukturelle Aufbau des SiC-JFET-Gatetreibers Version v3 dargestellt.

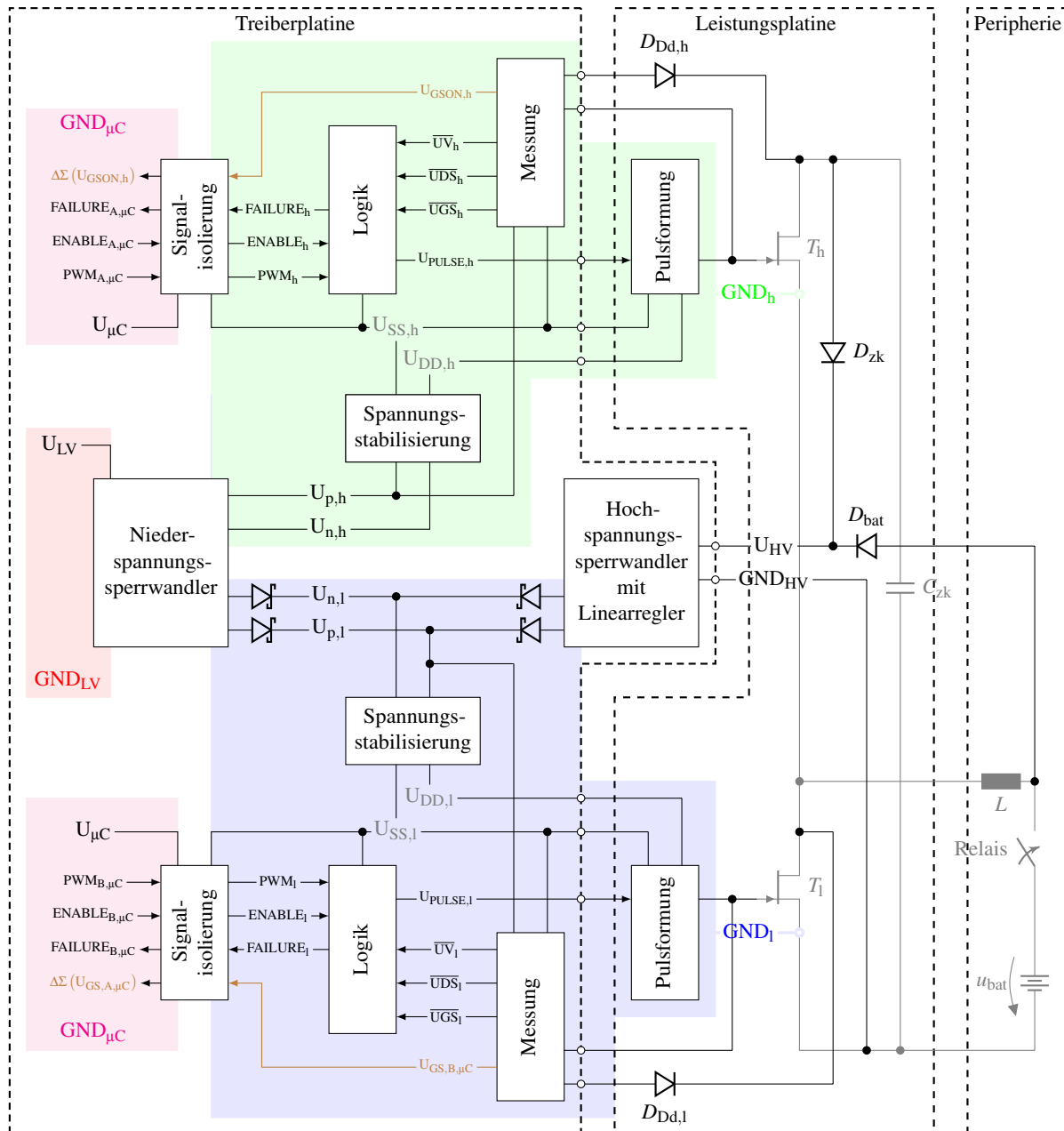


Abbildung 4.3: Struktureller Aufbau des Verarmungstyp-SiC-JFET-Gatetreibers

Neben den beiden Versorgungsschaltungen: Niederspannungssperrwandler und Hochspannungssperrwandler mit Linearregler, sind die funktional abgegrenzten Teilsysteme: Signalisierung, Logik, Messung, Spannungsstabilisierung und Pulsformung hervorgehoben. Des Weiteren verdeutlicht Abb. 4.3 die verschiedenen Bezugspotenziale der gegeneinander isolierten Schaltkreise durch farbig markierte Bereiche sowie die Aufteilung auf separate Leiterplatten durch gestrichelte Umrandung.

Zunächst wird in Abschn. 4.2 auf die Spannungsversorgung eingegangen, nachfolgend werden dann in Abschn. 4.3 die Fehlerermittlung und Behandlung erläutert und anschließend in Abschn. 4.4 die Maßnahmen zur Pulsformung dargelegt.

4.2 Spannungsversorgung

Zur Erzeugung der isolierten Ansteuerspannung sind zwei Sperrwandler vorgesehen. Der Erste für den Normalbetrieb, welcher aus einer Niederspannungsquelle sowohl Highside- T_h und Lowside-Transistor T_l versorgt, und ein Zweiter zur Vermeidung destruktiver Brückenkurzschlüsse, welcher nur den Lowside-Transistor T_l versorgt und mit der Hochspannung arbeitet. Beim Sperrwandler wird im Gegensatz zu den meisten isolierenden Wandlertypen die Hauptinduktivität und nicht die Streuinduktivität des Transformators als maßgeblicher Energiespeicher genutzt. Bei der maximalen Schaltfrequenz von ca. 1,25 MHz ist als Transformator kern daher der Einsatz von Ferrit mit Luftspalt zielführend. Die Grundsaltung des eingesetzten Wandlers ist in Abb. 4.4 dargestellt.

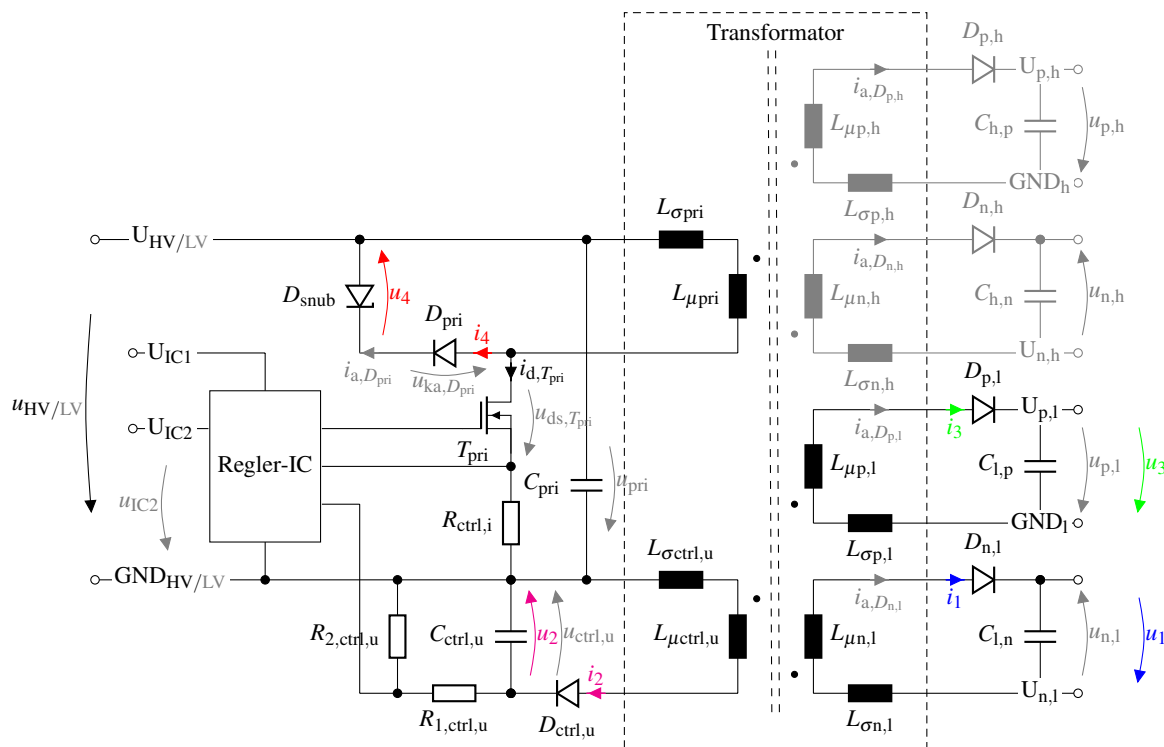


Abbildung 4.4: Grundsaltung des Sperrwandlers mit galvanischer Trennung der Gatekreisspannungen

Grau markierte Schaltungsteile sind hierbei nur für den Niederspannungswandler ausgeführt, während die schwarz gezeichnete Schaltung bei beiden Wandlern existiert. Der Leistungsteil eines Sperrwandlers besteht aus dem Steuertransistor T_{pri} , der Gegenspannungskreis-Diode D_{snub} , dem Zwischenkreiskondensator C_{pri} , dem Transformator, den sekundärseitigen Gleichrichterdiode $D_{n,l}$, $D_{p,l}$, $D_{n,h}$, $D_{p,h}$ sowie den Glättungskondensatoren $C_{n,l}$, $C_{p,l}$, $C_{n,h}$, $C_{p,h}$.

Als Eingangsgröße der Regelung und auch zum Schutz des Leistungsteils vor Überlastung werden der Sourcstrom des Transistors $i_{R_{ctrl,i}}$ und die Ausgangsspannung $u_{R_{2,ctrl,u}}$ der Regelungswicklung gemessen. Da die Ausgangsspannung aufgrund der erforderlichen galvanischen Trennung nicht direkt gemessen werden kann, wird eine zusätzliche Regelungswicklung auf dem Transformator verwendet. Ein weiterer verbreiteter Regelungsansatz der Übertragung eines sekundärseitig gemessenen Spannungssignals mittels isolierender Signalübertragung zum Regelungs-IC wurde aufgrund der Einschaltverzögerung der verfügbaren opto-isolierenden Verstärker⁶⁾ als ungeeignet angesehen. Im Betriebszustand mit unterschiedlichen windungszahlnormierten Kondensatorspannungen, einem streuungsfreien Transformator und idealen Gleichrichterdiode wird nur der Ausgangsgleichrichter an der geringsten windungszahlnormierten Kondensatorspannung geschaltet.

⁶⁾z.B. 150 μ s beim ACPL-C87B

Folglich wird die im Transformator gespeicherte Energie dann solange an jenen Kondensator abgegeben bis dessen windungszahlnormierte Spannung die eines anderen Kondensators überschreitet, woraufhin der Gleichrichter dieses anderen eingeschaltet wird. Durch dieses Prinzip gleichen sich windungszahlnormiert alle sekundärseitigen Spannungen sowie auch die Regelungsspannung aneinander an. Bei streuungsbehaftetem Transformator ist dieses jedoch nur eingeschränkt zutreffend.

Da das Betriebsverhalten des Sperrwandlers durch die relativ große Streuung der verwendeten Transformatoren (vgl. Abschn. 4.2.1 und Abschn. 4.2.2) maßgeblich beeinflusst wird, liefert der folgende Abschnitt einen Einblick in diesen Aspekt. Zur Veranschaulichung sind die Zeitverläufe relevanter Größen beim Sperrwandler mit streuungsbehaftetem Transformator in Abb. 4.5 qualitativ abgebildet.

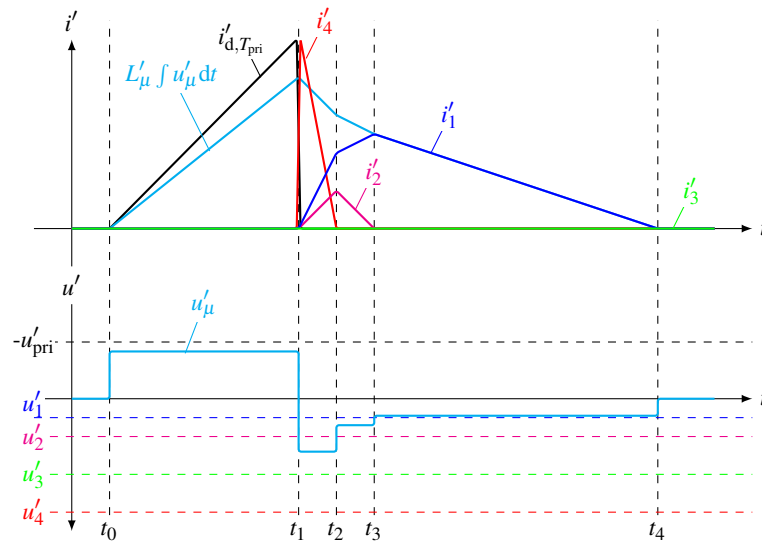


Abbildung 4.5: Qualitativer Zeitverlauf der Größen beim Sperrwandler und streuungsbehaftetem Transformator

Zur Entmagnetisierung der primärseitigen Streuinduktivität des Transformators wird eine Gegenspannung benötigt. Nach dem Abschalten des Transistors bei $t = t_1$ erzwingt die Streuinduktivität zunächst eine Kommutierung des Stromflusses auf den Gegenspannungskreis (Snubber). Damit liegt die Gegenspannung an der Streu- und der Hauptinduktivität an, was eine Hauptflussänderung bedingt. Die Hauptflussänderung ist äquivalent zu einer induzierten Spannung in allen sekundärseitigen Wicklungen.

Eine Beschreibung der Vorgänge im Transformator wurde durch das Gleichungssystem Gl. (4.1) bezüglich der Nomenklatur auf eine generische Sperrwandlerstruktur mit k Wicklungen überführt. In

$$\begin{bmatrix} u_1 \\ u_2 \\ \vdots \\ u_k \end{bmatrix} = \begin{bmatrix} L_1 & 0 & \dots & 0 \\ 0 & L_2 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & \dots & 0 & L_k \end{bmatrix} \cdot \frac{d}{dt} \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_k \end{bmatrix} + \begin{bmatrix} M_{1,1} & M_{1,2} & \dots & M_{1,k} \\ M_{2,1} & M_{2,2} & \ddots & M_{2,k} \\ \vdots & \ddots & \ddots & \vdots \\ M_{k,1} & M_{k,2} & \dots & M_{k,k} \end{bmatrix} \cdot \frac{d}{dt} \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_k \end{bmatrix} \quad \text{mit} \quad (4.1)$$

beschreibt x den Zählindex der Wicklung, n_x die Windungszahl, u_x die Klemmenspannung und i_x den Klemmenstrom im Verbraucherzählpeilsystem sowie $M_{x,y}$ die Gegen- und L_x die Streuinduktivität. Der Zählindex y kennzeichnet die jeweils verkettete Wicklung der Gegeninduktivität. Zur Vereinfachung der nachfolgenden Betrachtungen wird nun angenommen, dass jede Windung, unabhängig der von Wicklungszugehörigkeit, in gleichem Maße mit Hauptfluss und Streufeld verkettet ist.

Somit erfolgt durch

$$u'_x = \frac{u_x}{n_x}, \quad (4.2)$$

$$i'_x = i_x n_x, \quad (4.3)$$

$$L'_\sigma = L'_x = \frac{L_x}{n_x^2} \quad \text{und} \quad (4.4)$$

$$L'_\mu = M'_{x,y} = \frac{M_{x,y}}{n_x n_y} \quad \forall x, y \quad (4.5)$$

auch eine Normierung auf die Windungszahlen. Da mit den getroffenen Annahmen nun jede normierte Winding die gleich Streuung L'_σ aufweist und auch alle Gegeninduktivitäten die gleiche Größe M'_μ haben, kann Gl. (4.1) zu

$$\begin{bmatrix} u'_1 \\ u'_2 \\ \vdots \\ u'_k \\ 0 \end{bmatrix} = \begin{bmatrix} L'_\sigma & 0 & \dots & 0 & 1 \\ 0 & L'_\sigma & \ddots & \vdots & 1 \\ \vdots & \ddots & \ddots & 0 & \vdots \\ 0 & \dots & 0 & L'_\sigma & 1 \\ L'_\mu & L'_\mu & \dots & L'_\mu & -1 \end{bmatrix} \cdot \frac{d}{dt} \begin{bmatrix} i'_1 \\ i'_2 \\ \vdots \\ i'_k \\ u'_\mu \end{bmatrix} \quad (4.6)$$

umgeformt werden. Die so gebildete zentrale Hauptinduktivität erzeugt in jeder normierten Wicklung in gleichem Maße eine induzierte Spannung. In Abb. 4.6 ist das Ersatzschaltbild des auf die Weise vereinfachten Mehrwicklungstransformators dargestellt.

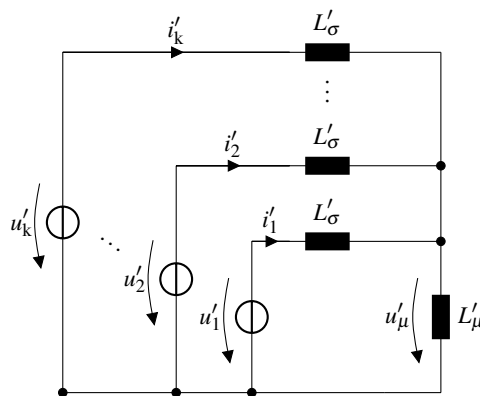


Abbildung 4.6: Vereinfachtes Ersatzschaltbild des Mehrwicklungstransformators mit normierten Größen

Der Zusammenhang zwischen induzierter Spannung und den Klemmenspannungen bestimmt maßgeblich die Zeitverläufe der Ströme und die Kommutierungsvorgänge im Sperrwandler und wird durch

$$u'_\mu = \sum_{x=1}^k u'_x \frac{L'_\mu}{kL'_\mu + L'_\sigma} \quad (4.7)$$

erfasst. Sofern die induzierte Spannung $u'_\mu \cdot n_x$ größer ist als die Klemmenspannung u_x , beginnt die jeweilige Gleichrichterdiode zu leiten und in der zugehörigen stromlosen Streuinduktivität wird durch die positive Spannung ein Stromfluss nach Gl. (4.1) aufgebaut. Mit der Streuung entsteht somit eine induzierte normierte Spannung u'_μ welche gemäß der Lösung des vorliegenden Gleichungssystems Gl. (4.7) etwas geringer ist als der Mittelwert aller normierten Spannungen der stromführenden Wicklungen.

Im Gegensatz zum streuungsfreien Transformator wird daher nicht nur auf den Stromkreis der niedrigsten normierten Sekundärspannung kommutiert, sondern auf alle Wicklungen deren normierte Klemmenspannung kleiner ist als die induzierte Spannung. Beim vorliegenden Design mit Zener-Diode muss darauf geachtet werden, dass die gewählte Zener-Spannung windungszahlnormiert immer deutlich größer ist als die windungszahlnormierten Spannungen der Sekundärseite, da andernfalls ein großer Teil der im Magnetfeld gespeicherten Energie im Gegenspannungskreis umgesetzt würde.

Nachdem die Streuinduktivität des Primärkreises bei $t = t_2$ entmagnetisiert ist, verändert sich die Summe der stromführenden normierten Wicklungsspannungen und damit die induzierte Spannung, da der Primärkreis nun keinen Spannungsbeitrag mehr liefert. Demzufolge vermindern sich auch die Stromänderungsraten in den Streuinduktivitäten. In jenen Wicklungen, deren normierte Klemmenspannung größer als die verminderte induzierte Spannung ist, wird die Stromänderungsrate negativ, während in den restlichen stromführenden Wicklungen dieser weiter, mit verminderter Rate, ansteigt. Wird nun bei $t = t_3$ ein weiterer Wicklungsstrom zu null liefert jene Wicklung ebenfalls keinen Spannungsbeitrag mehr und die induzierte Spannung reduziert sich weiterhin. Dieser Prozess läuft solange ab bis der Transformator bei $t = t_4$ die Energie abgegeben hat oder der Transistor einschaltet und durch Spannungsumkehr die Sekundärwicklungskreise entmagnetisiert werden und der Hauptfluss wieder vergrößert wird. Insgesamt entsteht in der Wicklung mit der geringsten normierten Spannung der größte normierte Strommittelwert, da diese als letzte abkommutiert wird.

Im Umkehrschluss tritt bei Sperrwandler mit streuungsbehaftetem Transformator und inhomogen belasteten Wicklungen zwingend ein Spannungsunterschied auf. Bei einem hohen Anteil der Streuung müssen daher zusätzliche Maßnahmen zur Spannungsstabilisierung getroffen werden.

4.2.1 Niederspannungssperrwandler

Der Sperrwandler für den Normalbetrieb generiert aus einer Niederspannung im Bereich von 7 V bis 36 V isolierte sekundärseitige Gleichspannungen $u_{p,h}$ und $u_{p,l}$ von etwa 11 V sowie $u_{n,h}$ und $u_{n,l}$ von etwa -33 V. Eine Primärwicklung, eine Regelungswicklung und die vier Sekundärwicklungen des Transformators mit E14/3.5/5-3F4-A160-P Kern sind auf einer achtlagigen Platine realisiert. Der Wicklungsaufbau ist im Anhang Abschn. A.3 in Abb. A.7 lagenweise dargestellt. Für die zweite Treibergeneration v2 wurde eine Umsetzung des Transformators als separate Platine aufgrund der Austauschmöglichkeit gewählt. Tab. 4.1 fasst die gemessenen⁷⁾ elektrischen Parameter des Transformators zusammen.

Tabelle 4.1: Elektrische Eigenschaften des Sperrwandlertransformators für den Normalbetrieb

Wicklung	n	L in μH	R in $\text{m}\Omega$
Primär	4	2,34	76
Regelung	6	5,42	480
Sekundär-Positiv-Highside	2	0,70	187
Sekundär-Negativ-Highside	6	6,35	621
Sekundär-Positiv-Lowside	2	0,71	248
Sekundär-Negativ-Lowside	6	5,85	674

Die Messung wurde an den Klemmen der jeweiligen Wicklung durchgeführt, wobei die Klemmen aller anderen Wicklungen geöffnet waren. Für die gemessenen Werte der Induktivität ergibt sich damit der Zusammenhang $L = L_x + M_{x,x}$ gemäß Gl. (4.1), d.h. es wurde stets die Selbstinduktivität der Wicklung bestimmt. Der ermittelte Widerstand R entspricht dem ohmschen Widerstand der jeweiligen Wicklung.

⁷⁾gemessen mit Hioki 3522

Durch den radial disjunkten Wicklungsaufbau können sehr geringe Koppelkapazitäten zwischen Primär-, Highside- und Lowside-Wicklung erreicht werden, welche bei steilen Schaltflanken zur Verminderung der kapazitiven Gleichtaktströme beitragen. Die Kapazität zwischen Primär- und Highside-Wicklung wird im Folgenden mit $C_{\text{pri,h}}$ und die zwischen Highside- und Lowside-Wicklung mit $C_{\text{h,l}}$ bezeichnet. Am vorliegenden Bauteil wurden Koppelkapazitäten $C_{\text{pri,h}}$ und $C_{\text{h,l}}$ von 6 pF und 9 pF gemessen⁸⁾, was im Vergleich zu kommerziellen 6 W Übertragern eine Reduktion auf ein Fünftel⁹⁾ darstellt.

Die Streuung des Transformators wurde aus der primärseitigen Messung der Induktivität bei kurzgeschlossenen Sekundärwicklungen zu ca. 20 % der mit offenen Klemmen gemessenen Hauptinduktivität ermittelt. Aufgrund der hohen Streuung im Transformator sind die erzeugten Gleichspannungen abhängig von deren Belastung und folgen nur im schwach belasteten Zustand der Regelungswicklung mit ausreichender Genauigkeit. Daher wurde zusätzlich zwei Linearregler¹⁰⁾ vorgesehen, welche aus der lastabhängigen Ausgangsspannung des Sperrwandlers Nutzsparnungen von 5,5 V und -20 V generieren.

Zur Regelung des Sperrwandlers wird ein IC¹¹⁾ eingesetzt. Dieser generiert die Gateansteuerspannung für einen 80 V MOSFET¹²⁾ T_{pri} durch eine interne Ladungspumpe. Die Spannungsbegrenzung des Gegenspannungskreises wird durch eine 33 V Zener-Diode D_{snub} erreicht und als Gleichrichterioden werden 200 V Silizium-Schottky-Dioden¹³⁾ eingesetzt.

In der folgenden Abb. 4.7 sind die mit LTSpice simulierten Zeitverläufe der charakteristischen Signale des Sperrwandlers beim Anfahren und im Betrieb dargestellt. Die dargestellten Größen sind in Abb. 4.4 und Abb. 4.3 grau markiert. Bei den Spannungen $u_{\text{DD,l}}$, $u_{\text{SS,l}}$, $u_{\text{DD,h}}$ und $u_{\text{SS,h}}$ sind die mit gleichen Index versehenen Potentiale $U_{\text{DD,l}}$, $U_{\text{SS,l}}$, $U_{\text{DD,h}}$ und $U_{\text{SS,hls}}$ aus Abb. 4.3 gegenüber dem jeweiligen GND_l bzw. GND_h angenommen. Um die Visualisierung der Regelungsvorgänge zu erreichen, wurden im linken Bereich nicht die physikalischen Größen, sondern deren schaltfrequente Kurzzeitmittelwerte als Linien dargestellt. Zusätzlich markieren die schattierten Bereiche die Signalschwankungsbreiten, um einen verbesserten Rückschluss auf Dimensionierungsgrößen der leistungselektronischen Bauteile zu ermöglichen. Im rechten Teil der Abbildung sind hingegen die ungefilterten Signale für den Zeitausschnitt einer Schaltperiode des mit 100 kHz getakteten SiC-Moduls dargestellt.

Zum Zeitpunkt $t = 10 \mu\text{s}$ wird die Versorgungsspannung u_{LV} zugeschaltet. Nachfolgend beginnt die IC-interne Ladungspumpe die Versorgungsspannung u_{IC2} aufzuladen und bei 7 V stabil zu halten.

Beim Überschreiten der Unterspannungsgrenze von 5,6 V bei $t = 80 \mu\text{s}$ beginnt der Sperrwandler den Pulsbetrieb. Durch die 33 V Zener-Diode des Gegenspannungskreises und die 12 V Versorgung müssen die primärseitigen Halbleiterbauelemente T_{pri} und D_{pri} ca. 45 V sperren, während deren Spannungsmittelwerte $\bar{u}_{\text{ds},T_{\text{pri}}}$ bzw. $\bar{u}_{\text{ka},D_{\text{pri}}}$ im stationären Betrieb der Versorgungs- respektive Gegenkreisspannung entsprechen müssen. Am Regelungsausgang wird im Pulsbetrieb die Spannung $u_{\text{ctrl,u}}$ aufgebaut, welcher die sekundärseitigen Spannungen $-u_{\text{n,l}}$ und $-u_{\text{n,h}}$ folgen sollten. Die Strommittelwerte $\bar{i}_{\text{a},D_{\text{pri}}}$, $\bar{i}_{\text{d},T_{\text{pri}}}$ und $\bar{i}_{L,\mu\text{pri}}$ der primärseitigen Komponenten verdeutlichen, dass ein geringer Anteil des gemittelten Stroms durch die Gegenspannungskreisdiode fließt.

Bei $t = 105 \mu\text{s}$ wird die im nachfolgenden Abschn. 4.2.2 beschriebene Schaltung zur Verbesserung der Startdynamik aktiv, wodurch die Ausgangsspannungen zunächst auf konstantem Niveau gehalten werden bis der Pufferkondensator der Endstufe auf den entsprechenden Spannungswert aufgeladen wurde.

⁸⁾ gemessen mit Hioki 3522

⁹⁾ 2x Recom RS3-1215DZ mit je 30 pF

¹⁰⁾ LT3080

¹¹⁾ Linear Technology LTC1871-7

¹²⁾ FDC3512

¹³⁾ Micro Commercial Components SS1200-L

In diesem Zeitbereich steigt die Regelungsspannung im Vergleich zu den sekundärseitigen Spannungen durch das streuungsbedingte Aufkommutieren trotzdem weiter an. Mit den jeweiligen Linearreglern werden die Potentiale $u_{SS,l}$, $u_{DD,l}$, $u_{SS,h}$ und $u_{DD,h}$ konstant gehalten, nachdem die korrespondierenden Eingangsspannungen $u_{n,l}$, $u_{p,l}$, $u_{n,h}$ und $u_{p,h}$ den entsprechenden Wertebereich von 5,5 V bis -20 V verlassen haben. Die Strommittelwerte der Ausgangsgleichrichterdiolen sowie auch die Eingangsströme reduzieren sich, nachdem der Schaltregler an der Regelungswicklung den Sollwert von 33 V einstellt.

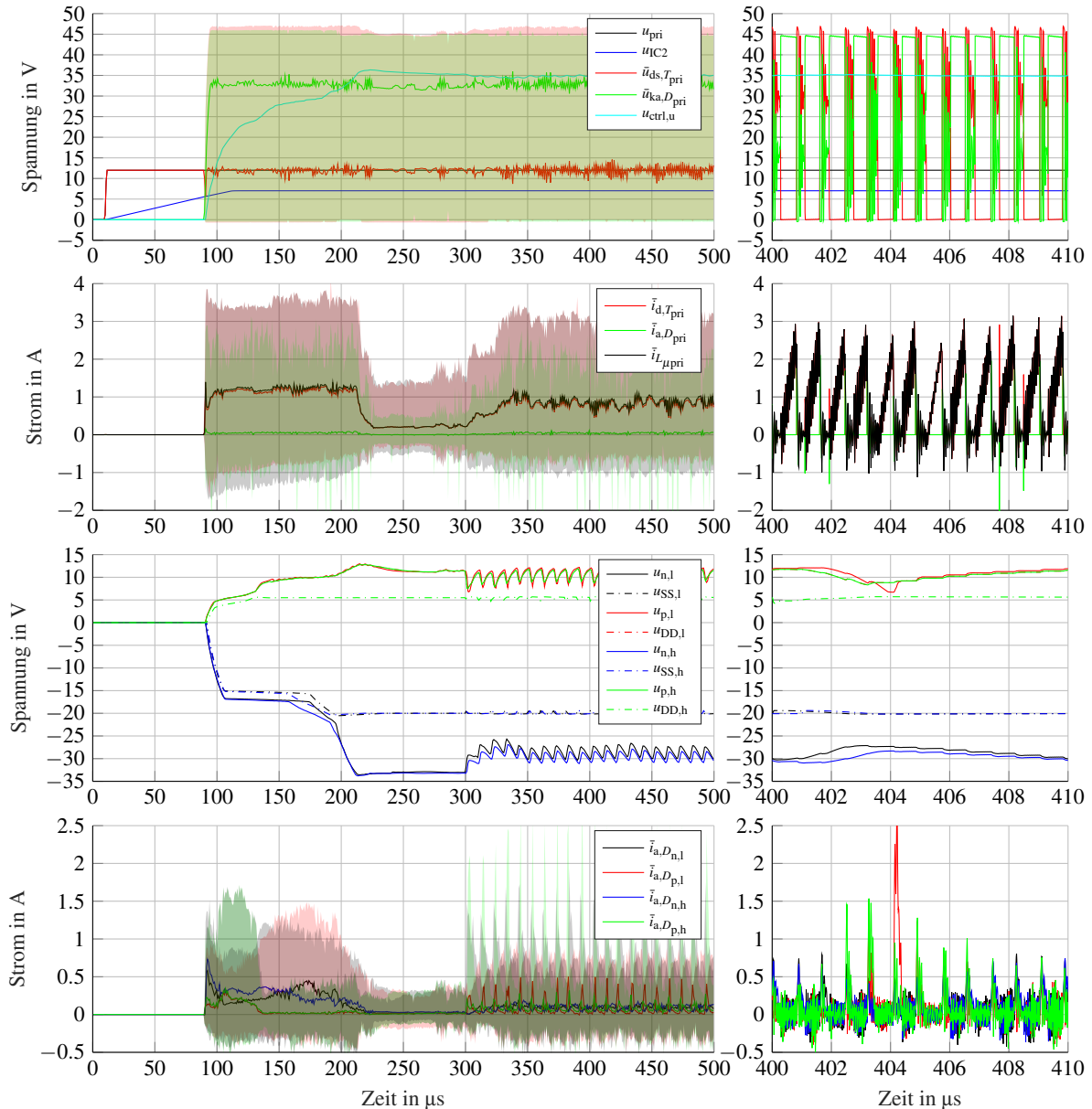


Abbildung 4.7: Simulation des Niederspannungssperwandlers im Betrieb
links: schaltfrequente Kurzzeitmittelung (800 ns) sowie Schwankungsbereich der Signale
rechts: realer Zeitverlauf der Signale

Zum Zeitpunkt $t = 300 \mu\text{s}$ beginnt das modellierte SiC-JFET-Halbleitermodul mit 100 kHz bei einer Pulsdauer von $10 \mu\text{s}$ zu takten, wodurch die Eingangsspannungen der Linearregler einbrechen, bis sich nach etwa drei SiC-Modul-Taktperioden der eingeschwingene Zustand eingestellt hat. Die Leistungspulse durch die Schaltvorgänge des Leistungsmoduls werden aufgrund der geringen Eingangskapazität der Linearregler deutlich im Spannungszeitverlauf sichtbar. Bei 100 kHz Schaltfrequenz des SiC-Halbrücken-Moduls benötigt der Niederspannungssperwandler etwa 10 W Eingangsleistung.

4.2.2 Hochspannungssperrwandler

Dieser Sperrwandler für den Fehlerbetrieb generiert aus einer gegenüber dem negativen Zwischenkreispotenzial gemessenen Spannung im Bereich von 10 V bis 800 V sekundärseitige Gleichspannungen von 10 V und -30 V lediglich für den Lowside-Transistor. Die Regelung dieser Spannungen erfolgt ebenfalls mit Hilfe einer zusätzlichen Regelungswicklung. Eine Primärwicklung, eine Regelungswicklung und die zwei Sekundärwicklungen des Transformators sind bei der Treibergeneration v2 ebenfalls auf einer separaten achtlagigen Platine ausgeführt. Gegenüber dem in [85] bzw. v1 verwendeten Kern E32/6/20-3F3-A250-P mit vierlagiger Platine kann aufgrund einer gesteigerten Schaltfrequenz von 500 kHz auf 1 MHz und der Erhöhung der Platinenlagen- bzw. Primärwindungsanzahl bei v2 und v3 der E14/3.5/5-3F4-A160-P Kern des Niederspannungssperrwandlers eingesetzt werden. Im Anhang Abschn. A.8 in Abb. A.8 wurden die acht Wicklungslagen des Platinenlayouts dargestellt, während in Tab. 4.2 die elektrischen Parameter des Transformators zusammengestellt sind.

Tabelle 4.2: Elektrische Eigenschaften des Sperrwandlertransformators für den Notfallbetrieb

Wicklung	n	L in μH	R in $\text{m}\Omega$
Primär	36	205	4050
Regelung	6	5,7	500
Sekundär-Positiv-Lowside	2	0,82	289
Sekundär-Negativ-Lowside	6	6,8	868

Die Ermittlung der Parameter ist analog zu denen in Tab. 4.1 erfolgt, sodass L der Selbstinduktivität und R dem ohmschen Widerstand der Windung entspricht. Auch dieser Transformator weist in der Kurzschlussmessung eine Streuung von etwa 20 % der Hauptinduktivität auf. Um die Zeitspanne zum Erreichen der Schwellspannung respektive Abschalten des JFETs möglichst gering zu halten, wurden zur Verbesserung des Startverhaltens beim Hochspannungssperrwandler zusätzliche Maßnahmen getroffen. Zur hochdynamischen Bereitstellung der Versorgungsniederspannung des Schaltregler-ICs kann ein Verarmungstyp-Transistor als Linearregler verwendet werden. Die zugehörige Schaltung ist in Abb. 4.8 dargestellt.

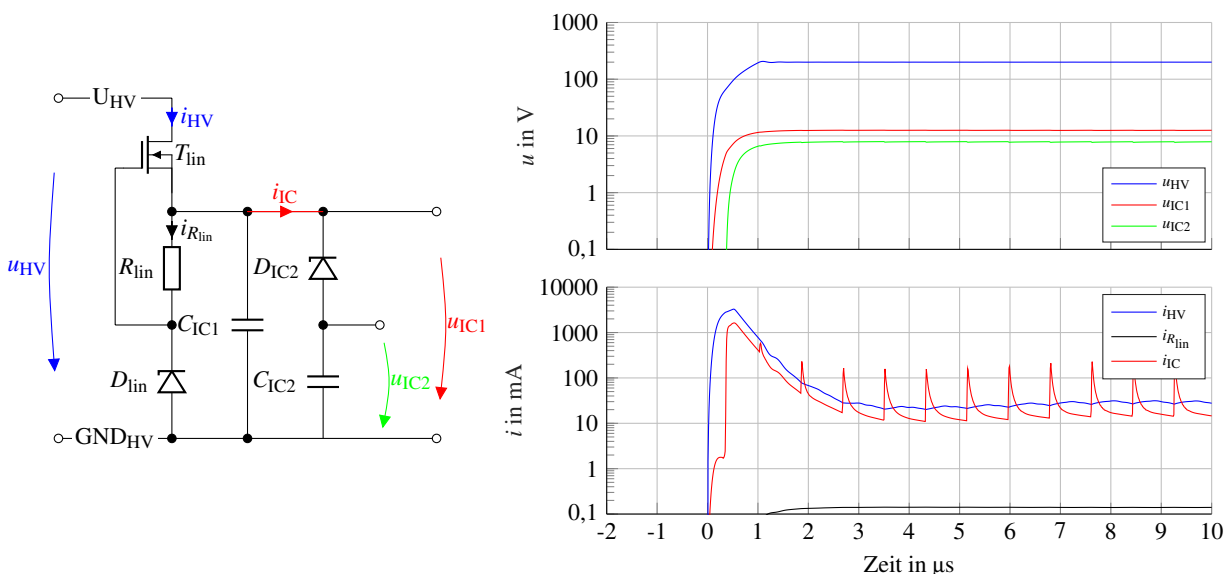


Abbildung 4.8: Spannungsversorgung zur Verbesserung des dynamischen Startverhaltens des Schaltregler-ICs mit Simulationsergebnis

Anstelle des MOSFETs als Gate-Source-Rückkopplung, wie bei der Kaskodenschaltung, wird hier ein Widerstand zur Gaterückkopplung verwendet. Zum Einstellen der Ausgangsspannung ist eine Zener-Diode nachgeschaltet. Bei Eingangsspannungen, welche unterhalb der Summe aus Zener-Spannung und Gate-Source-Schwellschwellspannung liegen, ist der Verarmungstyp-Transistor durchgeschaltet und ermöglicht einen hohen Stromfluss. Ist die Eingangsspannung größer als die Zener-Spannung der Diode, fließt ein Querstrom durch den Transistor, den Gate-Source-Rückkopplungswiderstand und die Diode. Erreicht die Spannung am Widerstand die Schwellenspannung des Verarmungstyp-Transistors T_{lin} , schnürt der Kanal ab. So kann gerade noch der Querstrom bzw. Abschnürstrom geführt werden, welcher den entsprechenden Schwellspannungswert am Widerstand hervorruft. Wird der Ausgang belastet, verringert sich die Ausgangsspannung als auch die Spannung am Gate-Source-Rückkopplungswiderstand und der Verarmungstyp-Transistor steuert auf, sodass zusätzlich zum Querstrom ein Ausgangsstrom fließen kann. Durch Aufladen des Kondensators C_{IC1} auf einen Wert größer als die Summe aus Schwellspannung und Zener-Spannung würde der Verarmungstyp-Transistor weiter abgeschnürt und somit der Linearregler abgeschaltet werden. Das Abschalten des Linearreglers ist sinnvoll, um die im Dauerbetrieb bei großen Eingangsspannung auftretende hohe Verlustenergie zu vermeiden. Mit Hilfe der Regelungswicklung könnte die Kondensatorspannung durch den Leistungsteil des Sperrwandlers gestützt und somit die gesamte Gatetreiberelektronik ohne Linearregler aus der Hochspannungsquelle versorgt werden. Dies wurde bei der vorliegenden Schaltung jedoch noch nicht umgesetzt.

Der verwendete Schaltregler¹⁴⁾ erzeugt eine Gatespannung von 7 V zur Ansteuerung des Hochvolt-Leistungstransistor durch eine Ladungspumpe selbsttätig. Der Schaltbetrieb des Reglers wird erst aufgenommen, wenn dieser die Stabilität und Höhe dieser Ansteuerspannung und internen Versorgungsspannung festgestellt hat. Ohne Maßnahmen zur Beschleunigung des Vorgangs dauert es mit der empfohlenen Pufferkapazität wie bei den Simulationsergebnissen in Abb. 4.7 etwa 70 μ s, bis die Unterspannungsschwelle von 5,6 V überschritten wird. Da diese Zeitspanne für die gewünschte Funktion der schnellen Kurzschlussabschaltung zu lang ist, wurde dieser Aufladevorgang durch die externe Vorladeschaltung aus Abb. 4.8 beschleunigt.

Weitere Maßnahmen zur Beschleunigung des Abschaltvorgangs betreffen die Lastseite, d.h. den Schaltungsteil der SiC-JFET-Gateansteuerung auf Sourcepotenzial (GND_h , GND_1). Zum einen werden hier Linearregler verwendet, um die belastungsabhängige Ausgangsspannung der sekundärseitigen Diodengleichrichter zu stabilisieren. Hierfür wurde ein Linearregler¹⁵⁾ ausgewählt, welcher eine hohe Dynamik im Übertragungsverhalten aufweist. Zum anderen ist eine niederimpedante an die Endstufe angeschlossene Kapazität von $\geq 1 \mu$ F erforderlich, um die Ladung der Strompulse beim repetitiven Umladen des JFET-Gates inklusiver der zusätzlichen externen Kapazität vorzuhalten (vgl. 5), welche etwa zwei bis drei Größenordnungen größer ist als die kumulierte Gate-Source-Kapazität. Beim energiefrei gestarteten Wandler retardiert das Aufladen dieser großen Kapazität jedoch den Zeitpunkt des Erreichens der Abschaltsschwelle erheblich. Eine Möglichkeit, diese Dauer zu reduzieren, ist, einen leistungsfähigen Sperrwandler wie in Treiberkonfiguration v1 zu verwenden. Bei einer Schwellspannung des JFETs von $-14,8$ V, einer Pufferkapazität von 5μ F einer Umladezeit von 10 μ s würde beispielsweise ein Wandler benötigt, welcher über den gesamten Eingangsspannungsbereich mehr als 55 W liefert.

Um den Sperrwandler-Leistungsteil des v2 Treibers dennoch kompakt auszuführen, wird ein alternativer Ansatz verfolgt, bei dem der Großteil der erforderlichen Pufferkapazität C_{buf} erst beim Erreichen einer hier auf etwa $-15,5$ V eingestellten Spannung durch einen MOSFET¹⁶⁾ aktiviert wird. Damit die Spannung an der Endstufe nicht zusammenbricht, wird der MOSFET spannungsabhängig durch die Hilfsschaltung in Abb. 4.9 im linearen Betriebsmodus aufgesteuert. Im Normalbetrieb ist der MOSFET vollständig eingeschaltet und ermöglicht mit einem Durchlasswiderstand von weniger als 20 m Ω bei

¹⁴⁾LTC1871-7

¹⁵⁾LT3080

¹⁶⁾FDC8878

einer Gate-Source-Spannung von etwa 6 V eine niederohmige Anbindung der Kapazität.

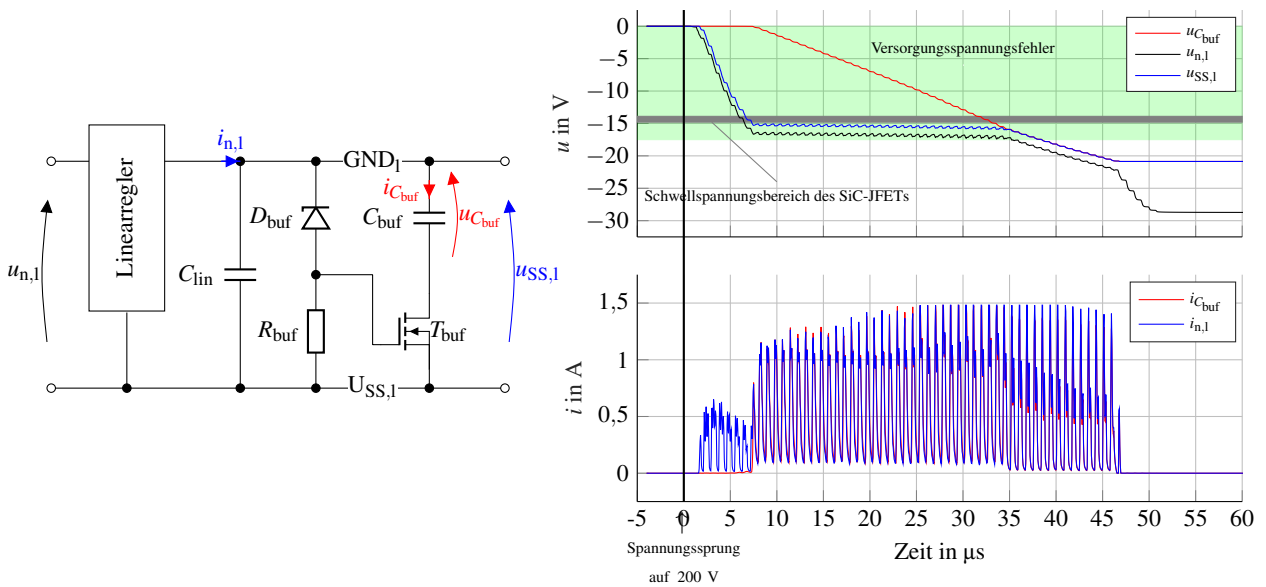


Abbildung 4.9: Schaltung zur Verbesserung des dynamischen Startverhaltens des Schaltregler-ICs

Neben dem Ersatzschaltbild sind in Abb. 4.9 die relevanten elektrischen Größen des Lowside-Gatekreises bei Einschalten von 200 V Eingangsspannung u_{HV} als Simulationsergebnis dargestellt. Der Wandler benötigt in der Simulation etwa $8 \mu\text{s}$, bis an der Ausgangskapazität des Linearreglers $C_{lin} = 100 \text{ nF}$ die Schwellspannung des SiC-JFETs unterschritten wird. Mit der verwendeten 14 V Zener-Diode ist die Schwellspannung des MOSFETs bei etwa $-15,5 \text{ V}$ erreicht wodurch ein Stromfluss $i_{C,buf}$ durch den Kondensator C_{buf} ermöglicht wird. Nach $20 \mu\text{s}$ gleichbleibender Spannung $u_{n,1}$ ist die Spannungsdifferenz zwischen $u_{C,buf}$ und $u_{SS,1}$ abgebaut, woraufhin beide Spannungen weiter zu fallen beginnen. Zum Zeitpunkt $t = 39 \mu\text{s}$ wird die Spannungsgrenze der Versorgungsspannungsüberwachung unterschritten und die Endstufe zur Gateansteuerung für Pulse freigegeben. Schließlich begrenzt der Linearregler die negative Ansteuerspannung bei -20 V und der Schaltregler lädt dessen Eingangskondensator in der Simulation auf ca. -28 V auf. Mit dem Erreichen des gewünschten Zielwerts der primärseitigen Sollspannung von -30 V unterbricht der Schaltregler den Pulsbetrieb des primärseitigen 1200 V MOSFET¹⁷⁾. Die maximal übertragbare Leistung und damit auch das dynamische Verhalten des Hochspannungssperrwandlers sind von der Eingangsspannung abhängig. Abschaltvorgänge der Treiberversionen v1 und v2 sind in Abschn. A.2 im Anhang dieser Arbeit in Abb. A.6 dargestellt.

4.3 Fehlerermittlung und Behandlung

Um die Leistungshalbleiter des Wandlersystems bei Fehlern zu schützen, wird beim Gatetreiber eine Kurzschlusserkennung und -behandlung implementiert. Die Gefahr von Kurzschlüssen, welche nicht auf Funktionsstörungen im Wandlersystem zurück zu führen sind, besteht vor allem dann verstärkt, wenn die Brückenausgänge des Wandlers mit Kabeln zum Beispiel mit einem elektrischen Antrieb oder ähnlichen Lasten verbunden werden, welche ihrerseits Kurzschlussfehler produzieren können. Beispielsweise entsteht durch eine niederimpedante Verbindung zweier Phasen in der Last im normalen Pulsbetrieb bereits ein Brückenquerschuss, welcher ohne eingreifen einer Abfangschaltung im Gatetreiber zur Zerstörung der Leistungshalbleiter führen kann. In derartigen Fehlerfällen ist die Stromanstiegsgeschwindigkeit nur durch die wirksame Induktivität zum Kurzschlussfehlerort begrenzt, wodurch ähnlich wie beim Brückenquerschuss sehr schnell hohe Stromstärken erreicht werden.

¹⁷⁾IXFA3N120

Hohe Stromstärken im Bereich vielfacher Nennströme erzeugen bei IGBTs einen Entsättigungszustand, weshalb diese Absicherungsschaltung auch als Entsättigungsüberwachung bezeichnet wird. Die unipolaren SiC-JFETs erreichen bei gleichem Fehlerbild einen abgeschnürten Zustand und verhalten sich, wie bereits vorangestellt in Abschn. 4 erläutert, qualitativ ähnlich wie entsättigte IGBT. Bei Erreichen hoher Stromstärken steigt die Durchlassspannung am Leistungstransistor überproportional stark an, weswegen diese eine gute Messgröße zum Feststellen des fehlerhaften Betriebes ist.

Zusätzlich wird bei nahezu allen kommerziellen IGBT-Treibern das Einschalten bei zu geringer Spannung durch eine Versorgungsspannungsüberwachung verriegelt. Bei IGBTs ist diese Verriegelung hinsichtlich der Fehlererkennung in Teilen redundant zur Entsättigungsüberwachung, da die Transistoren bei zu geringer Gate-Spannung nicht vollständig aufgesteuert werden und somit bereits bei geringen Strömen entsättigen. Allerdings lässt sich der Fehler hier differenzierter feststellen und bereits im Vorhinein erkennen und hohe Verlustleistungen im Transistor vermeiden. Bei den vorliegenden SiC-Verarmungstyp-Transistoren mit Spannungszwischenkreistopologie liegt der Stellenwert der Gatespannungsüberwachung jedoch viel höher, da der Leistungsschalter nicht mehr gesperrt werden kann, wenn die negative Gate-spannungsversorgung positiver als dessen Schwellenspannung wird. Wie in Abb. 4.3 bereits schematisch angedeutet, wurden für die Realisierung dieser beiden Absicherungsfunktionen jeweilige Messgrößenerfassungen mit zugehöriger Logik auf Gatekreispotenzial entwickelt.

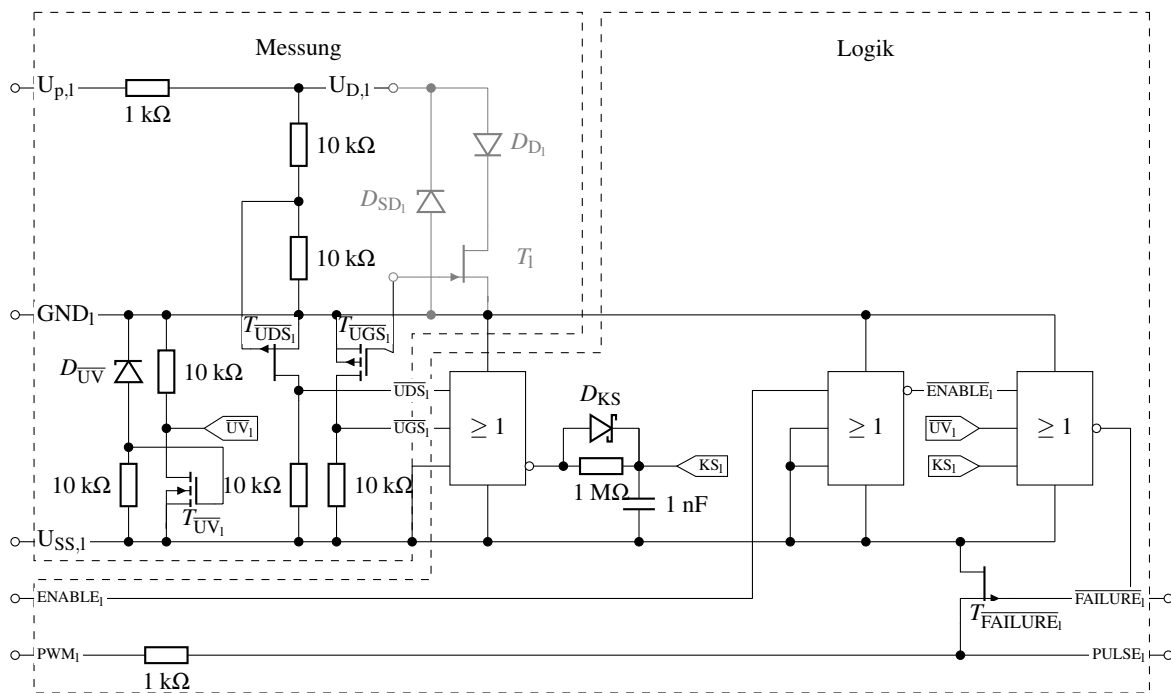


Abbildung 4.10: Schaltung zur Fehlererkennung am Beispiel des Lowside Treibers

Das Ersatzschaltbild dieser Schaltung ist in Abb. 4.10 am Beispiel des Lowside-Gatekreises dargestellt. Um festzustellen, ob ein Kurzschluss vorliegt, werden die Drain-Source-Spannung und die Gate-Source-Spannung des Transistors ausgewertet. Wird bei eingeschaltetem Transistor (Logik-Signal UGS_1 assoziiert mit der Gate-Source-Spannung $u_{gs,1}$) eine erhöhte Drain-Source-Spannung (Logik-Signal UDS_1 assoziiert mit der Drain-Source-Spannung $u_{gs,1}$) gemessen, kann von einem Fehlerzustand bzw. Kurzschluss ausgegangen werden. Demnach ergibt sich gemäß

$$KS_1 = UGS_1 \wedge UDS_1 = \overline{\overline{UGS_1} \vee \overline{UDS_1}} \quad (4.8)$$

ein mit dem Kurzschluss assoziiertes Logik-Signal KS als Konjunktion.

Im Folgenden wird zunächst die Funktionsweise der Kurzschlusserkennungsschaltung beschrieben. Durch eine schnell schaltende Hochspannungsdiode¹⁸⁾ D_{D_1} und einen Widerstand wird zunächst das gegenüber Source GND_1 positive Signal $U_{p,1}$ mit dem Drain des Transistors verbunden. Bei eingeschaltetem Transistor ist dann die Addition aus Drain-Source-Spannung und Diodenvorwärtsspannung anodenseitig messbar und mit dem Signal UD_1 assoziiert. Ist der Transistor hingegen abgeschaltet, sperrt die Diode gegen die hohe Drain-Spannung und anodenseitig liegt die Versorgungsspannung $u_{p,1}$ an. Durch einen resistiven Spannungsteiler am Verarmungstyp-p-JFET¹⁹⁾ $T_{\overline{UDS}_1}$ kann die Auslöseschwelle der Kurzschlusserschaltung beeinflusst werden. Im vorliegenden Fall liegt diese bei der doppelten JFET-Schwellschwellspannung von etwa $u_{ds,1} > 10$ V. Die Kombination aus Verarmungstyp-p-JFET und pull-down Widerstand erzeugt am Ausgang der Schaltung das Logiksignal \overline{UDS}_1 . Zur Umwandlung der Gate-Source-Spannung in ein Signal mit Logikspannungslevel \overline{UGS}_1 wird eine Kombination aus p-MOSFET und Pull-Down -Widerstand verwendet. Die logische Verknüpfung der Signale erfolgt nach Gl. (4.8) per NOR-Gatter²⁰⁾, mit dessen Schmitt-Trigger-Eingängen definierte Logikpegel erzeugt werden. Durch den Innenwiderstand des Gatters mit ca. 500Ω und die Ausgangsschaltung aus Diode, $1 M\Omega$ Widerstand und 1 nF Kondensator wird das dynamische Verhalten der Kurzschlusserkennung eingestellt und eine Fehldetektion während der Schaltflanken vermieden. Mit den ausgewählten Bauteilen erfolgt eine Kurzschlusserkennung nach $1 \mu s$, woraufhin der Zustand KS dann für 2 ms auf wahr gehalten wird.

Bei der Versorgungsspannungsüberwachung wird das logische Signal UV mit Spannungsbereich verknüpft bei dem der SiC-JFET sicher abgeschaltet werden kann. Durch die Erfassungsschaltung mit Zener-Diode und n-MOSFET wird ein Fehler detektiert, wenn die Versorgungsspannung die Addition von Diodenspannung und n-MOSFET-Schwellschwellspannung unterschreitet. Mit der 16 V Zener-Diode und dem MOSFET²¹⁾ wird erfolgt die Detektion bei Spannungen $u_{SS,1}$ welche positiver als -17 V sind. Abschließend wird nach

$$\overline{FAILURE} = \overline{KS \vee \overline{UV} \vee \overline{ENABLE}} \quad (4.9)$$

der Fehlerzustand erkannt, wenn das Logiksignal $\overline{FAILURE}$ einen Low-Pegel annimmt. In der Wahrheitstabelle Tab. 4.3 ist die Funktion der vorgestellten Schaltung zusammengefasst.

Tabelle 4.3: Wahrheitstabelle der Fehlererkennungsschaltung

\overline{UDS}	\overline{UGS}	KS	KS	\overline{UV}	ENABLE	$\overline{FAILURE}$	PULSE
L	L	H	L	L	L	L	L
H	L	L	H	L	L	L	L
L	H	L	L	H	L	L	L
H	H	L	H	H	L	L	L
			L	L	H	H	PWM
			H	L	H	L	L
			L	H	H	L	L
			H	H	H	L	L

Die Pegel L und H der Logik in Tab. 4.3 sind abhängig von der Spannung $u_{SS,1}$. Bei Eingangsspannungen $u < 0,3u_{SS,1}$ detektiert die Logik einen Low Pegel L und bei Eingangsspannungen $u > 0,7u_{SS,1}$ einen High Pegel H.

¹⁸⁾STTH112

¹⁹⁾PMBFJ174

²⁰⁾HCF4025

²¹⁾BSN20

4.4 Endstufe und Pulsformungsnetzwerk

Die Schaltgeschwindigkeit von unipolaren Leistungstransistoren wird, wie in Abschn. 2.1 bereits erläutert, in der Schaltphase mit kapazitiver Rückwirkung auf das Gate durch die zur Ansteuerung ausgewählten Gatekreis-Bauelemente bestimmt. Mit dem Ziel die maximale Schaltgeschwindigkeit der SiC-JFETs auszunutzen, wurde eine niederohmige Endstufe²²⁾ mit hohem Sättigungsstrom sowie eine niederimpedante Leiterplattenanbindung ans Halbleitermodul ausgewählt. Die Endstufe beinhaltet eine CMOS-ähnliche Leistungsstufe, bestehend aus einem n-MOSFET und einem p-MOSFET, mit denen das Gate jeweils gegen negative respektive positive Versorgungsspannung geschaltet wird. Der minimale Sättigungsstrom dieser Transistoren entspricht hier mit 20 A etwa 20 % des erwarteten maximalen SiC-Transistor-Drainstroms. Bei einer Rückwirkungskapazität im SiC-Modul von ca. 250 pF sollten beim maßgeblichen Sättigungsstrom ohne Berücksichtigung des Gatekreiswiderstands Spannungsflankensteilheiten von bis zu 80 V/ns erreichbar sein.

Neben einem hohen dynamischen Stromfluss im zweistelligen Ampere-Bereich beim Schaltvorgang, ermöglicht das in Abb. 4.11 vorgestellte Pulsformungsnetzwerk im eingeschalteten Zustand bei positiver Versorgungsspannung einen geringen stationären Stromfluss.

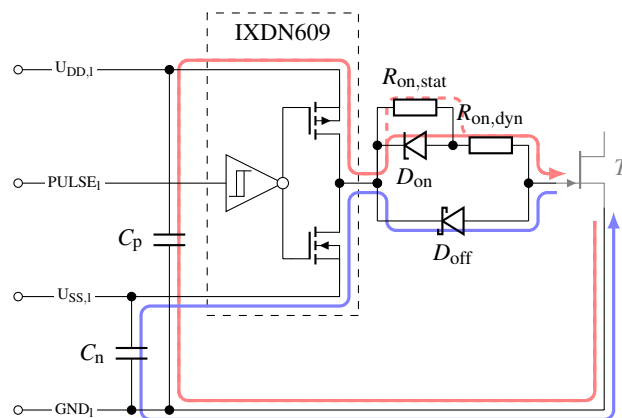


Abbildung 4.11: Pulsformungsnetzwerk zu Ansteuerung eines SiC-JFET

Die Höhe des statischen Stromflusses kann durch den Widerstand $R_{on,stat}$ eingestellt werden, da im stationären eingeschalteten Betriebsfall die Zener-Diode D_{on} sperrt. Neben der Verbesserung der Durchlasseigenschaften des JFETs bei positiver Gate-Source-Spannung bzw. positivem Gatestrom kann zusätzlich die Durchlassspannung der Gate-Source-Diode zur Sperrschichttemperaturbestimmung verwendet werden (vgl. Abschn. 6.2). in Abb. 4.11 ist der Einschaltstromkreis rot und der Abschaltstromkreis blau markiert. Im Abschaltstromkreis ist kein Widerstand vorgesehen, um das in Abschn. 5.2.1 beschriebene parasitäre Einschalten bestmöglich zu unterdrücken. Durch den Widerstand $R_{on,dyn}$ kann der Strom beim Einschalten zusätzlich begrenzt werden, um den Einschaltvorgang zu verlangsamen. Der im Rahmen dieser Arbeit aufgetretene und bisher undokumentierte parasitäre Effekt des instabilen Einschaltens steht ebenfalls in Verbindung zum Einschaltwiderstand und ist in Abschn. 5.2.3 beschrieben.

4.5 Bestimmung der Sperrschichttemperatur

Die Entwicklung von treiberintegrierten Messmethoden zur Ermittlung der Sperrschichttemperatur bei Leistungstransistoren im Pulsbetrieb kann als aktuelles Forschungsfeld in der Leistungselektronik angesehen werden. Ist die Sperrschichttemperatur bekannt, kann daran zum einen die aktuelle Belastung des Halbleiters abgelesen und ggf. einer Überlastung vorgebeugt werden. Zum anderen können Temperatur-

²²⁾IXDN609

zeitverläufe aufgenommen werden, woraus sich nach Anwendung des Rainflow-Algorithmus und bei Kenntnis der Wechsellastfestigkeit der Aufbau- und Verbindungstechnologie ein Lebensdauerverbrauch bzw. eine Restlebensdauer ermitteln lässt. Durch die Online-Beobachtung der Sperrschichttemperatur könnten somit langfristig Werkzeuge geschaffen werden, welche die Wartungskonzepte aber auch die Ausnutzung der Leistungstransistoren verbessern.

Der Großteil vorgeschlagener Messmethoden nutzt temperatursensitive Eigenschaften oder Effekte des Leistungshalbleiterschalters, um einen zusätzlichen Temperatursensor einzusparen. Neben der Durchlasscharakteristik $r_{ds,on}(\vartheta_j, i_d)$ eignen sich beim SiC-JFET besonders die Eigenschaften des pn-Übergangs im Gatekreis $u_{gs,on}(\vartheta_j, i_g, i_d)$ und $u_{gs,off}(\vartheta_j, i_g)$ zur Sperrschichttemperaturermittlung (vgl. Abschn. 6.2). Beim Messverfahren per Gatekreisparameter ist keine Anbindung der Messgrößenerfassung an das hohe und dynamisch wechselnde Drainpotenzial notwendig, was reduzierten Aufwand bei der Mess- und Auswerteschaltung zur Folge hat.

Abb. 6.6 zeigt die am EasyPackTM2B SiC-JFET-Modul gemessene Temperaturabhängigkeit der Durchlassspannung der Gate-Source-Diode. In Abschn. 6.2 wird beschrieben, wie mit Hilfe dieser Messgröße erfolgreich eine Charakterisierung der thermischen Impedanz durchgeführt werden konnte. Der im Rahmen dieser Arbeit in [86] verfolgte Ansatz einer Sperrschichttemperaturerfassung im Pulsbetrieb wurde auf dem Gatetreiber v2 für die Schaltversuchsplatine in Abb. A.10 in Form von zwei unterschiedlichen Erfassungsschaltungen umgesetzt. Zur Erfassung der Gate-Source-Spannung im eingeschalteten Zustand $u_{gs,on}$ wird deren Wert aus der gepulsten Gatespannung durch einen Gleichrichter mit gegenüber Sourcepotenzial geschalteten Glättungskondensator ausgekoppelt. Der Wert der Kondensatorspannung wird durch einen isolierenden Sigma-Delta-Wandler-IC über die Potenzialbarriere digital übertragen und mittels RC-Tiefpass wieder in einen Analogwert gewandelt. Da je nach Temperaturveränderung die Gate-Source-Einschaltspannung auch absinken kann, wurden neben einem Diodengleichrichter auch eine bidirektionale aktive Synchrongleichrichtung mit MOSFETs realisiert, deren Schaltverhalten verzögert zum Gatesignal durch einen IC⁽²³⁾ realisiert wird. Trotz vielversprechender Simulationsergebnisse in [86] wurden die in Abschn. 6 direkt am Gate mit einem Oszilloskop gemessenen Signalverläufe durch die Erfassungsschaltungen nicht korrekt abgebildet. Des Weiteren besteht im Fall einer erfolgreichen Messwertaufnahme die Notwendigkeit der rechnerischen Korrektur aufgrund der parasitären Impedanzkopplungen zum Lastkreis, wie in Abschn. A.9 im Anhang ausgeführt ist. Durch die im Pulsbetrieb auftretenden Stromwelligkeiten wäre diese Korrektur zumindest beim Hochsetzsteller zusätzlich sehr aufwendig. Ein besserer Ansatz wäre daher die Durchbruchspannung der Gate-Source-Diode $u_{gs,off}(\vartheta_j, i_g)$ auszuwerten, was aber aufgrund der schlechteren Ergebnisse in der Simulation in [86] nicht verfolgt wurde. Insgesamt konnte die Sperrschichttemperaturerfassung für den Pulsbetrieb nicht erfolgreich implementiert werden. Die Sperrschichttemperaturerfassung im Labormuster wurde daher nicht weiter verfolgt und die Messschaltungen sind im Gatetreiber v3 nicht enthalten.

4.6 Design der Gatetreiberplatine

Mit den bei Gatetreibergeneration v1 und v2 gewonnen Erkenntnissen wurde die in Abb. 4.12 dargestellte Gatetreiber-Platine v3 für die Applikation im Labormuster in einer weiteren Iteration entwickelt. Die Platine kann in die herausgestellten Teilsysteme Niedervoltsperrwandler, Hochvoltsperrwandler, Controller-Schnittstelle, Lowside-Treiberelektronik und Highside-Treiberelektronik unterteilt werden (vgl. Abb. 4.3). Die Anbindung der Signalelektronik der Steuerungsplatine erfolgt per 8×2 -polig paarweise verdrehtem Kabel mit asymmetrischer Signalübertragung über die Controller-Schnittstelle. Zur Verbesserung der Störfestigkeit wurden analoge und digitale Bezugspotenziale getrennt und jedes Signal mit einer eigenen Bezugspotenzialleitung verdreht angebunden. Für den Betrieb des Labormustersystems sind sieben Treiberplatinen hergestellt worden, welche auf die Leistungsplatine aufgesteckt werden.

²³⁾HCF4098B

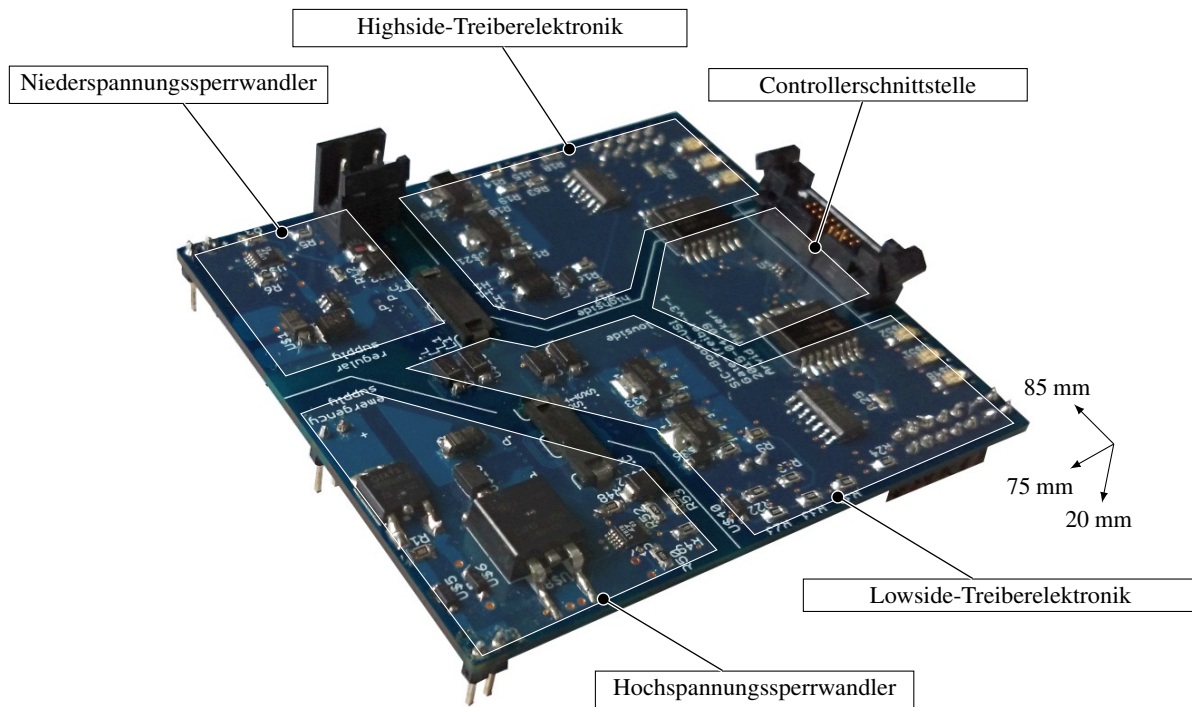


Abbildung 4.12: Gatetreiber-Platine v3 zum Betrieb des Labormusters

Die Versorgung des Niederspannungs- und Hochspannungssperrwandlers erfolgt über separate Busverschiebungen, welche in die Leistungsplatine integriert wurden. Für eine Verbindung zur Leistungsplatine werden mehrere Steckverbinder verwendet. Bei der ebenfalls asymmetrischen Signalübertragung zum Pulsformungsnetzwerk, welches auf der Leistungsplatine aufgebaut ist, wird für jedes Signal ebenfalls eine dedizierte Bezugspotenzialführung im benachbarten Steckkontakt vorgesehen. In Tabelle Tab. 4.4 sind vergleichend die Iterationsstufen v1, v2, und v3 der Gatetreiberentwicklung gegenübergestellt. Detailliertere elektromagnetische und thermische Betrachtungen und Entwurfsmethoden zu den Transformatoren sowie deren Wicklungsdesign für die Treibergeneration v1 wurden im Rahmen der Masterarbeit von Simon Weber entwickelt und beschrieben und sind nicht in dieser Arbeit wiederholt.

Tabelle 4.4: Iterationsstufen beim Gatetreiber für Verarmungstyp-SiC-JFET-Halbbrücken

Bezeichnung	v1	v2	v3
Funktion	Machbarkeitsnachweis	Halbleitercharakterisierung	Labormusterapplikation
PCB-Lagen	4	8	8
PCB-Fläche	182 cm ²	76 cm ² + 2x 5 cm ²	64 cm ²
$f_{s,LV}$	653 kHz	1250 kHz	1250 kHz
LV Kern	2x E14/3.5/5-3F4-A160	E14/3.5/5-3F4-A160	E14/3.5/5-3F4-A160
LV Wicklung	3/2/6/4	4/6/6/2/6/2	4/6/6/2/6/2
$f_{s,HV}$	500 kHz	1250 kHz	1250 kHz
HV Kern	2x E32/6/20-3F3-A250	E14/3.5/5-3F4-A160	E14/3.5/5-3F4-A160
HV Wicklung	20/5/5	36/6/6/2	36/6/6/2
SiC-Modul	TO 247/EasyPACK1B	EasyPACK2B	EasyPACK2B
Besonderes	-	Temperaturerfassung	verb. Startdynamik

Fazit

In diesem Kapitel wurde zunächst ein Überblick über die Notwendigkeit und Ansätze zur Vermeidung des Brückenkurzschlusses bei Verarmungstyp-Transistoren vermittelt. Anschließend wurden Aspekte und Überlegungen dargelegt, welche bei der Entwicklung des Gatetreibers für Verarmungstyp-SiC-JFETs beigetragen haben. Im Ergebnis konnte in dritter Generation ein Halbbrückentreiber realisiert werden, welcher sowohl hinsichtlich der Funktionen als auch der Abmessungen für den Betrieb als Teilsystem des Labormusters geeignet ist.

5 Kommutierungszelle und Schaltverhalten

Neben anderen Aspekten kann die Leistungselektronik als „Lehre des schnellen und intelligenten Schaltens“ und die Leistungstransistoren als Schalter verstanden werden. Hieraus folgt unmittelbar, dass als statische Eigenschaften eine gute Stromleitfähigkeit mit geringem Spannungsabfall im eingeschalteten Zustand und eine hohe Sperrspannungsaufnahme mit geringem Leckstrom im ausgeschalteten Zustand erstrebenswert sind. Dynamisch sind hinsichtlich der Funktion des leistungselektronischen Stellglieds schnelle und möglichst ideale Schaltflanken ohne Schaltverluste wünschenswert. Hieraus erwachsen zum einen Anforderungen an die Leistungstransistoren, zum anderen aber auch an die Gateansteuerung, sowie den konstruktiven und geometrischen Aufbau der Kommutierungszellen und der Gatekreise. Vor allem im vorliegenden Fall mit dem Ziel das volle Potenzial der Schaltgeschwindigkeit von SiC-JFETs auszunutzen, sind der niederinduktive Aufbau der Kommutierungszelle und des Gatekreises von entscheidender Bedeutung. Neben diesen funktionalen Anforderungen ist die Erfassung der Stromtransienten zur Analyse des Schaltverhaltens im kompakten niederinduktiven Aufbau problematisch.

Im Folgenden wird zunächst in Abschn. 5.1 auf die konstruktiven Realisierungsmöglichkeiten der Kommutierungszelle sowie die Strommesswerterfassung eingegangen, bevor nachfolgend in Abschn. 5.2 die Analyse des Schaltverhaltens behandelt wird. Anschließend werden geeignete Maßnahmen zur Reduktion der Schaltverlustenergien präsentiert und die beobachteten Phänomene diskutiert.

5.1 Kommutierungszelle und Kommutierungsstromerfassung

Die am häufigsten verwendete Kommutierungszelle (vgl. Abschn. 2.1) in der Leistungselektronik besteht aus einer Halbbrückenschaltung von zwei Leistungshalbleiterschaltern verbunden mit einem Zwischenkreiskondensator und induktiver Belastung des Kommutierungsknotenpunktes. In Abb. 5.1 sind die betrachteten Baugruppen der Kommutierungszelle jeweils farblich voneinander abgegrenzt dargestellt.

Die von der Firma Infineon zur Verfügung gestellten SiC-JFET-Halbbrücken-Prototypen sind im EasyPACKTM-2B Gehäuse verpackt und mit niederinduktivem Layout zur Streifenleiterzwischenkreis-anbindung versehen. Das SiC-Moduldesign wurde aus dem in [87] vorgestellten niederinduktiven Si-IGBT-Moduldesign abgeleitet. Bei der Si-IGBT-Halbbrücke konnte eine Kommutierungszelle mit insgesamt 13 nH Streuinduktivität aufgebaut werden, was eine Reduktion der Streuinduktivität um ca. 57 % gegenüber herkömmlichen Aufbauten darstellt. Zusammen mit der ebenfalls verringerten Gatekreisinduktivität wurde die Schaltverlustenergie im Vergleich zur Referenz um 23 % vermindert. Die EasyPACKTM-2B Modulbauform ist zur direkten Durchsteckmontage für Platinen mit Press-Fit oder Lötverbindungen vorgesehen. Die Platinenmontage hat Vorteile beim Aufbau niederinduktiver Kommutierungszellen, da günstige und etablierte Platinenprozesstechnik genutzt werden kann.

Als Zwischenkreis wurden aufgrund der hohen Temperaturanforderungen von der Firma EPCOS entwickelte Keramikkondensatoren ebenfalls in Durchsteckmontage ausgewählt (siehe Abschn. 7.1). Diese Kondensatoren weisen jeweils ca. 8 nH parasitäre Induktivität auf.

5.1.1 Zwischenkreisanbindung

In der praktischen Anwendung sind Leistungshalbleiter und Zwischenkreiskondensatoren heute meist noch diskrete Baugruppen, welche durch den Hardwareentwickler per Zwischenkreisanbindung miteinander verbunden werden müssen. Besteht der Zwischenkreis aus mehreren diskreten Kondensatoren, ist zusätzlich eine Zwischenkreisverschaltung erforderlich, um die Einzelbauteile zu einem Zwischenkreis zu verschalten. Dabei ist zu beachten, dass diese Verbindungskonstruktionen zusätzliche Induktivitäten in das System einbringen, welche Eigenfrequenzen der diskreten Bauelemente verstimmen oder neue Schwingkreise und Schwingmoden erzeugen können. Mit der sehr niederimpedanten und symmetrischen Verbindung kann erreicht werden, dass sich der Verbund aus diskreten Kondensatoren ähnlich wie ein großer zentraler Zwischenkreiskondensator verhält und Entlastungseffekte durch die Steuerverfahren aus Abschn. 3.2 entstehen [89].

Zur Kontaktierung der Module und Verschaltung der Halbbrücken zum Hochsetzsteller-Wechselrichter-Verbund wurde eine achtlagige Platine ausgewählt. Die sechs Innenlagen weisen je einen Kupferschichtdicke von 105 μm auf, um den Strom des Leistungsteils führen zu können. Die zwei Außenlagen sind mit einer Kupferschichtdicke von 35 μm aufgeführt, damit die Oberflächenmontage von Gatetreiberendstufen, Spannungsmessteilern, Strommessungen, der Überspannungsschutzschaltung und der Ansteuerung der Vorladeschaltung zu ermöglicht wird. Die geringe Kupferschichtdicke auf den Außenlagen hat gegenüber Dickkupferaußenlagen den Vorteil, dass prozessbedingt viel kleinere Strukturen realisiert werden und damit viele Gehäuse zur Oberflächenmontage (SMD) verwendet werden können. Die Zwischenkreisanbindung der Leistungsmodule erfolgt lagenweise alternierend. Lage zwei, vier und sechs sind mit negativem Zwischenkreispotenzial und Lage drei, fünf und sieben mit positivem Zwischenkreispotenzial verbunden. Wie im Folgenden beschrieben, wird durch die alternierende Bestromung die magnetische Feldenergiedichte und gleichzeitig die Schleifenfläche verringert, was zu einer deutlichen Reduktion der Streuinduktivität führt.

Legt man die in [90] vorgeschlagene Gleichung

$$L_{\sigma,zl,1} = \mu_0 h_{zl} \frac{l_{zl}}{b_{zl}}. \quad (5.1)$$

zu Grunde, verhält sich der Streuinduktivitätsanteil eines Zuleitungsflächenpaares $L_{\sigma,zl,1}$ direkt proportional zu Abstand h_{zl} und Länge l_{zl} und reziprok proportional zu der Breite b_{zl} des stromführenden Leiterplattenpaares. Unter der Annahme einer lagenweise alternierenden und homogenen Stromaufteilung in p gleichmäßig verteilte Lagenpaare kann die Streuinduktivität der Zuleitung $L_{\sigma,zl,p}$ einer $2n$ -lagigen Platine der Gesamtdicke h_{PCB} mit

$$L_{\sigma,zl,p} = \mu_0 \frac{l_{zl}}{b_{zl}} \underbrace{\frac{1}{p}}_{\text{||-Lagen}} \underbrace{\frac{h_{\text{PCB}}}{(2n-1)}}_{h_p} \quad \text{für Dünnkupferplatinen} \quad (5.2)$$

grob abgeschätzt werden.

Im Vergleich zu einer zweilagigen Platine mit Außenlagenstromführung weist eine alternierend ausgeführte achtlagige Platine mit Innenlagenstromführung bei gleicher Gesamtdicke nach Gl. (5.2) einen um ca. 95 % reduzierten Streuinduktivitätsanteil in der Zwischenkreisanbindung auf. Durch die mehrlagige und alternierend bestromte Anbindung kann somit die Streuinduktivität deutlich reduziert werden.

Bei Leiterplatten für hohe Stromstärken oder Aufbauten mit Kupferplattenverschaltung weisen die Kupferlagen einen nicht zu vernachlässigenden Anteil an der Gesamtdicke der Leiterplatte auf. Zum einen verlieren die Annahmen für Gl. (5.2) damit ihre Gültigkeit und zum anderen entsteht in den

ausgedehnten Kupferbereichen eine Frequenzabhängigkeit bei der Stromdichte- und Feldverteilung schon bei geringeren Frequenzen. Die Gleichung

$$L_{\sigma, z_l, p} = \mu_0 \frac{l_{z_l}}{b_{z_l}} \frac{1}{p^2} \sum_{k=1}^p h_{\text{eff}, k} \quad \text{für Dickkupferplattenen} \quad (5.3)$$

berücksichtigt diese Frequenzabhängigkeit in Form eines effektiven Abstands $h_{\text{eff}, k}$ für insgesamt p Lagenpaare. Ausgehend von einem stromführenden Basislagenpaar k mit dem Plattenabstand h_k , der Kupferschichtdicken mit je $h_{\text{cu}, k}$ kann mit Gleichung

$$h_{\text{eff}, k} = h_{p, k} + \frac{h_{\text{cu}, k}}{\alpha_k} \left| \frac{2\alpha_k - \sqrt{j} \sin(\alpha_k) \cosh(\alpha_k) - \sqrt{-j} \cos(\alpha_k) \sinh(\alpha_k)}{-1 + \cos(\alpha_k) \cosh(\alpha_k) + j \sin(\alpha_k) \sinh(\alpha_k)} \right| \quad \text{mit} \quad (5.4)$$

$$\alpha_k = \frac{4h_{\text{cu}, k}}{\sqrt{2}\delta_k} \quad \text{und}$$

$$\delta_k = \frac{1}{\sqrt{\pi\mu_0\sigma_{\text{cu}, k}f}}$$

ein effektiver Basislagenabstand berechnet werden. Erläuterungen und die Ableitung dieser Gleichung sind in Abschn. A.4 im Anhang dieser Arbeit enthalten.

Die Grenzfälle für sehr große und sehr kleine Frequenzen können asymptotisch durch

$$\lim_{f \rightarrow \infty} h_{\text{eff}, k} = h_{p, k} \quad \text{und} \quad (5.5)$$

$$\lim_{f \rightarrow 0} h_{\text{eff}, k} = h_{p, k} + \frac{2}{3} h_{\text{cu}, k} \quad (5.6)$$

abgeschätzt werden.

Zur Verifikation der Gl. (5.3) wurden 2D-FEM-Simulationen der Zwischenkreisbindung durchgeführt. Zum Vergleich wurde eine zweilagige 435 μm Dickkupferplatine mit 710 μm Kern (PCB-2o) sowie eine Achtlagenplatine mit 105 μm Kupferbelag, 150 μm Kern und doppeltem 78 μm FR4-Prepreg¹⁾ mit alternierender Innenlagenstromführung (PCB-6i) ausgewählt. Abb. 5.2 zeigt die magnetische Induktion der Platinenrandbereiche bei 100 A und 100 MHz im Vergleich.

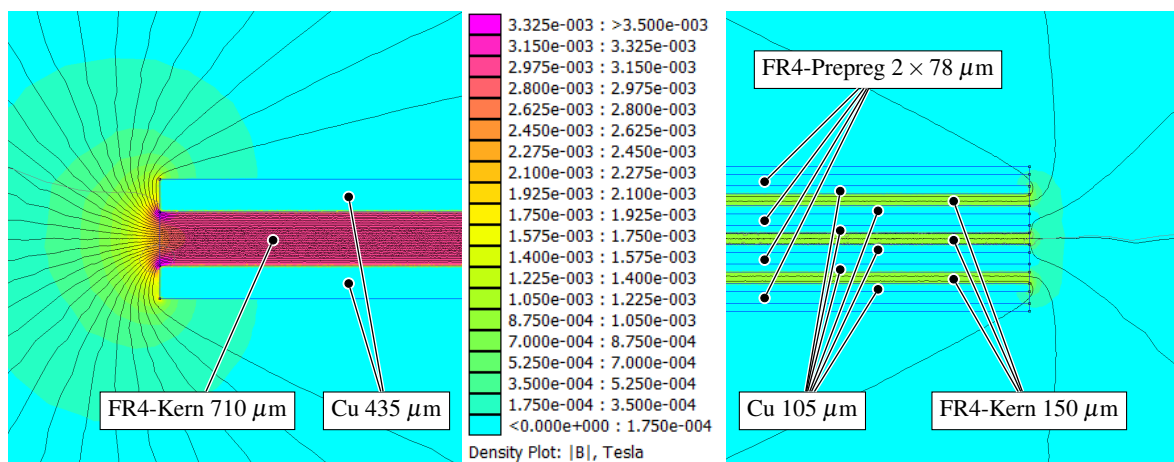


Abbildung 5.2: Feldbilder der Randgebiete bei 100 A und 100 MHz mit PCB-2o links und PCB-6i rechts

¹⁾Mit FR4-Prepregs werden die zweilagige Platinen mit FR4-Kern zu Mehrlagenplatinen verpresst

Die mittlere Induktion im Bereich der FR4-Kerne ist bei der PCB-6i-Anordnung erwartungsgemäß um 67 % geringer als bei der PCB-2o-Anordnung. Damit ist die magnetische Feldenergiedichte in diesen Bereichen um 89 % geringer, was auch die Reduktion der Streuinduktivität durch die PCB-6i-Variante verdeutlicht.

Die Frequenzabhängigkeit der Streuinduktivität ist in Abb. 5.3 für beide Anordnungen PCB-2o und PCB-6i für eine Zuleitungslänge l_{z1} von 40 mm und einer Zuleitungsbreite b_{z1} von 40 mm dargestellt.

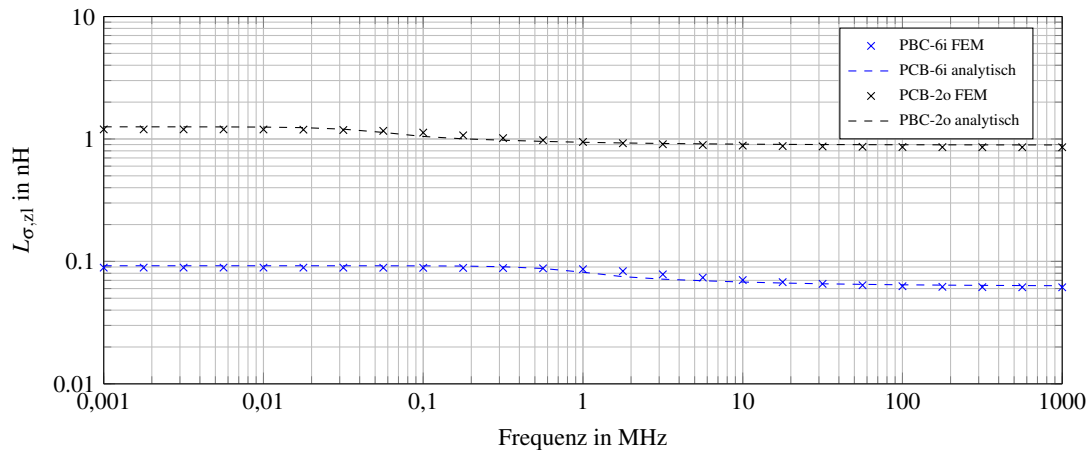


Abbildung 5.3: Frequenzabhängigkeit der Zuleitungsstreuinduktivität $L_{\sigma,z1}$

Der Vergleich zwischen numerischer FEM-Simulation und analytischer Berechnung nach Gl. (5.3) in Abb. 5.3 zeigt Unterschiede im Frequenzverhalten und in den absoluten Randwerten. Für diesen Anwendungsfall liegt die Abweichung der analytischen Methode bezogen auf das FEM-Ergebnis im gesamten Frequenzbereich bei unter 10 %.

Abschließend ist zu erwähnen, dass im vorliegenden Anwendungsfall der Anteil der Zuleitungsinduktivität, selbst bei der PCB-2o-Anordnung nur etwa 10 % an der gesamten Kommutierungskreisinduktivität ausmachen würde, da die Zwischenkreiskondensatoren bereits so nah wie möglich am Halbleitermodul platziert wurden. Trotzdem wurde die PCB-6i-Variante verwendet, da hier die Verwendung von SMD-ICs möglich, die Verbindungsinduktivität geringer und auch die Anbindung zu den Kondensatoren weiterer Halbbrücken niederinduktiver ist. Des Weiteren konnte die PCB-6i-Platine insgesamt günstiger beschafft werden, da 105 μm bei den meisten Platinenherstellern mittlerweile als Standardmaterial verfügbar ist.

5.1.2 Erfassung der Kommutierungsstromtransienten

Die Messung des Kommutierungsstroms beim Schaltvorgang eines Halbleitermoduls ist vor allem mit niederinduktiv aufgebauter Zwischenkreisanbindung wie bereits angedeutet eine Herausforderung. Kommerziell verfügbare Strommesssysteme sind aufgrund ihrer Bauform und Abmessungen schwer in den niederinduktiven Aufbau integrierbar. Verfügbare, flexible und ausreichend flache Rogowskispulen²⁾ konnten ebenfalls aufgrund der zu kleinen Spulenfläche hier nicht verwendet werden. Bei den verwendeten SiC-Leistungsmodulen werden im Normalbetrieb Kommutierungsströme von bis zu 150 A erwartet. Im Kurzschlussfall können hingegen ca. 1500 A auftreten. Gleichzeitig sind Stromanstiegsgeschwindigkeiten im zweistelligen A/ns -Bereich bei der Kommutierung im Normalbetrieb zu erwarten. Daher sollte das Strommesssystem gleichzeitig eine hohe Dynamik und einen großen Strombereich abdecken bzw. zerstörungsfrei überstehen können.

²⁾PEM CWT Ultra Mini

Mit einem Shunt konnte der Kommutierungsstrom anderer SiC-Halbbrückenmodule im EasyPACK™ 1B in einem ersten Versuch nicht zufriedenstellend gemessen werden. Die Ergebnisse dieser Messung sind im Anhang A.8 dieser Arbeit dokumentiert. Beim Design des Shunts wurde auf einen niederinduktiven Aufbau geachtet, sodass dieser eine Induktivität von ca. 100 pH aufweist. Die Stromänderungsgeschwindigkeit beim Kommutieren der SiC-Module erzeugt an der Induktivität des Shunts bereits Spannungen von mehreren Volt. Durch diese induktive Verzerrung der gewünschten ohmschen Messspannung konnten die Stromzeitverläufe nicht korrekt ermittelt werden. Aus diesem Grund wurde ein induktives Messsystem zur Ermittlung des Modulstroms i_{pm} konstruiert, welches in den Kommutierungskreis integriert werden kann. Die Abb. 5.4 zeigt die Messspule und das Halbleitermodul.

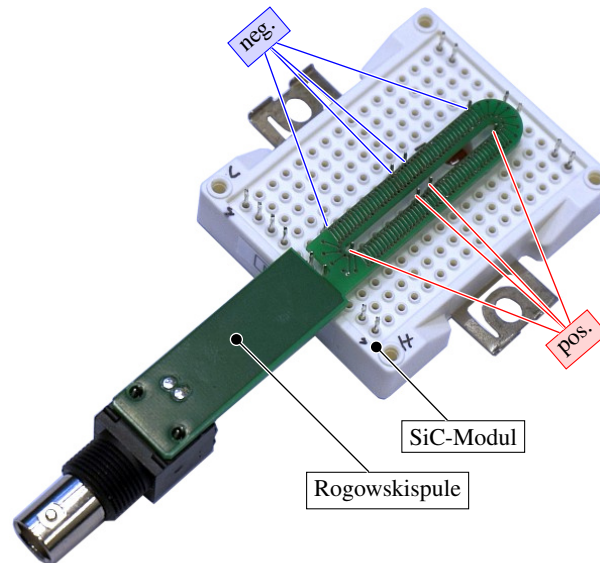


Abbildung 5.4: Rogowskispule mit Halbleitermodul

Im Folgenden ist das Funktionsprinzip dieses Messsystems erläutert:

Der Stromfluss i_{pm} in den Pins des Halbleitermoduls ist proportional zum magnetische Feld und dem Fluss Ψ_{pm} in der Umgebung der Modulzuleitungen nach

$$i_{pm} \propto \Psi_{pm} = \Psi_{pmrc} + \Psi_{\sigma,pm}. \quad (5.7)$$

Dabei ist jedoch nur der Anteil Ψ_{pmrc} des Gesamtflusses Ψ_{pm} mit der Rogowskispule verkettet. Die zeitliche Stromänderung erzeugt damit eine proportionale zeitliche Flussveränderung in der Rogowskispule gemäß

$$\frac{di_{pm}}{dt} \propto \frac{d\Psi_{pm}}{dt} = \frac{d\Psi_{pmrc}}{dt} + \frac{d\Psi_{\sigma,pm}}{dt}. \quad (5.8)$$

Eine zeitliche Flussänderung des verketteten Flusses erzeugt somit nach

$$u_{i,rc} = \frac{d\Psi_{pmrc}}{dt} = M_{pmrc} \frac{di_{pm}}{dt} \quad (5.9)$$

eine induzierte Spannung $u_{i,rc}$ in der Spule. Diese induzierte Spannung der Rogowskispule soll mit einem hochohmigen passiven Spannungstastkopf und Oszilloskop an den Anschlussklemmen gemessen werden. In Abb. 5.5 ist das vereinfachte Ersatzschaltbild dieser Anordnung skizziert.

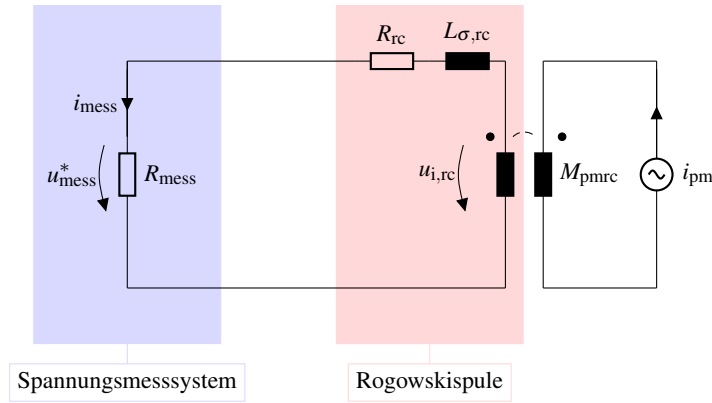


Abbildung 5.5: Niederfrequenz-Ersatzschaltbild der Rogowskispule mit Spannungsmesssystem

Durch den hochohmigen Abschluss mit $10 \text{ M}\Omega$ ist zunächst für niedrige Anregungsfrequenzen (ca. $\leq 1 \text{ MHz}$) sichergestellt, dass der Messstrom i_{mess} als vernachlässigbar klein angenommen werden kann. Somit wird nach

$$u_{\text{mess}}^* = u_{i,\text{rc}} - \left(R_{\text{rc}} i_{\text{mess}} + L_{\sigma,\text{rc}} \frac{di_{\text{mess}}}{dt} \right) \quad \text{mit} \quad R_{\text{rc}} i_{\text{mess}}, L_{\text{rc}} \frac{di_{\text{mess}}}{dt} \leq 10 \mu\text{V} \quad \text{und}$$

$$u_{\text{mess}}^* = M_{\text{pmrc}} \frac{di_{\text{pm}}}{dt} \quad (5.10)$$

keine Rückwirkung auf das Feld oder Einfluss auf die Messgröße ausgeübt. Anschließend erfolgt offline eine zeitliche Integration der digitalisierten Messkurve, wodurch sich eine Hilfsgröße Ψ_{pmrc}^* ergibt, die gemäß

$$\Psi_{\text{pmrc}}^* = \int u_{\text{mess}}^* dt = M_{\text{pmrc}} \int \frac{di_{\text{pm}}}{dt} dt \quad (5.11)$$

$$i_{\text{pm}} = \frac{1}{M_{\text{pmrc}}} \Psi_{\text{pmrc}}^* = k^* \Psi_{\text{pmrc}}^* \quad (5.12)$$

proportional zum Modulstrom ist und die Einheit des magnetischen Flusses aufweist. Der Proportionalitätsfaktor k^* zwischen Hilfsgröße und Messgröße entspricht bei der Strommessung dem Kehrwert der Gegeninduktivität M_{pmrc} . Um im Folgenden die Gegeninduktivität ermitteln zu können, wird zunächst die Flussverketzung zwischen den Zuleitungen des Halbleitermoduls und der Rogowskispule bestimmt. Dabei wird angenommen, dass die Flussverketzung zwischen Modulzuleitung und Messspule nur durch tangentielle Feldanteile der Zuleitungen entsteht. Eine zweidimensionale Modellierung des Problems ist somit ausreichend.

Hierzu kann eine analytische Abschätzung der Gegeninduktivität mit der Spulenwicklungsbreite b_{rc} , Spulenhöhe h_{rc} und Spulenlänge l_{rc} anhand der Gleichungen

$$M_{\text{ms}} \approx \mu_0 \frac{b_{\text{rc}}}{l_{\text{rc}}} h_{\text{rc}} = 6,79 \text{ nH} \rightarrow k^* = 147 \frac{\text{A}}{\mu\text{Vs}} \quad (5.13)$$

gemäß der Ausführung im Anhang in Abschn. A.6 erfolgen.

Aufgrund der starken Inhomogenität des erzeugten Feldes und der hohen Windungszahl wird die Anordnung zusätzlich mit der Finite Elemente Software FEMM als zweidimensionales Modell untersucht. Im Modell wird ein Strom in die Modulzuleitungen eingepreßt und der Strom der Messspule auf 0 A gesetzt. Die Abb. 5.6 zeigt das entstehende Feldbild der Induktion bei 100 A Modulstrom.

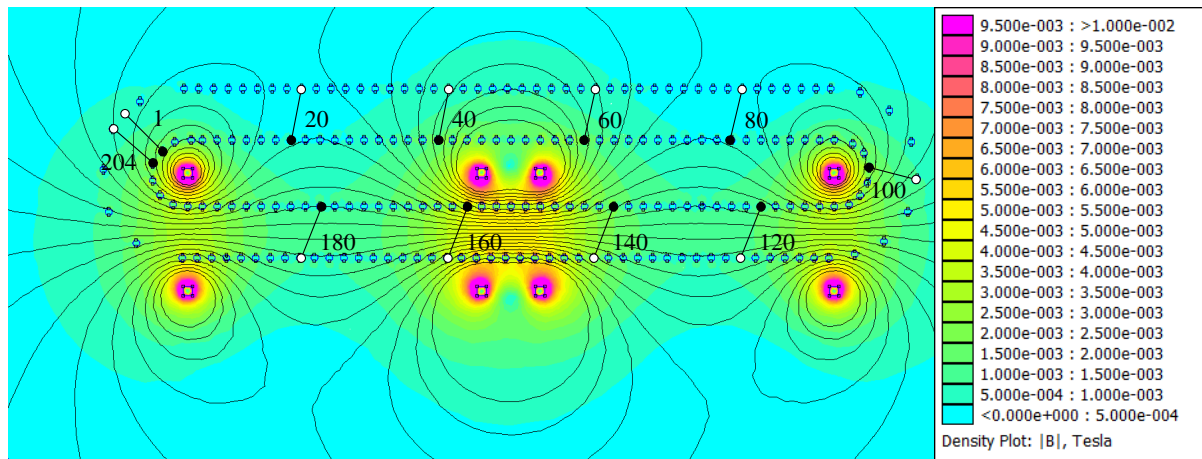


Abbildung 5.6: Feldbild mit Rogowskispule bei 100 A Modulstrom und 1 MHz mit markierten Halbwindungen

Eine Platinenwindung besteht aus zwei Durchkontaktierungen und zwei Leiterbahnen, je eine auf der Ober- und Unterlage. Die Leiterbahnen liegen dabei nicht übereinander sondern um die Achse der gemeinsamen Durchkontaktierung um einen Winkel verdreht angeordnet. Zur Berechnung des Flusses werden je Windung zwei virtuelle Windungen angenommen. Die Flächennormale einer virtuellen Windung ist an der Leiterbahn auf der Oberlage und die Flächennormale der anderen virtuellen Windung ist an der Leiterbahn auf der Unterlage orientiert. Diese virtuellen Windungen werden im Folgenden als Halbwindung bezeichnet. Im nächsten Schritt wird die mittlere flächennormale Induktion \vec{B}_k jeder Spulen-Halbwindung ausgelesen. Der Verlauf der mittleren flächennormalen Induktion entlang der Rogowskispulen-Halbwindungen zeigt in Abb. 5.7 deutlich die örtliche Inhomogenität der Feldverteilung.

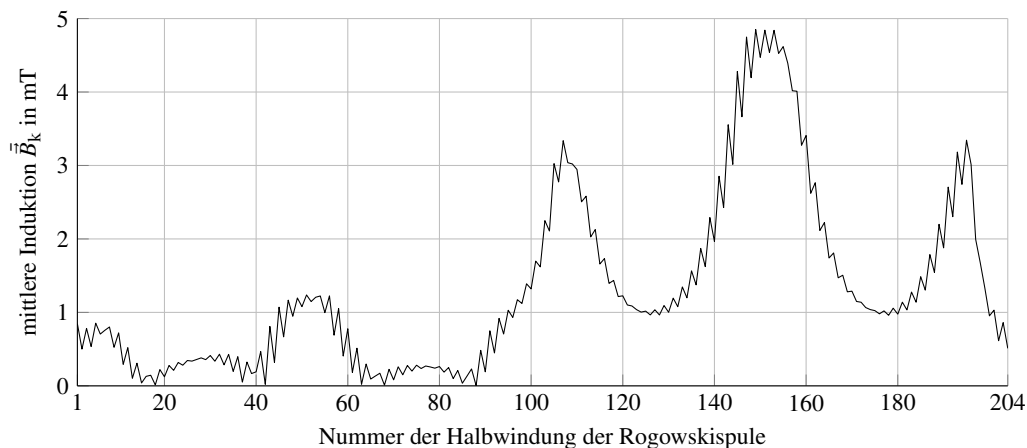


Abbildung 5.7: Mittlere flächennormale Induktion je Halbwindungen der Rogowskispule bei 100 A

Der Verkettungsfluss ergibt sich nach

$$\Psi_{\text{pmrc}}^* = \frac{h_{\text{rc}}}{2} \sum_{k=1}^{204} \vec{B}_k b_k \quad (5.14)$$

als die Hälfte der Summe der 204 Halbwindungsflüsse mit Windungsfensterhöhe h_{rc} und Halbwindungsbreite b_k nach Gl. (5.14). Die Windungsfensterhöhe entspricht der Platinendicke von 1,6 mm und die Halbwindungsbreite dem Abstand der Durchkontaktierungen jeder Halbwindung. Mit dem Verkettungsfluss von 644 nWb bei 100 A Modulstrom kann eine Gegeninduktivität von 6,44 nH berechnet werden. Bei einer Stromänderungsrate von 1 A/ns wird an der Rogowskispule eine Spannung von 6,44 V erwartet.

Hieraus wird ein Proportionalitätsfaktor k^* von $155 \text{ A}/\mu\text{Vs}$ berechnet. Zur Überprüfung dieses Faktors wurde eine Vergleichsmessung mit einem kommerziellen Messsystem durchgeführt. Die Abb. 5.8 zeigt den Vergleich der Stromzeitverläufe mit einer Pearson-Sonde³⁾ beim $2 \mu\text{s}$ andauernden Kurzschlussversuch mit einem IGBT-Modul.

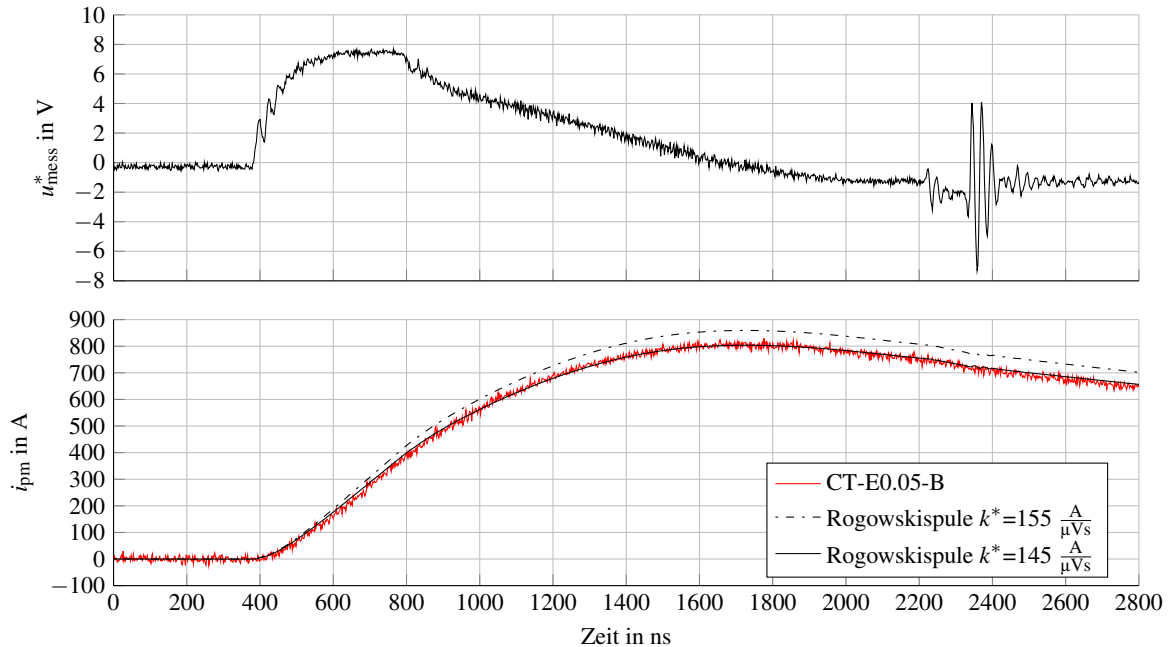


Abbildung 5.8: Vergleichsmessung mit IGBT-H-Brücke und geringer Flankensteilheit $1 \frac{\text{A}}{\text{ns}}$

Die Messungen mit der Rogowskispule und der Pearson-Sonde zeigen bei Verwendung des numerisch bestimmten Proportionalitätsfaktors zwar Formtreue, aber Abweichungen hinsichtlich des Absolutwerts. Daher wird ein korrigierter Proportionalitätsfaktor von $145 \text{ A}/\mu\text{Vs}$ verwendet, welcher durch diese und weitere Messungen verifiziert werden konnte.

Bei höheren Anregungsfrequenzen im zwei bis dreistelligen MHz-Bereich muss zusätzlich die Eingangskapazität des Messsystems C_{mess} berücksichtigt werden. Das dynamische Übertragungsverhalten der Rogowskispule wird durch die Streuinduktivität $L_{\sigma,rc}$, den parasitären Widerstand R_{rc} und die Eigenschaften des verwendeten Spannungsmesssystems beeinflusst. In Abb. 5.9 ist das Hochfrequenz-Ersatzschaltbild der Rogowskispule mit Messsystem dargestellt.

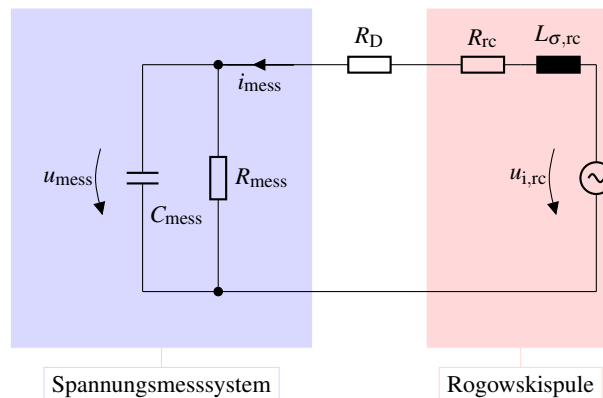


Abbildung 5.9: Hochfrequenz-Ersatzschaltbild der Rogowskispule mit Messsystem

³⁾Bergoz CT-E0.05-B

Die gewöhnliche Differenzialgleichung zweiter Ordnung

$$u_{i,rc} = \frac{d^2 u_{\text{mess}}}{dt^2} C_{\text{mess}} L_{\sigma,rc} + \frac{du_{\text{mess}}}{dt} \left((R_D + R_{rc}) C_{\text{mess}} + \frac{L_{\sigma,rc}}{R_{\text{mess}}} \right) + u_{\text{mess}} \left(1 - \frac{R_D + R_{rc}}{R_{\text{mess}}} \right) \quad (5.15)$$

beschreibt das Systemverhalten der Rogowskispule mit Spannungsmesssystem. Mit der Annahme, dass der Messsystemwiderstand sehr groß ist, ergibt sich daraus die vereinfachte Differenzialgleichung

$$u_{i,rc} = \frac{d^2 u_{\text{mess}}}{dt^2} C_{\text{mess}} L_{\sigma,rc} + \frac{du_{\text{mess}}}{dt} ((R_D + R_{rc}) C_{\text{mess}}) + u_{\text{mess}} \quad (5.16)$$

und daraus die Laplace-Übertragungsfunktion

$$\frac{\mathbf{u}_{\text{mess}}}{\mathbf{u}_{i,rc}} = \frac{1}{C_{\text{mess}} L_{\sigma,rc} s^2 + (R_D + R_{rc}) C_{\text{mess}} s + 1}. \quad (5.17)$$

Die elektrischen Kenngrößen der Spule wurden mit einem Impedanzmessgerät⁴⁾ aufgezeichnet. Dabei konnte eine Selbstinduktivität L von 804 nH und ein Widerstand von 1,5 Ω ermittelt werden. Mit der Gegeninduktivität M_{pmrc} von rechnerisch 6,44 nH ergibt sich eine Streuinduktivität $L_{\sigma,rc}$ von ca. 798 nH. Die verwendete Spannungsmessung mit zehnfacher Dämpfung und 300 MHz Grenzfrequenz hat eine Eingangskapazität C_{mess} von weniger als 12 pF und einen Eingangswiderstand R_{mess} von 10 M Ω . Mit einer Kapazität von 12 pF weist der Reihenschwingkreis eine Resonanzfrequenz von 51,4 MHz auf. Das Dämpfungsmaß des Kreises liegt dabei bei 0,0029. Durch die schwache Dämpfung entstehen bei Anregungen mit hochfrequenten Anteilen in der Nähe der Resonanzfrequenz ungewünschte Schwingungsüberhöhungen im Messsystem. Um auch bei hohen Stromflankensteilheiten eine möglichst formtreue Übertragung des Zeitsignals zu erhalten, kann ein zusätzlicher Reihenwiderstand R_D zur Dämpfung eingesetzt werden. Nach

$$R_D = 2D \sqrt{\frac{L_{\sigma,rc}}{C_{\text{mess}}}} - R_{rc} \quad (5.18)$$

ist bei der gewünschten Dämpfung von $1/\sqrt{2}$ ein zusätzlicher Widerstand R_D von 363 Ω notwendig, welcher durch zwei Reihenwiderständen 330 Ω und 33 Ω zusammengesetzt werden konnte. Die Strommessung weist mit den gewählten Bauteilen bei 12 pF maximaler Kapazität somit eine minimale Grenzfrequenz $f_{3\text{dB}}$ von 51,7 MHz auf. Die Grenzfrequenz kann mit Hilfe der Gleichung

$$f_{3\text{dB}} = \frac{1}{2\pi} \sqrt{\frac{2L_{\sigma,rc} - C_{\text{mess}} (R_D + R_{rc})^2 + \sqrt{(C_{\text{mess}} (R_D + R_{rc})^2 - 2L_{\sigma,rc})^2 + 4L_{\sigma,rc}^2}}{2C_{\text{mess}} L_{\sigma,rc}^2}} \quad (5.19)$$

auch für andere Strommesssysteme gleicher Bauart und Funktionsweise in Abhängigkeit der Systemparameter berechnet werden. In Abb. 5.10 sind die Tastkopfspannung u_{mess} und der daraus errechnete Modulstrom i_{pm} Messsystem mit und ohne Dämpfungswiderstand R_D beim Schalten des SiC-JFET-Moduls dargestellt.

Es wird deutlich, dass im schwach gedämpften Fall Verzerrungen des berechneten Stromverlaufs auftreten. Beim schwach gedämpften Betriebsfall werden im Stromflankenspektrum enthaltene Schwingungen mit Frequenzen nahe der Messsystemeigenfrequenz verstärkt. Diese Verzerrung kann mit dem Dämpfungswiderstand R_D wirkungsvoll unterdrückt werden. Somit konnte eine Methode vorgestellt werden, die dem Anwender ermöglicht, ein Strommesssystem auf Platinenbasis zu erstellen, welches für den jeweilig vorliegenden Anwendungsfall anpassbar ist.

⁴⁾Hioki 3522 100 kHz

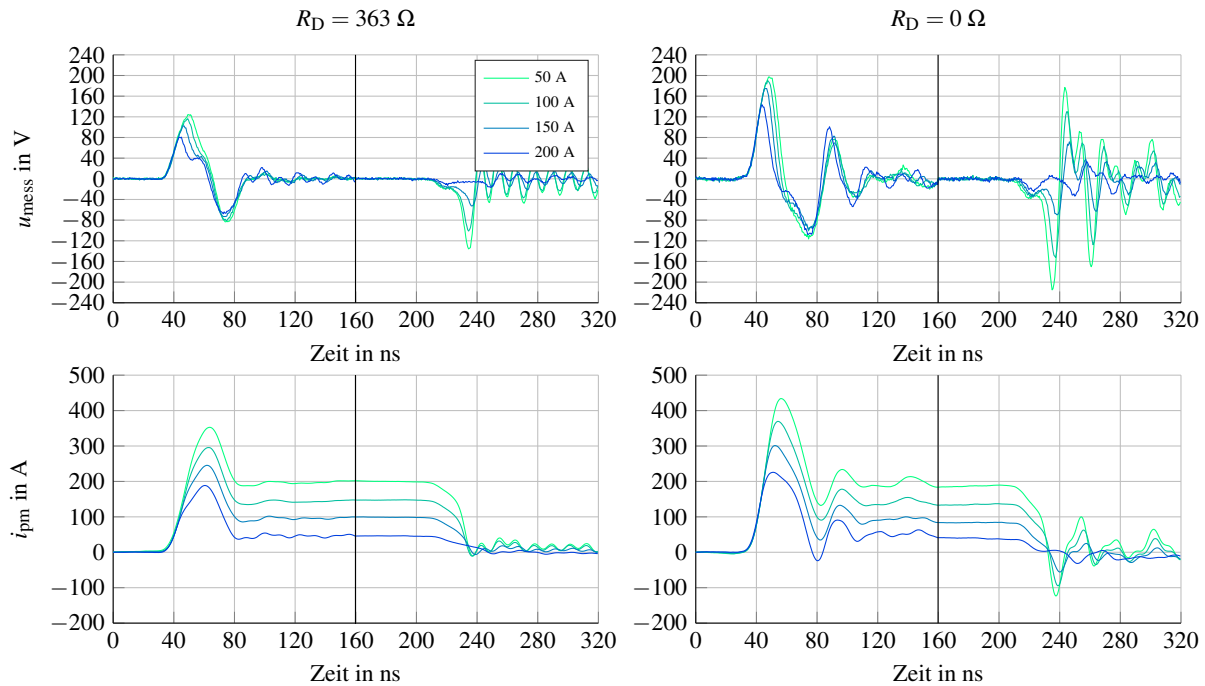


Abbildung 5.10: Auswirkungen des Dämpfungswiderstands R_D auf die Messgröße u_{mess} und das Ergebnis i_{pm}

5.2 Schaltversuche

Zur Ermittlung der Schaltverlustenergien der SiC-Leistungsmodule wurde eine Halbbrücken-Schaltversuchsplatine und eine Gatetreiberplatine entworfen, welche bereits exakt die Kommutierungszelle sowie die Gatetreiberschaltung des SiC-Wandlersystems aufweist und zudem mit zugänglichen Messpunkten ausgestattet ist. Mit dieser Versuchsanordnung wurden Doppelpulsversuche durchgeführt, um das Schaltverhalten zu untersuchen. Da es sich sowohl bei den Halbleitermodulen als auch Zwischenkreis-kondensatoren um Prototypen und beim Gatetreiber um eine Eigenentwicklung handelt, soll mit dieser Voruntersuchung sichergestellt werden, dass potenziell auftretende unerwünschte Effekte in erster Linie messbar sind und darüber hinaus Gegenmaßnahmen entwickelt und getestet werden können.

In [91] wurde beim schnellen Einschalten des Lowside-SiC-Halbbrückentransistors der Effekt des parasitären Aufsteuerns⁵⁾ des Highside-SiC-Halbbrückentransistors beschrieben. Die hierbei auftretenden erhöhten Brückenquerströme erzeugen zusätzliche Schaltverluste in beiden Transistoren der Halbbrücke. Neben der Sperrverzugsladung der Highside-Diode Q_{tr} und der zur Umladung der Ausgangskapazität notwendigen Ladungsmenge Q_{ds} wird dabei eine zusätzliche Ladung Q_{qs} im Zeitverlauf des Kommutierungsstromes messbar. Um das volle Potenzial der SiC-Transistoren nutzbar zu machen und eine minimale Schaltverlustenergie zu erreichen, ist es notwendig, diesen Effekt zu unterdrücken. Des Weiteren wurden in [92] unerwünschte Schwingungen beim Abschalten von SiC-FETs in Halbbrücken-anordnung dokumentiert, welche bei größerem Gatewiderstand verstärkt auftreten. Bei beiden Effekten ist der durch Spannungsänderung am Ausgang du_{ds}/dt hervorgerufene Verschiebestrom i_{dg} über die Rückwirkungskapazität C_{dg} ursächlich für das Auftreten.

⁵⁾engl. shoot-through

5.2.1 Brückenquerstrom durch parasitäres Aufsteuern

Zur Erläuterung des Effekts beim parasitären Aufsteuern des Highside-Transistors ist in Abb. 5.11 das Ersatzschaltbild der SiC-JFET-Halbbrücke beim Einschalten des Lowside-Transistors dargestellt. Neben der blau gekennzeichneten Rückwirkungskapazität kann auch die blau markierte gemeinsame Induktivität mit dem Lastkreis Rückwirkungen auf den Gatekreis erzeugen. Die Spannung an der Induktivität, welche während der Stromtransienten entsteht, wirkt jedoch, wie in [91] beobachtet, einem Brückenquerstrom entgegen.

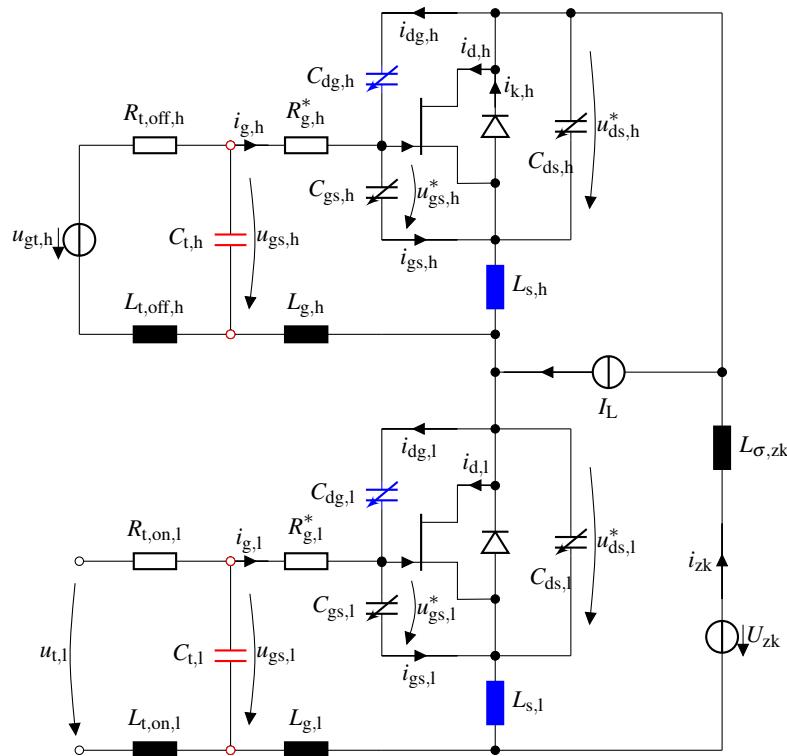


Abbildung 5.11: Ersatzschaltbild der SiC-Halbbrücke mit externen Kapazitäten und Kommutierungszelle (Einschalten)

Während der Verriegelungszeit sind als Anfangsbedingung der Betrachtung beide Transistoren ausgeschaltet und der Kommutierungsstrom fließt über die intrinsische Freilaufdiode des Highside-Transistors. Im stromlosen Fall ist lediglich die Ausgangskapazität $C_{ds,h}$ des Highside-Transistors entladen. Durch ein Ansteigen der Ausgangsspannung $u_{t,l}$ des Lowside-Gatetreibers wird die Gate-Source-Kapazität des Lowside-Transistors aufgeladen, bis dessen Kanal leitfähig wird. Der Drainstrom $i_{d,l}$ steigt durch den sinkenden Durchlasswiderstand bei anliegender Drain-Source-Spannung zunächst bis auf den Wert des Kommutierungsstroms I_L an. Die zeitliche Stromänderung im Kommutierungskreis erzeugt eine Spannung an den parasitären Kommutierungsinduktivitäten $L_{s,l}$, $L_{s,h}$ und $L_{\sigma,zk}$ und reduziert die Drain-Source-Spannung $u_{ds,l}$ des aufkommutierenden Transistors (siehe Abb. 5.11). Der Strom durch die Body-Diode des abkommutierenden Transistors sinkt gemäß der Knotenregel auf null, sobald der Drainstrom des Lowside-Transistors die Kommutierungsstromstärke erreicht. Durch die Ladungsträgerüberflutung der Sperrschicht der abkommutierenden intrinsischen pn-Diode sinkt deren Strom weiter auf negative Werte, was zum Ausräumen der Speicherladung beiträgt. Während des Ausräumens der Speicherladung wird die intrinsische pn-Diode sperrfähig, was einen Anstieg der Drain-Source-Spannung $u_{ds,h}$ zur Folge hat. Im stromlosen Fall ist die Diode hingegen sofort sperrfähig und es tritt nur ein Verschiebestrom auf.

Eine zeitliche Änderung der Drain-Source-Spannung ist nach

$$i_{C_{dg}} = \frac{C_{gs} \cdot C_{dg}}{C_{dg} + C_{gs}} \cdot \frac{du_{ds}}{dt} \approx C_{dg} \cdot \frac{du_{ds}}{dt} \quad (5.20)$$

stets mit einem Verschiebestrom durch die Rückwirkungs- und Gate-Source-Kapazität des Bauteils verknüpft. Bei Spannungsflankensteilheiten $du_{ds,h}/dt$ von $30 \frac{V}{ns}$ ergeben sich beim vorliegenden SiC-JFET-Halbleitermodul aufgrund der spannungsabhängigen Drain-Gate-Kapazität Verschiebestrome im Bereich von 5 A bis 25 A für die Dauer der Spannungsflanke. Ist die Gate-Kreis-Impedanz des abkommutierenden Highside-JFETs zu hoch, um diesen Strom treiberseitig abzuführen, kann dessen Steuerkapazität $C_{gs,h}$ aufgeladen werden. Wird bei diesem Vorgang die Schwellenspannung überschritten, fängt der abgeschaltete Transistor an zu leiten, was in einem zusätzlichen Brückenquerstrom $i_{d,h}$ resultiert.

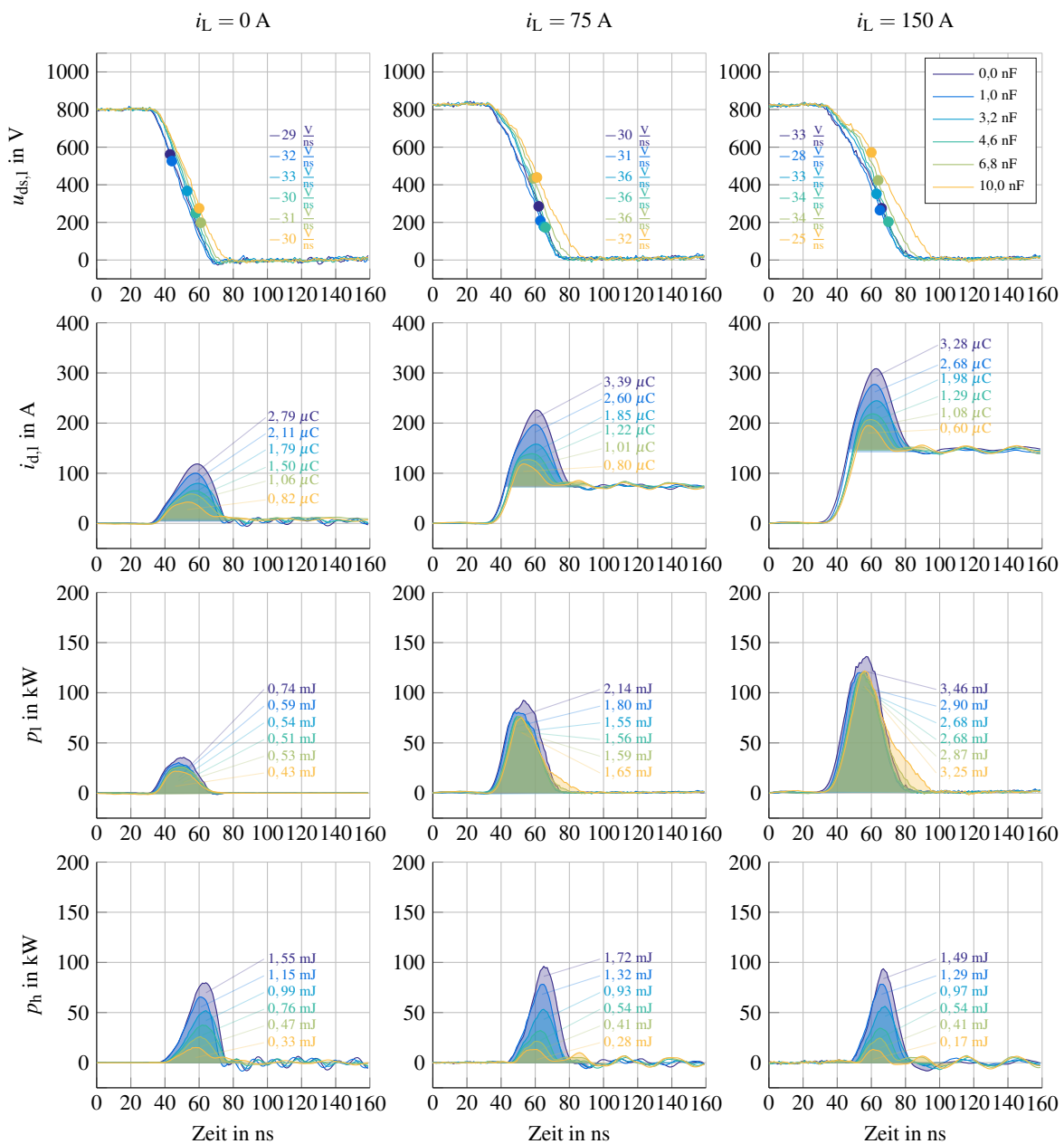


Abbildung 5.12: Verringerung des Brückenquerstroms beim Einschalten durch externe Gate-Source-Kondensatoren bei 25 °C Sperrschichttemperatur

Zur Unterdrückung dieses Effekts muss die Gate-Kreis-Impedanz des Ausschaltpfades folglich so gering wie möglich gewählt werden. Daher wurden zur Ansteuerung der Module eine niederohmige MOSFET-Endstufe⁶⁾ in Oberflächenmontage mit zugehörigen Keramikkondensatoren und Schottky-Diode⁷⁾ im Ausschaltkreis direkt auf der Leistungsplatine in Modulnähe aufgebaut. Zusätzlich sind direkt an den Gate-Source-Pins des Leistungsmoduls externe Kondensatoren $C_{t,l}$ und $C_{t,h}$ vorgesehen (in Abb. 5.11 rot markiert). Diese Kondensatoren sind mit der minimal realisierbaren Impedanz an den Steuerkreis der SiC-JFETs angebunden und wirken im Idealfall wie eine Vergrößerung der Gate-Source-Kapazität.

In Abb. 5.12 ist das Einschaltverhalten der SiC-Halbbrücke bei Kommutierungsströmen von 0 A, 75 A und 150 A für verschiedene externe Kondensatoren als Scharparameter dargestellt. Im Zeitverlauf des Drainstroms $i_{d,l}$ ist deutlich zu erkennen, dass der parasitäre Brückenquerstrom trotz der leistungsfähigen 9 A-Endstufe auftritt, jedoch wirkungsvoll durch externe Kondensatoren reduziert werden kann. Bei dem verwendeten EasyPACK-2B-Modul mit acht SiC-JFETs je Schalter wird bei 800 V eine Ladung von ca. $0,8 \mu\text{C}$ zum Umladen erwartet, woraus geschlossen werden kann, dass bei 10 nF externer Kapazität bei Raumtemperatur kein Querstrom mehr auftritt. Die dargestellten Verlustleistungen p_h und Verlustenergie-mengen im abkommutierenden JFET in Abb. 5.12 können mit dieser Maßnahme wie gewünscht reduziert werden. Allerdings wird neben dem gesteigerten Bedarf an Treiberleistung durch die externe Kapazität gleichzeitig auch die Schaltgeschwindigkeit vermindert. Letzteres kann gut an den Zeitverläufen der Drain-Source-Spannung $u_{ds,l}$ abgelesen werden. Durch die verminderte Schaltgeschwindigkeit steigen die Einschaltverluste mit 10 nF bereits wieder an, weswegen eine externe Kapazität von 6,8 nF für alle weiteren Versuche als Kompromiss ausgewählt wurde. Eine weitere Möglichkeit das parasitäre Aufsteuern zu unterdrücken, besteht darin, den Gate-Widerstand im Einschaltpfad zu erhöhen. Damit wird der aufkommutierende FET langsamer eingeschaltet, wodurch sich die Spannungsänderungsrate reduziert. Im Abschn. 5.2.3 wird diese Maßnahme diskutiert, bei der gesteigerte Schaltverluste und weitere unerwünschte Effekte auftreten.

Die Schwellenspannung der verwendeten SiC-JFETs nimmt mit steigender Temperatur von 25 °C auf 175 °C um ca. 1 V ab. Es ist daher zu erwarten, dass bei hohen Sperrschichttemperaturen wieder eine Erhöhung des Brückenquerstroms auftritt. Die Abb. 5.13 zeigt das Einschaltverhalten mit 6,8 nF externer Kapazität bei Sperrschichttemperaturen von 75 °C bis 175 °C für Kommutierungsströme von 0 A, 75 A und 150 A zur Überprüfung dieses Effekts. Die dargestellten Verläufe der Drain-Source-Spannung $u_{ds,h}$ und des Stroms der intrinsischen Diode $i_{k,h}$ des abkommutierenden Transistors wurden mit

$$u_{ds,h} = U_{zk} - u_{ds,l} - L_{\sigma,zk} \cdot \frac{di_{k,h}}{dt} \quad \text{und} \quad (5.21)$$

$$i_{k,h} = i_{d,l} - I_L \quad (5.22)$$

aus den gemessenen Verläufen der Drain-Source-Spannung $u_{ds,l}$ und des Drainstroms $i_{d,l}$ des aufkommutierenden Transistors sowie des Laststroms I_L berechnet. Für die Berechnungen wurde die in der Spannungsmessung enthaltene Induktivität $L_{\sigma,zk}$ von 11 nH verwendet, welche mit Hilfe des induktiven Spannungseinbruchs in der ersten Phase des Stromanstiegs identifiziert werden konnte (z.B. im Zeitbereich von 35 ns bis 50 ns in Abb. 5.12 bei 150 A). Im stromlosen Zustand kann durch die Erhöhung der Sperrschichttemperatur keine Vergrößerung der Ladungsmenge festgestellt werden. Da auch bei höheren Kommutierungsströmen die Spannungsänderungsraten nicht signifikant durch einen Temperaturanstieg beeinflusst werden, kann gefolgert werden, dass eine Vergrößerung der Ladungsmenge bei steigender Temperatur auf eine erhöhte Speicherverzugsladung der intrinsischen pn-Diode des SiC-JFETs zurückzuführen ist. Analysen zur Aufteilung der Erholungsladung Q_{rec} in Speicherverzugsladung Q_{tr} , Ladung durch kapazitive Verschiebestrome Q_{ds} und Ladung durch Brückenquerströme Q_{qs} sind bereits in [91] geführt und sollen hier nicht betrieben werden.

⁶⁾IXDN-609SI

⁷⁾STPS2L60A

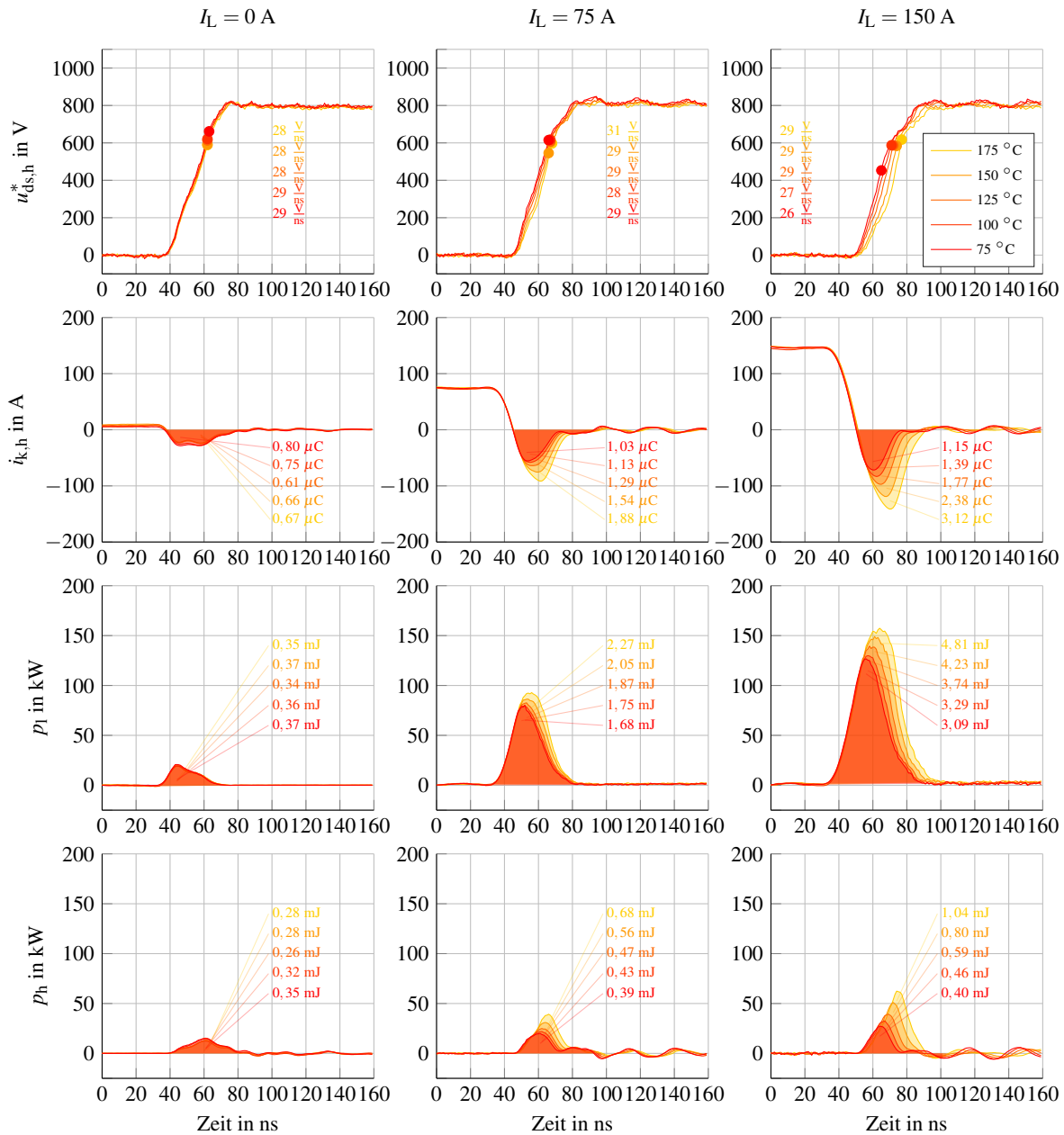


Abbildung 5.13: Verringerung des Brückenquerstroms bei unterschiedlichen Sperrschichttemperaturen durch 6,8 nF externe Kapazität

In Abb. 5.14 ist der Einfluss der externen Kapazitäten sowohl auf das Einschalt- als auch auf das Ausschaltverhalten bei 150 A dargestellt. Gezeigt sind die Zeitverläufe der Drain-Source-Spannung $u_{ds,l}$, des Drainstroms $i_{d,l}$, der an den Modulanschlüssen gemessenen Gate-Source-Spannung $u_{gs,l}$ (siehe Abb. 5.11) sowie die Verlustleistung für den aufkommutierenden Transistor p_l als auch für den abkommutierenden Transistor p_h . Die maximalen Änderungsraten der Drain-Source-Spannung $du_{ds,l}/dt$ und des Drainstroms $di_{d,l}/dt$ sowie die Einschaltverlustenergie E_{on} , die Ausschaltverlustenergie E_{off} aber auch die Reverse-Recovery-Verlustenergie E_{rec} können ebenfalls abgelesen werden. Bei den Spannungsflankensteilheiten wird bei beiden Schaltvorgängen erst ab 10 nF externer Kapazität eine deutliche Verringerung sichtbar. Beide Schaltvorgänge werden durch die externe Kapazität erwartungsgemäß etwas verzögert. Mit der zusätzlichen externen Kapazität wurde eine wirkungsvolle Methode zur Verminderung des Brückenquerstroms und der Schaltverluste gefunden. Im Folgenden Abschn. 5.2.2 wird daher die Parameterabhängigkeit des Schaltverhaltens und der Schaltverluste mit 6,8 nF im Gatekreis untersucht.

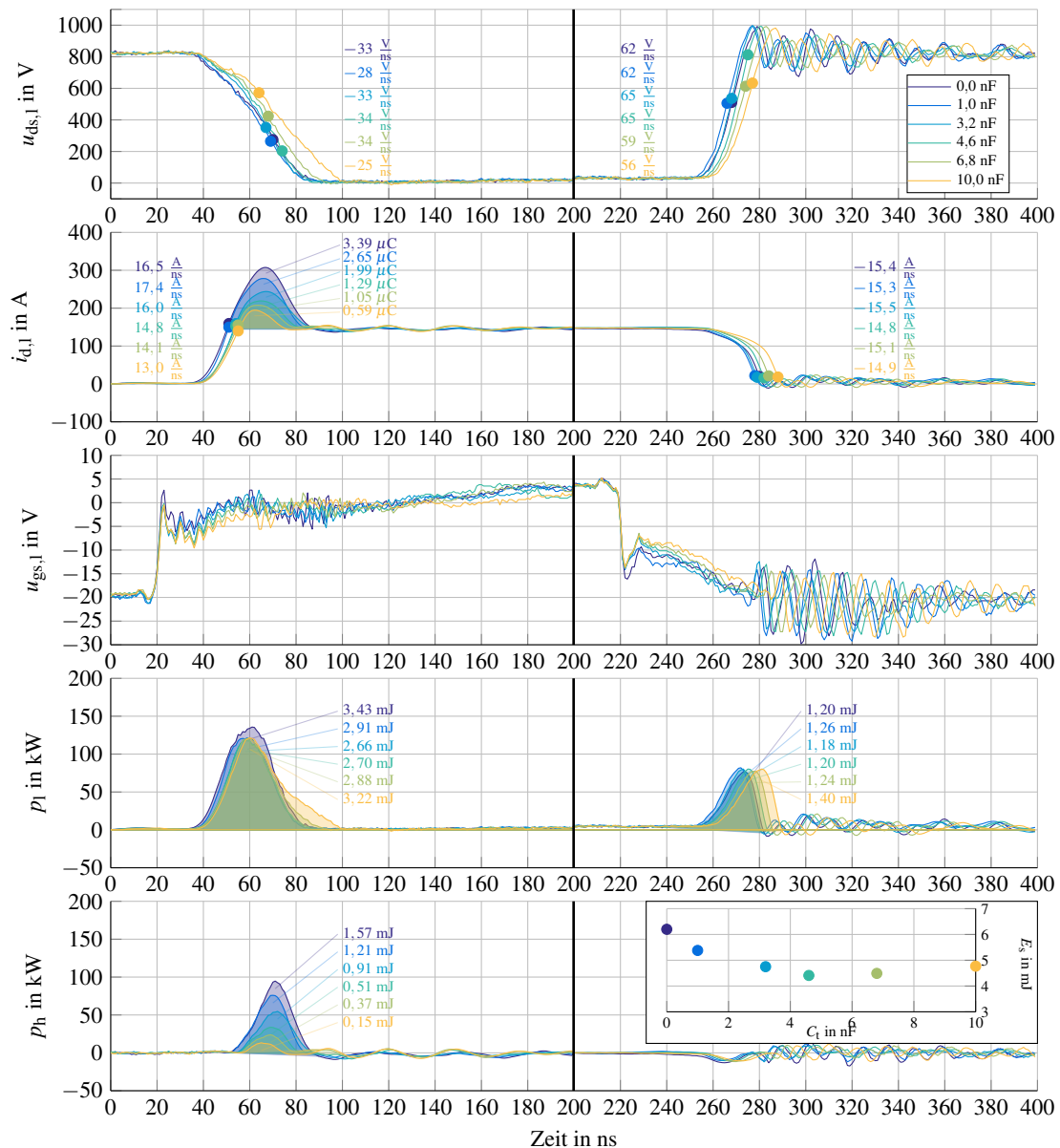


Abbildung 5.14: Brückenquerstrom mit externen Gate-Source-Kondensatoren bei 150 A und 800 V

5.2.2 Parameterabhängigkeit des Schaltverhaltens und der Schaltverluste

Das Schaltverhalten und die Schaltverlustenergien hängen neben der Gate-Ansteuerung auch von der Zwischenkreisspannung u_{zk} , dem geschalteten Strom i_K und der aktuellen Sperrschichttemperatur ϑ_j der Halbleiterbauelemente ab. Die Abb. 5.15 zeigt sowohl das Einschalt- als auch das Ausschaltverhalten als Kurvenschar bei unterschiedlichen Zwischenkreisspannungen, einer Sperrschichttemperatur von 150 °C und einem Kommutierungsstrom von 150 A.

Während sich die Ausschalt- und Reverse-Recovery-Verlustenergien in etwa linear mit der Zwischenkreisspannung ändern, zeigen die Einschaltverluste ein deutlich progressives Wachstumsverhalten. Die Reverse-Recovery-Ladungsmenge erhöht sich bei steigender Zwischenkreisspannung, da zur Aufnahme der Sperrspannung eine größere Raumladungszone erforderlich ist und somit auch mehr Ladungsträger ausgeräumt werden müssen. Auffällig ist, dass in der Gate-Source-Spannung bei Einschalten mit hohen Zwischenkreisspannungen oberhalb von 600 V eine Oszillation auftritt.

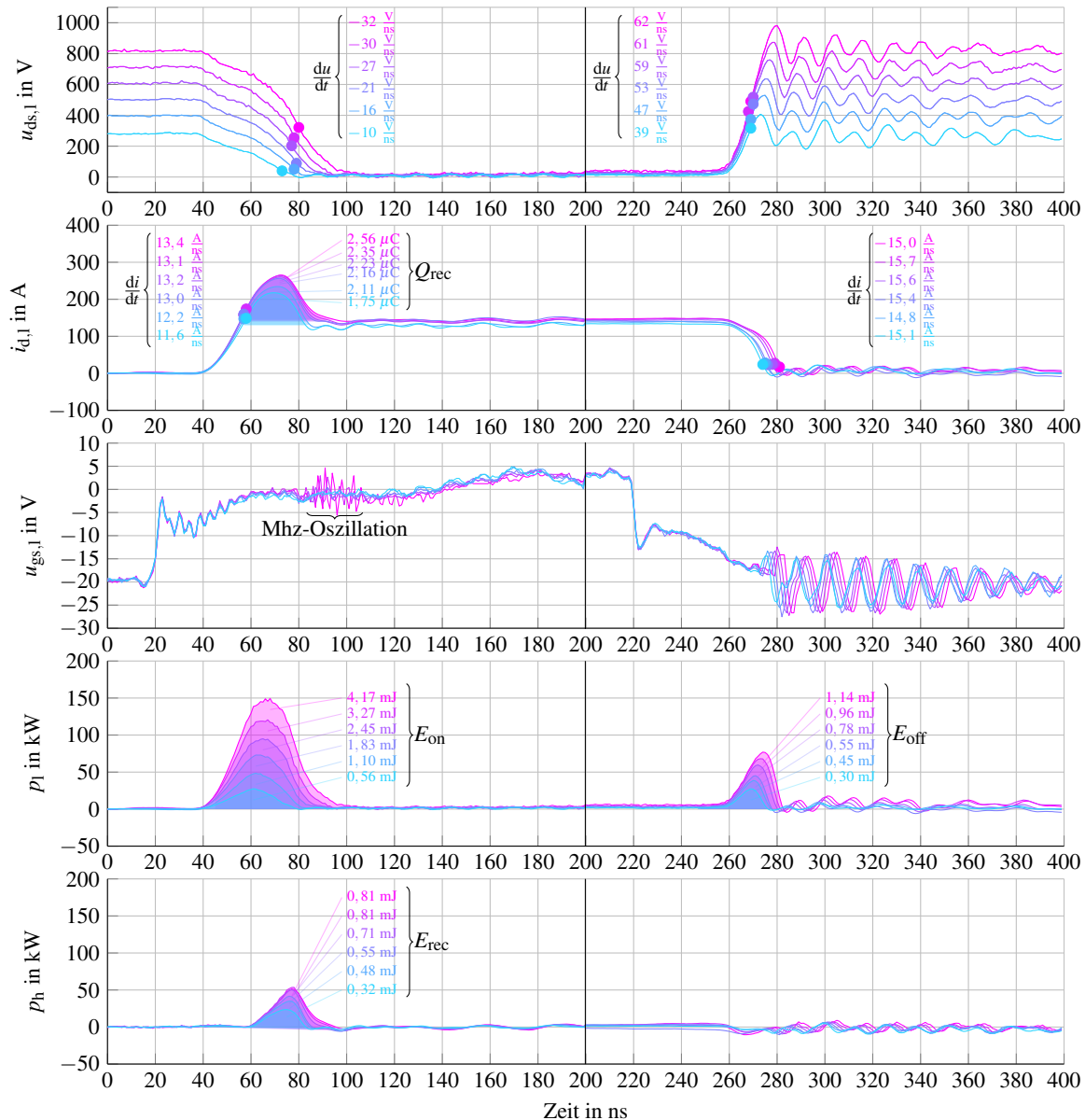


Abbildung 5.15: Einfluss der Zwischenkreisspannung, Schaltverhalten bei 150 A und 150 °C

In Abb. 5.16 sind die Signalverläufe beim Schalten des SiC-JFET-Halbleitermoduls als Kurvenschar bei verschiedenen Kommutierungsströmen dargestellt.

Die Einschaltspannungsflanke zeigt bei steigenden Stromstärken erwartungsgemäß eine Verzögerung, da der Stromanstieg hierbei immer gleichförmig abläuft und es bei höheren Strömen länger dauert bis der Kommutierungsstrom erreicht ist. Die Stromanstiegsgeschwindigkeit bis zum Erreichen des Miller-Plateaus ist dabei von der Transkonduktanz, dem Anstieg der Steuerspannung $u_{gs,1}^*$ und dem durch den Spannungsabfall an der Kommutierungskreisstreuinduktivität verursachten Verschiebestrom durch die Rückwirkungskapazität abhängig. Durch die Erhöhung der Speicherladungsmenge in der abkommutierenden intrinsischen Diode bei höheren Strömen nimmt auch die Reverse-Recovery-Ladung zu. Eine Oszillation der Gate-Source-Spannung wie in Abb. 5.15 ist ebenfalls zu beobachten und tritt hier erst bei Kommutierungsströmen oberhalb von 100 A auf.

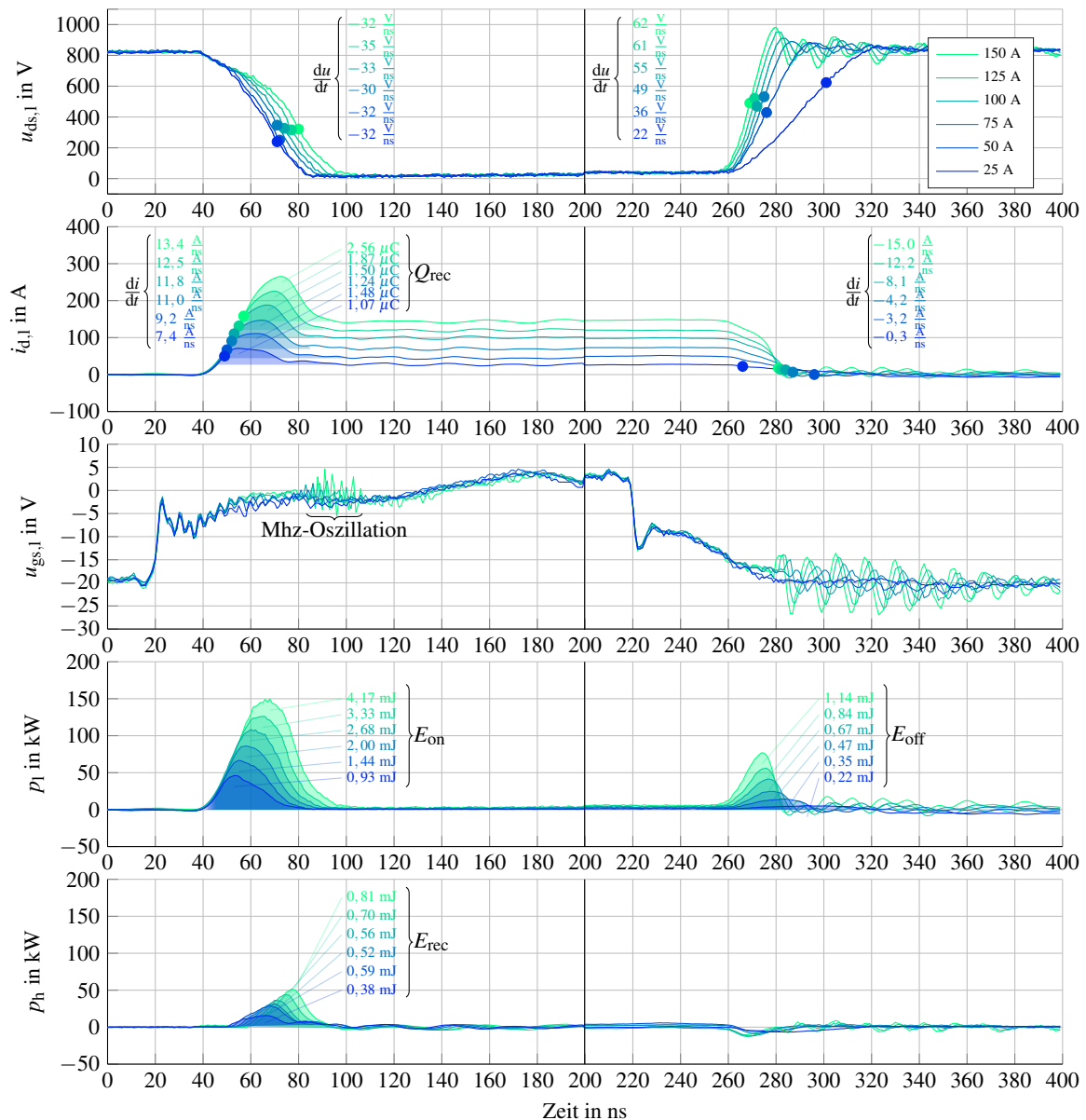


Abbildung 5.16: Einfluss des Kommutierungsstromes, Schaltverhalten bei 800 V und 150 °C

Beim Ausschalten wird die Spannungsflankensteilheit bei kleinen Strömen maßgeblich durch die Kommutierungsstromstärke bestimmt, da die Ausgangskapazität der Halbbrücke durch diesen aufgeladen werden muss bevor auf die intrinsische Diode kommutiert wird. Der Kanal des Lowside-JFETs lässt bereits vor der Kommutierung durch die schnelle Gateansteuerung keinen Stromfluss mehr zu. Aufgrund dieser Tatsache ist es möglich, mit unipolaren Transistoren sehr geringe Abschaltverlustenergien zu erreichen. Bei steigenden Kommutierungsstromstärken wird die Gaterückwirkung durch den schnelleren Spannungsanstieg größer, der auftretende Verschiebestrom wirkt der Entladung der Steuerspannung $u_{gs,1}^*$ entgegen, wodurch die Spannungsanstiegsgeschwindigkeit begrenzt wird. Dieser Effekt lässt sich ebenfalls an den Kurven der gemessenen Gate-Source-Spannung $u_{gs,1}$ ablesen. Die Schaltverlustenergien E_{on} und E_{off} zeigen ein mit dem Laststrom progressives Wachstum, während die Reverse-Recovery-Verluste E_{rec} degressiv wachsen.

Das Schaltverhalten bei verschiedenen Sperrschichttemperaturen ist an den in Abb. 5.17 dargestellten Zeitverläufen ablesbar. Wie bereits in Abschn. 5.2.1 diskutiert, steigt die Reverse-Recovery-Ladung mit der Sperrschichttemperatur an, wodurch die Zeitverläufe beim Einschalten beeinflusst werden.

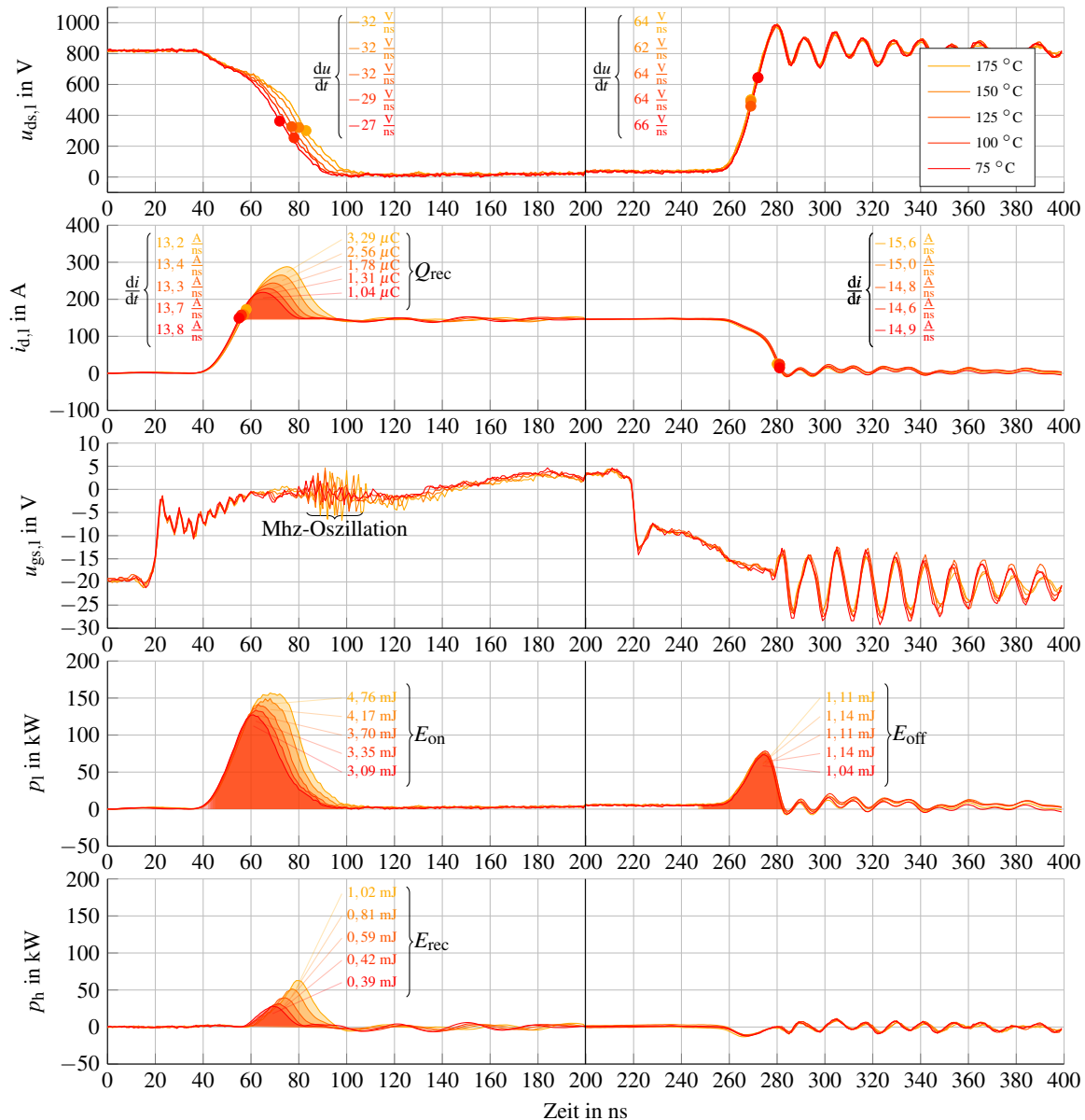


Abbildung 5.17: Einfluss der Sperrschichttemperatur, Schaltverhalten bei 150 A und 800 V

Beim Ausschalten ist hingegen keine Temperaturabhängigkeit feststellbar. Die gemessene Gate-Source-Spannung $u_{gs,1}$ zeigt die bereits in Abb. 5.15 und Abb. 5.16 festgestellten hochfrequenten Oszillationen, welche mit zunehmender Sperrschichttemperatur ebenfalls verstärkt auftreten. Ursache und parasitäre Wirkung dieser sehr hochfrequenten Oszillationen werden im folgenden Abschn. 5.2.3 diskutiert und analysiert.

Abschließend sind die Schaltverlustenergien getrennt nach Einschaltverlusten, Ausschaltverlusten und Reverse-Recovery-Verlusten in Abb. 5.18 in Abhängigkeit der Kommutierungsstromstärke als Kurvenschar aufgetragen. Als Scharparameter wurden Zwischenkreisspannungen von 400 V, 600 V und 800 V sowie Sperrschichttemperaturen von 125 °C, 150 °C und 175 °C dargestellt. Die Einschaltverlustenergie E_{on} dominiert aufgrund des deutlich langsamer ablaufenden Einschaltvorgangs und macht etwa 60 % bis 70 % der gesamten Schaltverlustenergie aus. Durch das temperaturabhängige Reverse-Recovery-Verhalten der intrinsischen pn-Diode des SiC-JFETs zeigen die Einschaltverluste E_{on} und auch die Reverse-Recovery-Verluste E_{rec} eine leichte Temperaturabhängigkeit, während die Ausschaltverluste E_{off} temperaturunabhängig sind.

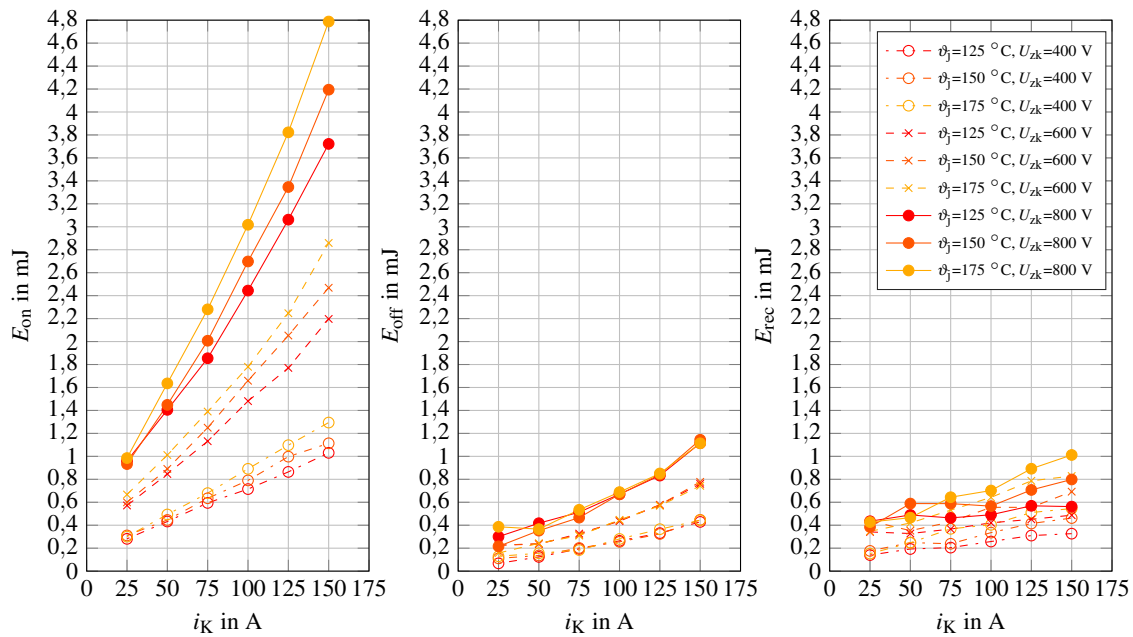


Abbildung 5.18: Schaltverlustenergien bei 25°C , 100°C und 150°C sowie 400 V , 600 V und 800 V

Mit einer Erhöhung der Zwischenkreisspannung ist bei allen Verlustenergien eine deutlich überproportionale Steigerung festzustellen. Vor allem bei der Dimensionierung aber auch der Betriebsführung von Systemen mit variabler Zwischenkreisspannung ist dieser Zusammenhang zu berücksichtigen.

5.2.3 Parasitäre Hochfrequenzoszillationen beim Einschalten

Im vorangestellten Abschn. 5.2.2 wurde bereits auf Hochfrequenzoszillationen im dreistelligen MHz-Bereich bei der Gate-Source-Spannungsmessung während des Einschaltvorgangs des SiC-JFET-Halbbrückenmoduls hingewiesen. Bei einem Einschaltvorwiderstand $R_{g,on}$ von $0\ \Omega$ konnte jedoch im Messbereich bis 200 A Kommutierungsstrom keine negative Auswirkung auf das Schaltverhalten festgestellt werden. Eine weitere Ansatzmöglichkeit zur Reduktion des Brückenquerstroms ist, wie bereits in Abschn. 5.2.2 angedeutet, die Verminderung der Schaltgeschwindigkeit durch vergrößerte Einschaltwiderstände. Beim Versuch die Einschaltwiderstände zu vergrößern traten die im Folgenden beschriebenen unerwünschten Effekte auf. Die Abb. 5.19 zeigt das Einschalten mit $6,8\text{ nF}$ externer Kapazität bei 800 V Zwischenkreisspannung und 25°C Sperrschichttemperatur.

Dabei wurde sowohl mit $0\ \Omega$ als auch $1\ \Omega$ Einschaltwiderstand gearbeitet und es sind Kommutierungsströme von 150 A , 175 A und 200 A dargestellt. Bei 150 A und $1\ \Omega$ tritt die Hochfrequenzoszillation im Zeitbereich 100 ns - 160 ns deutlich im Zeitverlauf der Gate-Source-Spannungsmessung hervor. Der SiC-JFET arbeitet hier schon im aktiven Bereich, da der Laststrom bereits vollständig kommutiert wurde.

Wird der Laststrom auf 175 A vergrößert, schwingt die Oszillation stärker auf und die gemessene hochfrequente Wechsellspannung am Gate-Anschluss erreicht einen Amplitudenwert von ca. 10 V . Bei der gemessenen Frequenz und Spannungsamplitude muss angenommen werden, dass im Gate-Source-Kreis sehr hohe Ströme fließen. Gleichzeitig ist im Zeitbereich nach 120 ns neben einer Hochfrequenten Schwingung eine deutliche Verminderung der Spannungsänderungsrate der Drain-Source-Spannung beobachtbar. Trotzdem schaltet der Transistor vollständig ein, womit die Schwingungen im Zeitbereich nach 180 ns wieder abklingen.

Die SiC-JFET-Halbbrücke zeigt bei 200 A Laststrom zunächst ein ähnliches Verhalten. Im Zeitbereich

nach 120 ns beginnt wieder das Aufschwingen der Hochfrequenzoszillation ebenfalls auf einen Amplitudenwert von ca. 10 V. Allerdings ändert die Spannungsänderungsrate der Drain-Source-Spannung hier ihr Vorzeichen, die Drain-Source-Spannung beginnt zu steigen und auch die Gate-Source-Spannung beginnt zu fallen. Die Halbbrücke schaltet somit selbsttätig in einen oszillierenden Zustand im aktiven Bereich des JFET, wobei der Mittelwert der Gate-Source-Spannung um einen Wert oberhalb der Schwellenspannung oszilliert. Dieser oszillierende Zustand der Halbbrücke ist stabil und bleibt solange bestehen, bis die Kurzschlusserkennung des Treibers ausgelöst wird und den Lowside-JFET wieder abschaltet. Im Stromzeitverlauf der Kommutierungsstrommessung sind erwartungsgemäß keine Oszillationen zu erkennen, da die Grenzfrequenz des Messsystems wie in Abschn. 5.1.2 beschrieben etwa eine Größenordnung unterhalb der Oszillationsfrequenz liegt. Das beobachtete Phänomen beim Einschalten von SiC-Halbleitermodulen ist in der Literatur bisher nicht dokumentiert.

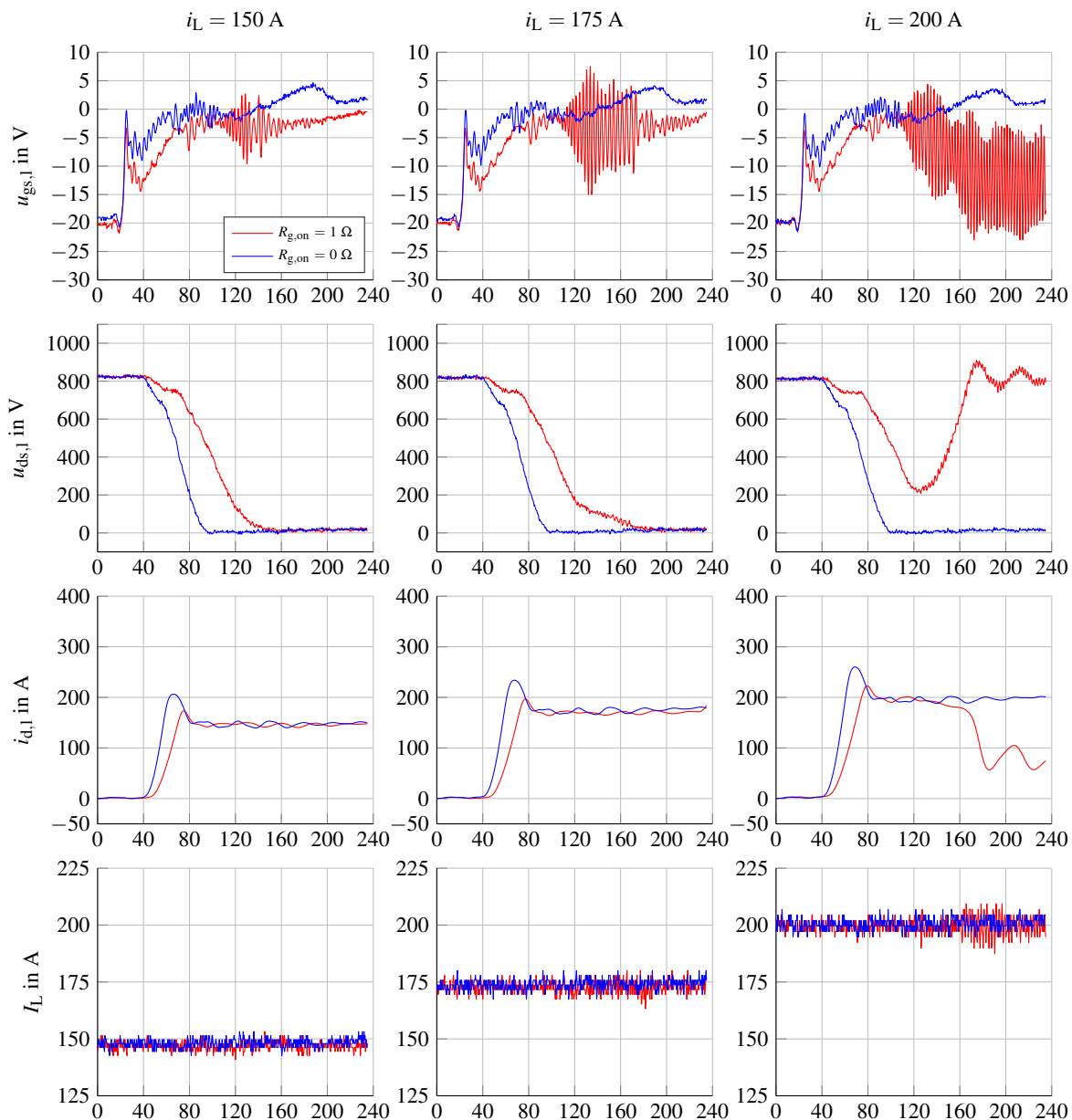


Abbildung 5.19: Oszillationen und Selbstabschaltung bei erhöhtem Einschaltwiderstand $R_{g,on}$

Die fouriertransformierten Zeitsignale der Gate-Source-Spannung in Abb. 5.20 zeigen bei 1Ω Einschaltwiderstand deutlich erhöhte Amplituden im Frequenzbereich zwischen 200 MHz und 450 MHz. Zur verbesserten Frequenzanalyse der Schaltflanken der Drain-Source-Spannung wurde das Signal zeitlich

gespiegelt erweitert, da andernfalls durch den spektralen Leakage-Effekt Frequenzanteile der eingeführten künstlichen Flanke bei $t = 0$ die vergleichsweise kleinen Amplituden der Hochfrequenzoszillation überdecken. Die erhöhten Amplituden liegen bei den gleichen Frequenzen wie bei der Gate-Source-Spannung, was vor allem in der 200 A Messung gut zu erkennen ist.

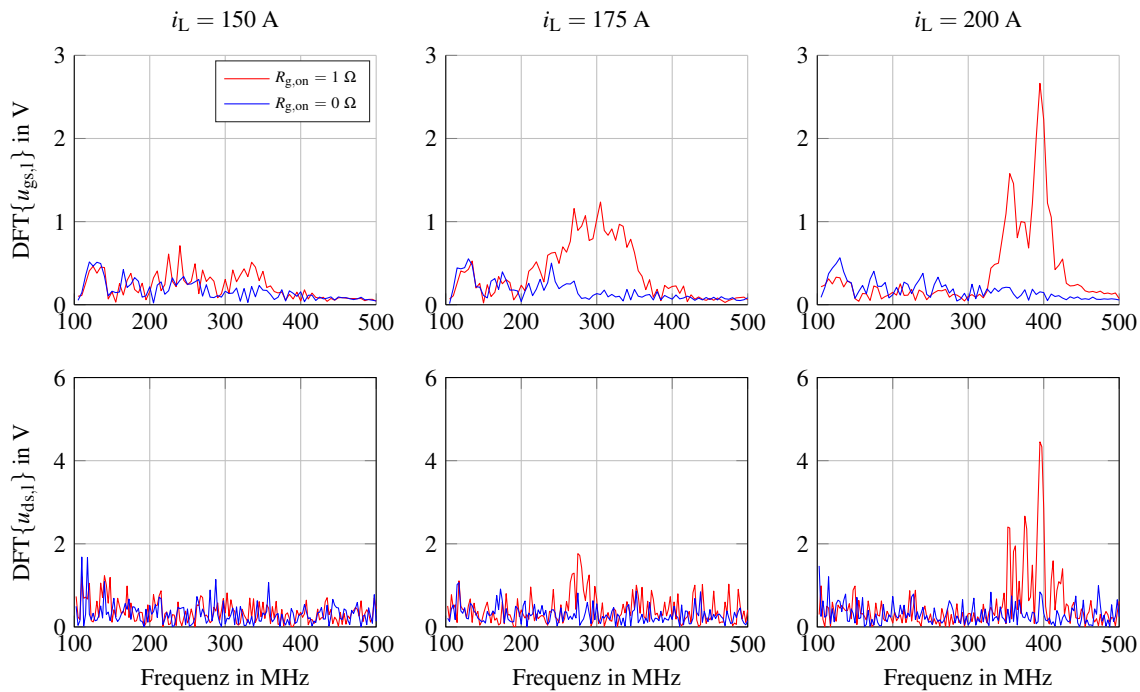


Abbildung 5.20: Fourieranalyse der Oszillationen bei erhöhtem Einschaltwiderstand $R_{g,on}$

Aus den auftretenden Oszillationsfrequenzen im dreistelligen MHz-Bereich kann geschlossen werden, dass es sich um einen Schwingkreis sehr “nah“ an den Halbleiterchips bzw. innerhalb des Moduls handeln muss. Die Halbbrücke wird vermutlich durch eine unsymmetrische Ansteuerung, einen instabilen JFET-Arbeitspunkt wie in [93] bzw. [92] oder einen Halbleitereffekt wie z.B. die PETT-Oszillationen [94] zum Schwingen angeregt. Des Weiteren tritt kein Einzelton hervor, sondern eine Schwingung mit veränderlicher Frequenz, weswegen vermutlich eine der intrinsischen Halbleiterkapazitäten einen maßgeblichen Teil des Schwingkreises darstellt. Da im Halbbrückenmodul acht SiC-JFETs je Schalter verbaut sind, können vielfältige Schwingkreise mit den parasitären Elementen bzw. Schwingungsmoden mit der Modulgeometrie auftreten. Dieses Verhalten der Halbbrücke konnte mit den verfügbaren SiC-JFET-Modellen durch Simulationen bisher nicht nachgestellt werden. Auf eine vollständige Analyse wird an dieser Stelle verzichtet, da es Ziel dieser Arbeit ist im Systemeinsatz ein möglichst verlustarmes und zuverlässiges Schalten zu erreichen, was mit dem SiC-Halbbrückenmodul bei 0Ω Einschaltwiderstand, 0Ω Ausschaltwiderstand und $6,8 \text{ nF}$ externer Kapazität erreicht worden ist.

Fazit

Es wurde gezeigt, dass Zwischenkreisverschiebungen auf Basis von Mehrlagenleiterkarten mit lagenweise alternierender Bestromung eine signifikante Reduktion der Zuleitungsinduktivität ermöglichen und somit zum niederinduktiven Kommutierungszellendesign beitragen. Mit der Rogowskispule mit offline-Integration wurde ein kostengünstiges Messsystem beschrieben und verifiziert, welches durch das flexible Design die Erfassung von Kommutierungsstromtransienten in niederinduktiven Kommutierungszellen ermöglicht. Nachfolgend konnte das Schaltverhalten des SiC-Modul-Prototyps charakterisiert werden. Das Verlustenergie erzeugende Phänomen des Brückenquerstroms konnte dabei durch eine externe Kapazität unterdrückt werden. Ein schwingungsbehaftetes instabiles Einschalten der JFETs bei erhöhten Einschaltwiderständen wurde erstmalig dokumentiert und analysiert.

6 Kühlung der Leistungshalbleiter

In diesem Kapitel wird ausschließlich die Kühlung der Leistungshalbleiter betrachtet. Bei Fahrzeuganwendungen sind neben den in die Bodenplatte integrierten Pin-Fin-Kühlern [95] bereits leistungsfähige doppelseitige Halbleiterkühlungen im langjährigen kommerziellen Einsatz [96], was jedoch die Entwicklung spezieller Gehäuseformen erfordert. Da beide Kühlkonzepte für die vorliegende Arbeit nicht darstellbar waren, wurde ausgehend vom Gehäuse der verfügbaren Prototyp-Module und den bekannten leistungsfähigen Kühlmethoden ein eigenes Kühlkörperdesign simulationsgestützt erarbeitet, hergestellt, auf Halbbrückenbasis charakterisiert und validiert und darauf aufbauend eine Systemlösung für das Labormuster abgeleitet.

Die EasyPackTM2B Gehäuse der SiC-Halbbrücke werden in der industriellen Applikation auf geschlossene Wasserkühler oder Luftkühlkörper montiert und sind einseitig zu kühlen. Bei der Gehäuseform handelt es sich zudem um ein Gehäuse ohne Bodenplatte. Die äußere Kupferfläche des DCB wird somit thermisch direkt an den Kühlkörper angebunden. Diese thermische Anbindung erfolgt in den meisten Fällen durch Wärmeleitpasten oder andere TIMs¹⁾. Insbesondere bei Wärmeleitpasten entsteht durch die geringe Wärmeleitfähigkeit (0,2 W/mK bis 10 W/mK) ein erheblicher thermischer Widerstand, typischer Weise in der ähnlicher Größenordnung wie der interne thermische Widerstand von der Sperrschicht bis zur äußeren Kupferkontaktfläche des Halbleitermoduls.

Im Rahmen dieser Arbeit wird ein offener Wasserkühler zur direkten Kühlfluidanströmung der Modulunterseite ausgewählt, um einen möglichst geringen thermischen Widerstand zu erzielen, damit eine gute Ausnutzung der Leistungshalbleiter erreichbar ist. Eine Optimierungs- und Umsetzungsform dieser Art der Kühlung ist von der Firma Danfoss Silicon Power patentiert und wird unter dem Namen ShowerPower[®] vermarktet. Diese wurde in [97] erstmalig für Fahrzeuganwendungen vorgeschlagen. Vorteil der Methode ist neben der guten Kühlung vor allem, dass das Material des Kühlers und Turbulenzkörpers keine hohe Wärmeleitfähigkeit aufweisen muss und daher aus nahezu beliebigen Materialien hergestellt werden kann. ShowerPower[®] wird jedoch nicht für Module ohne Bodenplatte bzw. EasyPackTM2B Module angeboten. Aus diesem Grund wurde in einem ersten Schritt ein eigenes Design eines Kühlkörpers für ein solches Halbleitermodul entworfen. Anschließend wurde per numerischer Strömungsmechanik-Simulation (CFD-Simulation) des Fluidkühlkörpers eine thermische Analyse durchgeführt, ein Prototyp hergestellt und charakterisiert. In einem letzten Schritt wurde das Design durch CFD-Simulation gestützt auf die Systemebene erweitert und mechanische Funktionen integriert, sodass die Verrohrung bzw. Verschaltung der Einzelkühler zusätzlich als Montageplatte verwendet werden kann.

6.1 Design und Simulation des Halbbrückenkühlkörpers

Das 3D CAD Modell des Kühlers wurde mit dem Programm „Inventor 2014“ der Firma Autodesk entworfen. In Kombination mit dem Software-Zusatzmodul „Simulation CFD 2014“ zur numerischen FEM-Analyse können fluiddynamische Probleme gelöst werden. Abb. 6.1 zeigt das aus der Fluidwanne, dem Turbulenzkörper, der Dichtung und dem bestückten DCB des SiC-Halbbrückenmoduls bestehende 3D Modell.

¹⁾Thermal Interface Materials

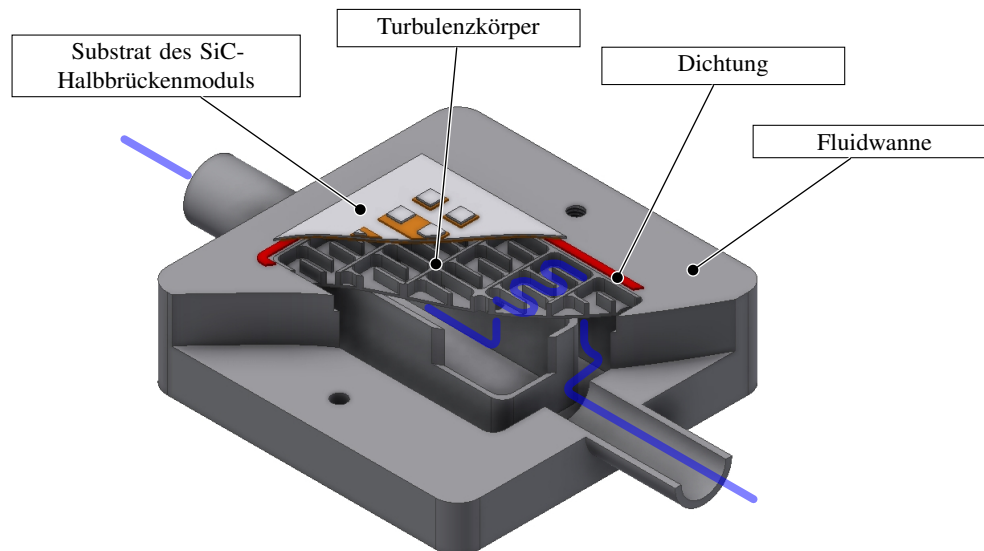


Abbildung 6.1: 3D-Modell des Halbrückenköhlkörpers

Zur Überprüfung und Abschätzung der Kühlwirkungen und des Druckabfalls wurden CFD-Simulationen durchgeführt. Abb. 6.2 und Abb. 6.3 zeigen das Ergebnis einer Simulation bei einer Einlauftemperatur von $60\text{ }^{\circ}\text{C}$, einem Volumenstrom von $3\text{ dm}^3/\text{min}$, 704 W Verlustleistung je Modul (d.h. 44 W Wärme je Die) und destilliertem Wasser als Kühlmedium. In Abb. 6.2 ist nur der Bereich niedriger Temperaturen bis $76\text{ }^{\circ}\text{C}$ farblich skaliert, um die Temperaturverteilung im Fluid sichtbar zu machen.

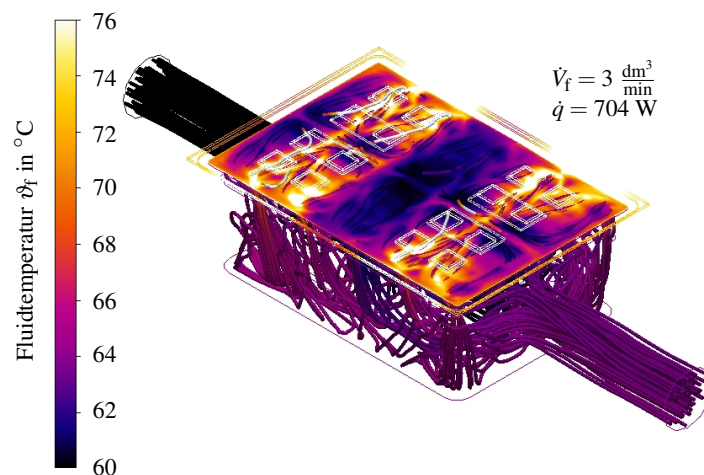


Abbildung 6.2: Simulationsergebnis zur Fluidtemperaturverteilung im Halbrückenköhlkörper

Die Fluidströmung wurde als Satz aus Partikelspuren angedeutet, welche temperaturabhängig eingefärbt sind. Neben diesen ist die Fluidtemperatur in der eingefärbten Schnittebene im Überströmungsbereich der Mäander direkt unterhalb der DCB dargestellt. Bei dieser Simulation wird das Kühlmedium durch die Fluidwanne im Zentrum des Halbleitermoduls in die Mäanderstruktur des Turbulenzkörpers eingespeist und an den Rändern des DCB in den Auslauf der Fluidwanne abgegeben. Sowohl vier äußere als auch vier innere Dies sind im Modul jeweils parallel zu einem Bauelement der Halbrücke zusammengefasst. Aufgrund des positiven Temperaturkoeffizienten der Verluste beim SiC-JFET entsteht im realen System ein hier nicht berücksichtigter Ausgleichseffekt, durch den sich die Sperrschichttemperaturen annähern und die Verlustverteilung inhomogenisiert würde. Neben diesem Ausgleichseffekt wirkt zudem die ebenfalls nicht berücksichtigte potenziell unsymmetrische Anbindung der einzelnen Dies auf die Belastungsverteilung. Die Vernachlässigung beider Effekte verhindert, dass Sperrschichttemperaturen exakt berechnet werden können. Für eine Abschätzung ist die Genauigkeit jedoch ausreichend. Da die

inneren Dies auf einer größeren DCB-Kupferfläche aufgebracht sind und zusätzlich von kühlerem Fluid angeströmt werden, erreichen diese in der Simulation etwa 155 °C, während die äußeren mit 162 °C etwas wärmer werden.

Insgesamt ist zu bemerken, dass die Fluidtemperaturverteilung direkt am DCB stark inhomogen ist. Unterhalb der Dies erreicht das deionisierte Wasser Temperaturen, die etwa 16 °C oberhalb der Einlauf-temperatur und 12 °C oberhalb Auslauftemperatur liegen. Dieser Effekt scheint für das im nachfolgenden Abschn. 6.2 bei hohen Verlustleistungen, hohen Fluidtemperaturen und geringen Durchflussmengen festgestellte Blasensieden verantwortlich zu sein.

Der Temperaturhub von Einlauf- zu Auslauftemperatur kann mit

$$\Delta\vartheta_f = \vartheta_{f,ab} - \vartheta_{f,zu} = \frac{\dot{q}}{c_f \rho_f \dot{V}_f} \quad (6.1)$$

auf einfache Weise berechnet werden. Der Wärmestromeintrag \dot{q} ist äquivalent zur Verlustleistung der Leistungshalbleiter, c_f ist die massebezogene spezifische Wärmekapazität, ρ_f die Dichte und \dot{V}_f beschreibt den Volumenstrom. Bei $\dot{q} = 704 \text{ W}$, $\dot{V}_f = 3 \text{ dm}^3/\text{min}$ sowie deionisiertem Wasser mit ca. $c_f = 4,2 \text{ kJ/kgK}$ und $\rho_f = 1 \text{ kg/dm}^3$ und beträgt der Temperaturunterschied 3,4 °C.

Bei Hybridfahrzeugen eingesetzte Kühlsysteme werden typischer Weise mit Durchflussmengen im Bereich von 20 dm^3/min bis 100 dm^3/min bei einem Druckabfall im Bereich von 200 mbar bis 1000 mbar betrieben. Daher muss bereits beim Design des Kühlers der Druckabfall berücksichtigt und möglichst geringgehalten werden. In Abb. 6.3 ist das Simulationsergebnis der Druckverteilung im Fluid dargestellt.

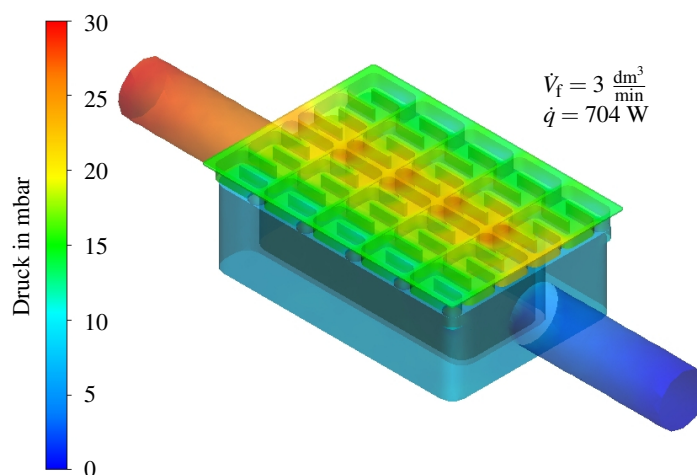


Abbildung 6.3: Simulationsergebnis zur Druckverteilung im Halbrücken Kühlerkörper

Der Halbrückenkühler zeigt in der Simulation bei 3 dm^3/min eine von Einlauf zu Auslauf gemessene Druckdifferenz von 30 mbar. Über dem Turbulenzkörper liegen etwa 15 mbar an. Der Druckabfall entlang der Mäanderstruktur ist nahezu linear und kann am Farbwechsel an der DCB Oberfläche in Abb. 6.3 abgelesen werden.

In den Simulationsergebnissen konnten keine Unterschiede in der Kühlwirkung zwischen der Fluidwannen- und Turbulenzkörperkombination mit einer Wärmeleitfähigkeit von 200 W/mK (z.B. Aluminium) und 0,2 W/mK (z.B. SLA4) festgestellt werden. Aufgrund der vielversprechenden Simulationsergebnisse wurden Prototypen der Fluidwanne und der Turbulenzkörper hergestellt. Die Abb. 6.4 zeigt sowohl die aus Aluminium gefrästen als auch die durch Stereolithographie erzeugten und auf 150 ° Temperaturfest getemperten Bauteile aus Kunststoff.

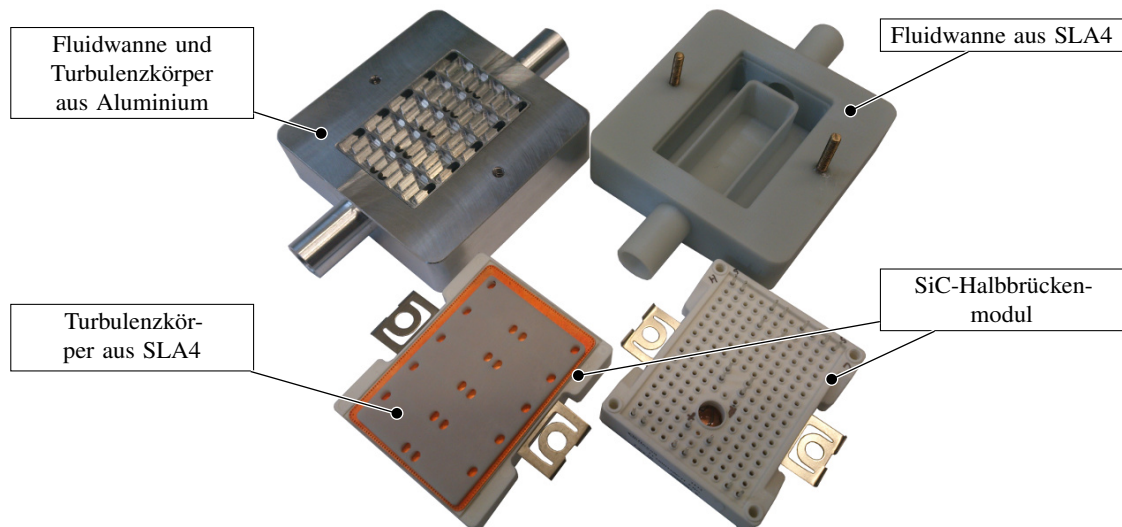


Abbildung 6.4: Aus Aluminium und SLA4 gefertigte Halbbrücken-kühlkörper

Auch im industriellen Maßstab ist die Herstellung vergleichbarer Kunststoffbauteile mit komplexer Geometrie in großer Stückzahl kosteneffizient durch Spritzgussverfahren denkbar, wodurch eine Kosten- und Gewichtsreduktion gegenüber herkömmlichen Kühlkörpern aus Metall erzielt werden könnte. Die im Folgenden vorgestellten Messergebnisse wurden jedoch ausschließlich mit dem Aluminiumkühlkörper generiert.

6.2 Validierung des Kühlkonzepts

Zur Validierung der Kühlwirkung ist eine dynamische Erfassung des Wärmestroms \dot{q} , der Sperrschichttemperatur ϑ_j und der Kühlmitteltemperatur ϑ_f zielführend. Im Folgenden sind jene Experimente zusammengefasst, welche die Bestimmungen dieser erforderlichen Charakterisierungsgrößen im Labor ermöglichen. Des Weiteren wird die Methode zur Berechnung des transienten thermischen Widerstands $Z_{th,jf}$ aus den aufgenommenen Messdaten beschrieben.

Die Sperrschichttemperatur der SiC-JFET kann bei Verwendung der Fluidkühlung nur schlecht durch den im Modul verbauten Heißleiter gemessen werden. Für die Ermittlung der Sperrschichttemperatur aus der Heißleitertemperatur ist eine genaue Kenntnis der thermischen Übertragungsfunktion zwischen Sperrschichttemperatur und Heißleiter notwendig. Da die Simulationen bereits auf eine sehr schwache Kopplung schließen lassen, wurde dieses Verfahren nicht weiterverfolgt. Weitere Möglichkeiten, die Sperrschichttemperatur zu ermitteln, sind die Thermographie, das Platzieren weiterer Thermosensoren mit guter thermischer Kopplung zur Sperrschicht oder die Kalibrierung und anschließende Aufnahme temperaturabhängiger Parameter des Leistungshalbleiters. Aufgrund der einfachen Realisierungsmöglichkeit wurde die Kalibrierung und anschließende Messung eines temperaturabhängigen Parameters des Leistungshalbleiters gewählt.

Zur Kalibrierung kann das Halbleitermodul mit einer Heizplatte aufgeheizt werden. Beim homogen geheiztem Substrat bilden sich zwischen Heißleiter und Sperrschichten keine bzw. nur sehr geringe Temperaturgradienten aus. Die Sperrschichttemperaturen der unbelasteten Halbleiter entsprechen damit im stationären Zustand der Heißleitertemperatur.

Die bekannte Heißeitgleichung

$$R_{\text{NTC}} = R_{\text{NTC,ref}} \cdot e^{B_{\text{NTC,ref}} \left(\frac{1}{T_{\text{NTC}}} - \frac{1}{T_{\text{NTC,ref}}} \right)} \quad (6.2)$$

kann zu

$$\vartheta_{\text{NTC}} = \vartheta_j = T_{\text{NTC}} - 273,15 \text{ K} = \frac{B_{\text{NTC,ref}} T_{\text{NTC,ref}}}{T_{\text{NTC,ref}} \ln \left(\frac{R_{\text{NTC}}}{R_{\text{NTC,ref}}} \right) + B_{\text{NTC,ref}}} - 273,15 \text{ K} \quad (6.3)$$

umgeformt und die Temperatur ϑ_{NTC} mit dem gemessenen Widerstand R_{NTC} mit $B_{\text{NTC,ref}} = 3433 \text{ K}$, $R_{\text{NTC,ref}} = 5 \text{ k}\Omega$ und $T_{\text{NTC,ref}} = 293,15 \text{ K}$ ermittelt werden.

Somit ist nur noch ein geeigneter temperaturabhängiger Parameter der JFETs auszuwählen, welcher Rückschlüssen auf die Sperrschichttemperatur zulässt. Das Schaltverhalten der SiC-JFETs in Abb. 5.17 ist nahezu temperaturunabhängig und daher schlecht als Messgröße geeignet. Die Schaltvorgänge sind gegenüber der Sperrschichttemperatur so homogen, dass eine aufwendige Auswertung der Einschaltflanken mit einer zeitlichen Genauigkeit im Picosekundenbereich notwendig wäre (Empfindlichkeit ca. $10 \text{ ps}/^\circ\text{C}$). Zudem müsste eine Kalibrierung sowohl für den geschalteten Strom als auch die Zwischenkreisspannung erfolgen und diese als Messgrößen zusätzlich aufgenommen werden, um einen Rückschluss auf die Sperrschichttemperatur zu ermöglichen.

Demgegenüber weisen die Vorwärtsspannung als auch die Durchbruchspannung der SiC-pn-Diode im Gate-Source-Kreis des SiC-JFETs sowie die Drain-Source-Charakteristik im Durchlassbetrieb, siehe Abb. 2.19, eine vergleichsweise einfach auszuwertende Temperaturabhängigkeit auf. Abb. 6.5 zeigt die Abhängigkeit des gemessenen Durchlasswiderstands eines Prototyp-Moduls von der Sperrschichttemperatur bei einer Gatebeschaltung mit $5,5 \text{ V}$ und 51Ω gemäß Abb. A.18 im Anhang. Als Punkte dargestellte Messwerte sind mit einem Präzisionsimpedanzmessgerät²⁾ aufgenommen und wurden gemäß Gl. (2.43) mit den Exponenten $\{0, 1, 3\}$ durch Kennlinien approximiert.

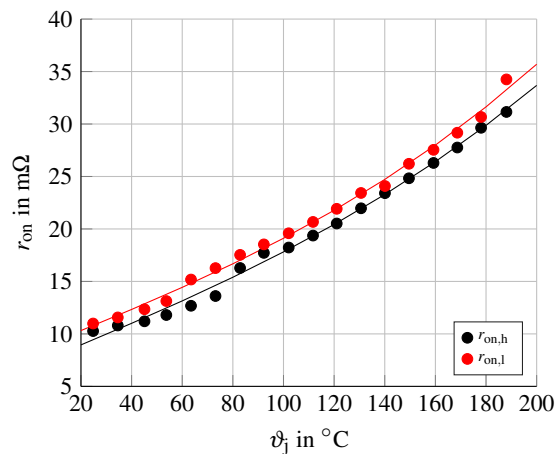


Abbildung 6.5: Temperaturabhängigkeit des gemessenen Durchlasswiderstands beim Halbleitermodul

Wie bereits bei der Widerstandsmessung ist es mit der Treiberschaltung zur Verbesserung der JFET-Durchlasseigenschaften möglich, im eingeschalteten Zustand eine positive Spannung über Gate-Source anzulegen und die Gate-Source-Diode in Vorwärtsrichtung mit einem Durchlassstrom im Bereich einiger mA zu betreiben.

²⁾Hioki 3522

In Abb. 6.6 ist die Vorwärtsspannung der Gate-Source-Diode für drei Vorwärtsstromstärken aufgetragen. Da es bei sperrendem JFET auch möglich ist, die Gate-Source-Diode im Durchbruch zu betreiben, kann alternativ auch die Durchbruchspannung zur Ermittlung der Sperrschichttemperatur herangezogen werden. Abb. 6.7 zeigt die gemessene Durchbruchspannung gegenüber der Sperrschichttemperatur als Punkte. Die Funktionsapproximationen nach Gl. (2.43) sind wieder als durchgezogene Linie dargestellt. Bei der Vorwärtsspannung eignet sich eine Geradengleichung zur Approximation, d.h. als Exponenten sind $\{0, 1\}$ gewählt, während die Nachbildung der Durchbruchspannung mit den Exponenten $\{0, 3/5\}$ gelingt. Zur Berechnung der Temperatur aus der Durchlassspannung kann die Umkehrfunktion zu Gl. (2.43) einfach gebildet werden.

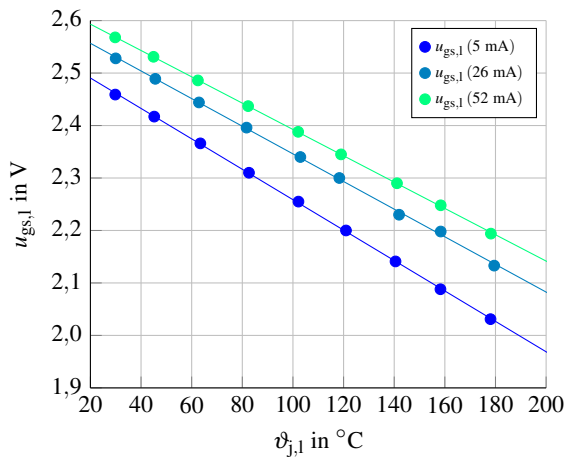


Abbildung 6.6: Vorwärtsspannung $u_{gs,1}$ der Lowside-Gate-Source-Strecke eines Prototypen

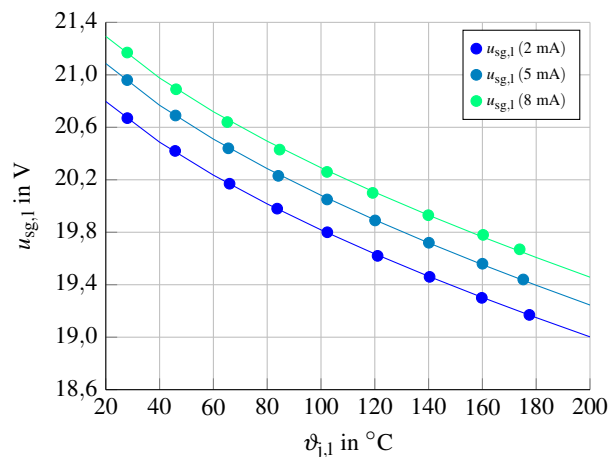


Abbildung 6.7: Durchbruchspannung $u_{sg,1}$ der Lowside-Source-Gate-Strecke eines Prototypen

In [98] wurde bereits gezeigt, dass die Sperrschichttemperatur bei SiC-JFETs sowohl mit der Gate-Source-Spannung als auch der Durchlasscharakteristik ermittelt werden kann. Die Durchlassspannung $u_{gs,on}$ der SiC-pn-Diode zeigte dort ebenfalls eine negative lineare Abhängigkeit von der Temperatur. Nachteilig an dem Experiment in [98] ist die notwendige rechnerische Korrektur der gemessenen Gate-Source-Spannung aufgrund einer Impedanzkopplung zum Lastkreis sowie der nicht ideale Leistungssprung der verwendeten Quelle beim Bestimmen der thermischen Sprungantwort $z_{th,jf}(t)$. Wie im Abschn. A.9 gezeigt und diskutiert wird, ist das vorgestellte Korrekturverfahren ebenso hier anwendbar, es treten allerdings die gleichen Probleme wie in [98] auch bei dem vorliegenden Prototyp auf.

Zur Verminderung des Korrekturaufwands wird im Folgenden das Abkühlen des Lowside-SiC-JFETs zur Charakterisierung der thermischen Impedanz verwendet. Beim Abkühlvorgang kann ein nahezu idealer Leistungssprung durch Abschalten des Laststroms mit dem Highside-SiC-JFET erreicht werden. Gleichzeitig ist die Impedanzkopplung zum Lastkreis unkritisch, da beim Abkühlen kein Strom mehr fließt. Eine leistungsgeregelte Quelle wurde im Laboraufbau in Abb. A.18 über den Highside-SiC-JFET zu- und abgeschaltet. Dabei wurden die Messgrößen Drain-Source-Spannung $u_{ds,1}$, Zwischenkreisspannung u_{zk} , Drainstrom $i_{d,1}$ und $u_{gs,1}$ in Abb. A.19 aufgenommen.

Mit der Gleichung

$$\vartheta_j = \frac{u_{gs,on} - u_{gs,on,ref}}{k_{gs,on}} + \vartheta_{j,ref} \quad (6.4)$$

und $u_{gs,on,ref} = 2613 \text{ mV}$, $k_{gs,on} = 2,28 \text{ mV}/^\circ\text{C}$ und $\vartheta_{j,ref} = 0 \text{ }^\circ\text{C}$ kann aus der Durchlassspannung $u_{gs,on}$ die Sperrschichttemperatur im Bereich von $25 \text{ }^\circ\text{C}$ bis $200 \text{ }^\circ\text{C}$ ermittelt werden.

Zur Berechnung der thermischen Impedanz $Z_{\text{th,jf}}$ müssen zusätzlich die abgeschaltete stationäre Verlustleistung bzw. Wärmemenge $\Delta\dot{q}$ und die Sperrschichttemperatur $\vartheta_j(0)$ im Augenblick des Abschaltens bekannt sein. Die stationäre Verlustleistung ist bekannt bzw. kann nach Gl. (A.28) aus den Messgrößen errechnet werden und wurde beispielhaft als Zeitverlauf in Abb. A.20 dargestellt. Beim Abschalten der Leistungsquelle mit dem Highside-JFET kann es zu transienten Störungen und Schwingungen in der Messwertaufnahme kommen. Im vorliegenden Fall entstehen diese Störungen wie im Abschn. A.9 durch die Impedanzkopplung zum Lastkreis. Daher wird zur Bestimmung der Sperrschichttemperatur im Umschalt Augenblick das in [99] beschriebene Verfahren angewendet:

Bei sprungartigen Änderungen des homogen verteilten Wärmeeintrags $\Delta\dot{q}$ in die Oberfläche A eines räumlich eindimensional unendlich ausgedehnten adiabatisch abgeschlossenen Körpers verhält sich dessen Oberflächentemperatur gemäß

$$\Delta\vartheta_j(t) = \frac{\Delta\dot{q}}{A} \cdot \frac{2}{\sqrt{c\rho\lambda\pi}} \cdot \sqrt{t} + \vartheta_j(0) \quad (6.5)$$

proportional zur Wurzel der Zeit. Nach dem Abschalten der Leistung bzw. des Wärmeeintrags bei $t = 0$ ms wird durch Approximation der Messwerte mit der Funktion in

$$\vartheta_j(t) = k_1\sqrt{t} + k_0 \quad \text{mit} \quad \vartheta_j(0) = k_0 \quad (6.6)$$

der Sperrschichttemperaturverlauf für Zeiten von $0 \text{ ms} < t < 2 \text{ ms}$ nachgebildet. Zur Bestimmung der Funktionskoeffizienten k_1 und k_0 wurde eine quadratische Fehlerminimierung bezüglich der Basisfunktion Gl. (6.6) im Zeitbereich bei $2 \text{ ms} < t < 10 \text{ ms}$ durchgeführt (gestrichelte schwarze Linie in Abb. 6.8). Abschließend ergibt sich der transiente thermische Widerstand nach

$$Z_{\text{th,jf}} = \frac{\vartheta_j(0) - \vartheta_j(t)}{\Delta\dot{q}}. \quad (6.7)$$

Für den Anfangszeitbereich kann demnach alternativ der Zusammenhang

$$Z_{\text{th,jf}}(t < 10 \text{ ms}) = \frac{2}{\sqrt{A_{\text{aktiv}}c\rho\lambda\pi}} \cdot \sqrt{t} \quad (6.8)$$

zur Nachbildung des thermischen Widerstands verwendet werden. Mit Gl. (6.8) ist bei Kenntnis der physikalischen Stoffeigenschaften des Halbleiterchips in der ersten Zeile von Tab. 2.1 und der aktiven Chipfläche von $A_{\text{aktiv}} = 0,8 \cdot A_{\text{Die}} \cdot n_{\text{Die}} = 66 \text{ mm}^2$ somit eine Überprüfung der Messergebnisse bzw. der angenommenen Eigenschaften möglich. Im Folgenden werden nun die durch die vorangestellt beschriebene Analyseermittelten Ergebnisgrößen vorgestellt und beobachtete Effekte diskutiert.

Die Ergebnisse der errechneten Sperrschichttemperatur und der transienten thermischen Impedanz sind für einem Volumenstromsollwert \dot{V}_f^* von $4 \text{ dm}^3/\text{min}$ bei unterschiedlichen Zulauftemperaturen $\vartheta_{f,\text{zu}}$ in Abb. 6.8 dargestellt. Die Gl. (6.8) ist auf den nachfolgenden Abb. 6.8 bis Abb. 6.11 als durchgezogene schwarze Linie enthalten und weist durchgehend eine gute Übereinstimmung zu den gemessenen Zeitverläufen der transienten thermischen Impedanz auf.

Bei der geringen Verlustleistung von etwa 150 W ist der gemessene Verlauf der transienten Impedanz in Abb. 6.8 nahezu unabhängig von der eingestellten Vorlauf-temperatur $\vartheta_{f,\text{zu}}$. Mit steigendem Temperaturniveau reduziert sich jedoch die Wärmeleitfähigkeit der Materialien im thermischen Pfad. Bei der Aluminiumoxid-Keramik (Al_2O_3), welche einen Anteil von mehr als 25% am thermischen Widerstand ausmacht, verringert sich die Wärmeleitfähigkeit mit $0,05 \text{ W/mK}^2$ proportional zur Temperaturerhöhung am deutlichsten. Beim Ansteigen der mittleren Keramiktemperatur von $50 \text{ }^\circ\text{C}$ auf $150 \text{ }^\circ\text{C}$ reduziert

sich nach [100] deren thermische Leitfähigkeit von 25 W/mK auf 20 W/mK um 20% . Ein Anstieg des thermischen Widerstands wäre daher zu erwarten.

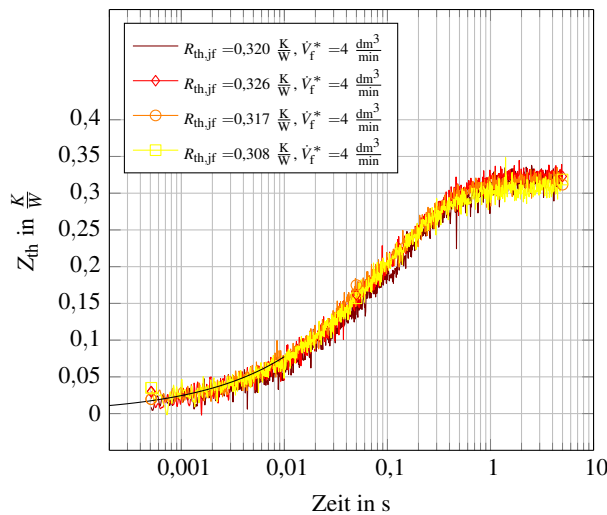
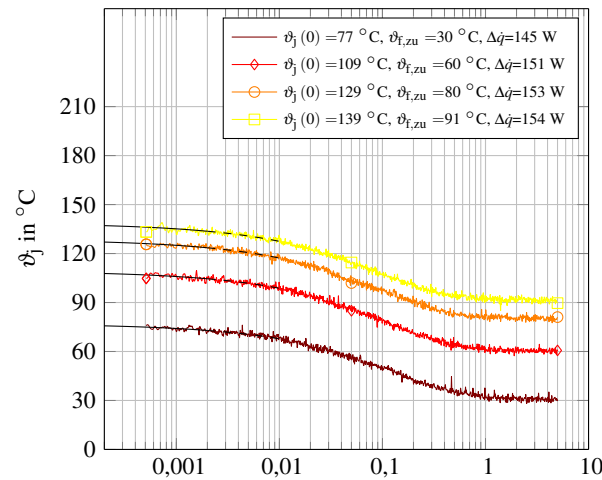


Abbildung 6.8: Sperrschichttemperatur (oben) und thermische Impedanz (unten) beim Abkühlen mit $\Delta\dot{q} \approx 150 \text{ W}$, $\dot{V}_f^* = 4 \text{ dm}^3/\text{min}$ und bei Variation von $\vartheta_{f,zu}$

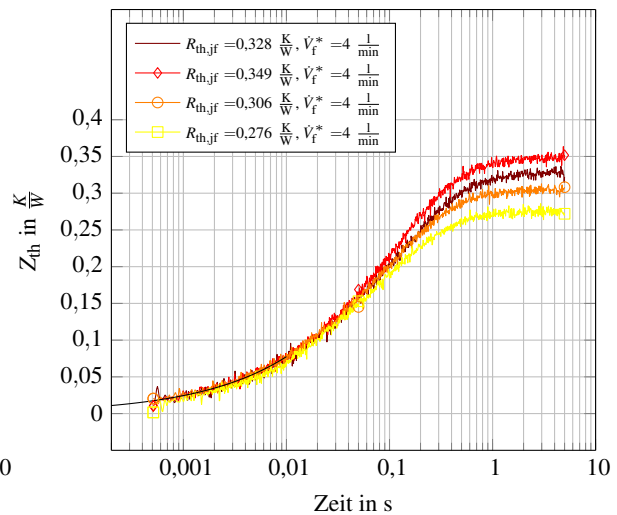
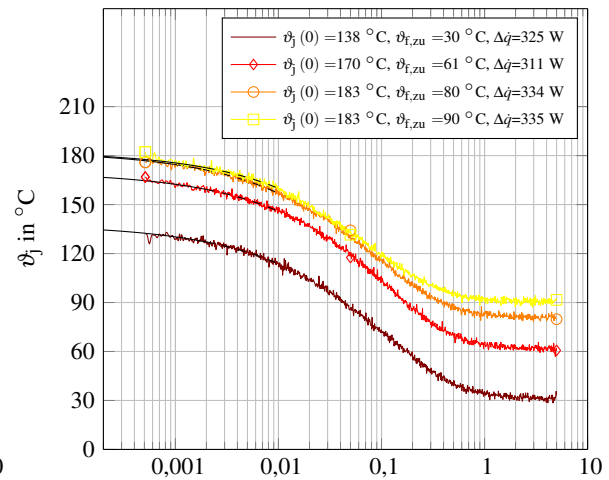


Abbildung 6.9: Sperrschichttemperatur (oben) und thermische Impedanz (unten) beim Abkühlen mit $\Delta\dot{q} \approx 330 \text{ W}$, $\dot{V}_f^* = 4 \text{ dm}^3/\text{min}$ bei Variation von $\vartheta_{f,zu}$

Wird die Wärmemenge auf ca. 330 W erhöht, zeigt die thermische Impedanz eine deutlich beobachtbare Abhängigkeit von der Fluidtemperatur. In Abb. 6.9 vergrößert sich der thermische Widerstand zunächst wie erwartet, wenn die Fluidtemperatur auf 60°C steigt. Bei weiterer Steigerung auf 80°C und 90°C wird jedoch eine deutliche Verringerung des thermischen Widerstands messbar. Diese Beobachtungen legen nahe, dass der thermische Übergangskoeffizient zwischen Bodenplatte und Fluid α_{cf} durch Blasensieden vergrößert und somit der resultierende thermische Widerstand verringert wird.

Beim Blasensieden kann bei geringer lokaler Temperaturerhöhung der Bodenplatte durch den Phasenwechsel in deutlich gesteigertem Maß Energie an das Kühlmedium abgegeben werden. Würde dabei jedoch eine kritischen Wärmemenge \dot{q}_{krit} überschritten, schlägt das Blasensieden (Burnout-Punkt) in Filmsieden (Leidenfrost-Punkt) um, wodurch dann eine starke Verminderung des Übergangskoeffizienten α_{cf} eintreten sollte. Obgleich dieser Arbeitspunkt bei geringen Durchflussmengen erreicht wurde, musste das Experiment abgebrochen werden, um den Versuchsaufbau nicht zu gefährden, da dieser für die

entstehenden Wasserdampfmengen und lokalen Überdrücke nicht dimensioniert wurde. Der Zustand des Filmsiedens würde insgesamt in einem gesteigerten thermischen Widerstand resultieren, sollte daher in der Anwendung vermieden werden und wird im Folgenden nicht weiter untersucht.

In Abb. 6.10 ist der Zeitverlauf der Sperrschichttemperatur und die thermische Impedanz für zwei Sollwerte der Durchflussmengen und zwei Fluidzulauftemperaturen dargestellt. Beim niedrigen Fluidtemperaturniveau von 30 °C weisen die Sperrschichttemperaturverläufe für 2 dm³/min und 4 dm³/min deutliche Unterschiede auf. Wie erwartet wird bei geringerer Durchflussmenge eine höhere Sperrschichttemperatur erreicht. Der thermische Widerstand bei 2 dm³/min ist um 18 % größer als bei doppelter Durchflussmenge von 4 dm³/min. Das hohe Fluidtemperaturniveau von 80 °C zeigt dagegen nahezu identische Sperrschichttemperaturverläufe für 2 dm³/min und 4 dm³/min. Die thermischen Widerstände bei 80 °C sind unabhängig von der Durchflussmenge vergleichbar und dabei etwa 6 % geringer als bei 30 °C und 4 dm³/min.

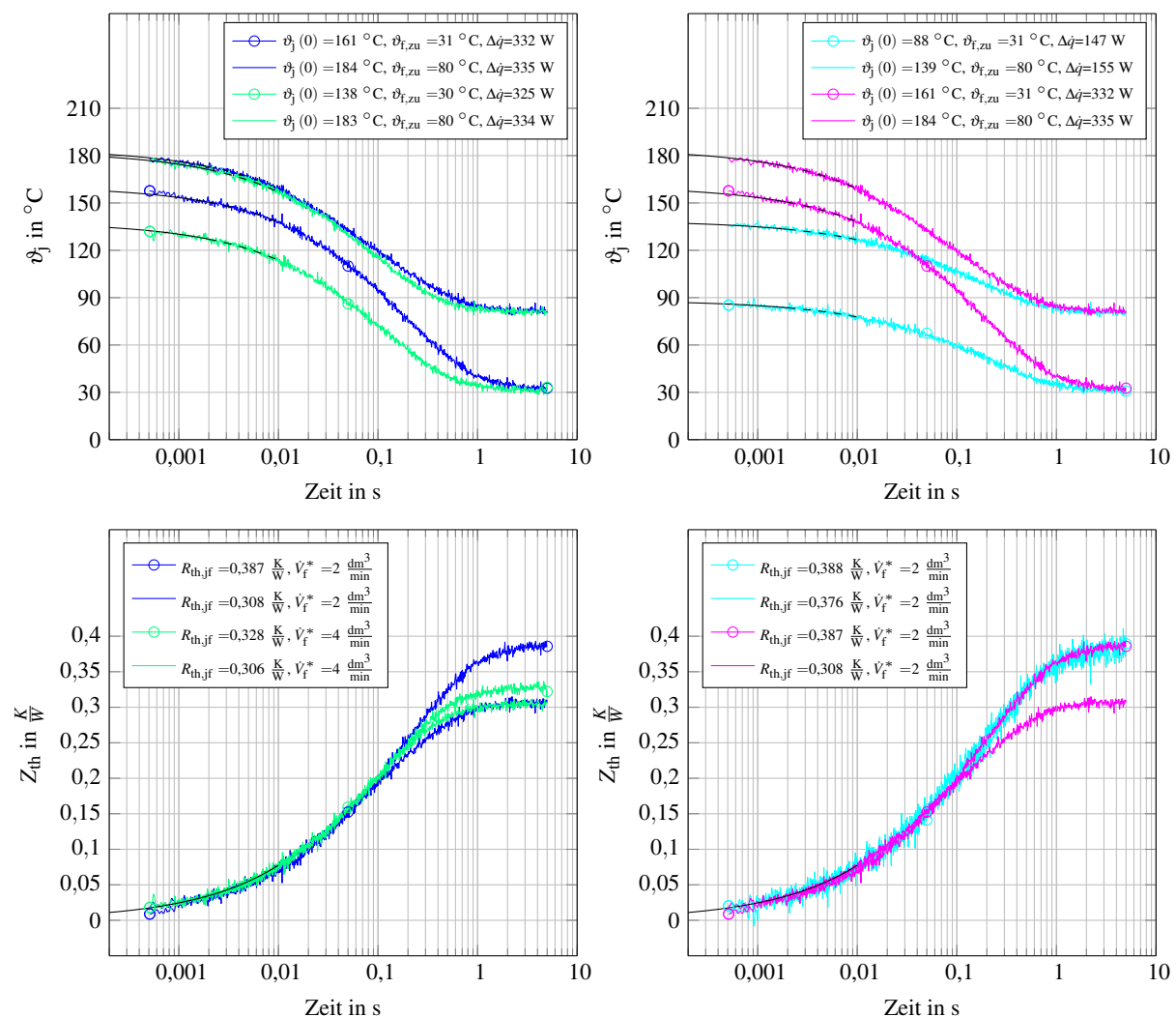


Abbildung 6.10: Sperrschichttemperatur (oben) und thermische Impedanz (unten) beim Abkühlen mit $\Delta\dot{q} \approx 330$ W bei Variation von \dot{V}_f^* und $\vartheta_{f,zu}$

Abbildung 6.11: Sperrschichttemperatur (oben) und thermische Impedanz (unten) beim Abkühlen mit $\dot{V}_f^* = 2$ dm³/min bei Variation von $\Delta\dot{q}$ und $\vartheta_{f,zu}$

In Abb. 6.11 sind bei einem Durchflusssollwert von 2 dm³/min und den gleichen Fluidzulauftemperaturen wie in Abb. 6.10 die Zeitsignale für unterschiedliche Wärmemengen von ca. 150 W und ca. 330 W

dargestellt. Die Zeitverläufe der thermischen Impedanz bei niedrigen Temperaturen sind unabhängig von der Wärmemenge und nahezu identisch. Bei 80 °C und 155 W ist bereits eine leichte Verringerung des thermischen Widerstands von ca. 3 % zu erkennen, welche bei 335 W auf 21 % anwächst.

Die Transitionen von Konvektion zum Blasensieden bzw. vom Blasensieden zum Filmsieden hängen von der Durchflussmenge, der Fluidtemperatur, der Wärmemenge und dem Umgebungsdruck ab. Beim Einsatz des Modulkühlers im geschlossenen Kühlkreislauf eines Fahrzeugkühlsystems würde die Verringerung des thermischen Widerstands durch Blasensieden bei gleichem Temperaturniveau vermindert auftreten. Kann der Druck im geschlossenen System gegenüber der Umgebung ansteigen, verschiebt sich der Siedepunkt des Kühlmittels zu höheren Temperaturen, woraufhin das Blasensieden erst bei einem insgesamt höheren Temperaturniveau auftreten sollte. Dieser Zusammenhang ist insofern zu berücksichtigen, da eine maximale Kühlmitteltemperatur von 105 °C im Zielsystem zugelassen werden soll, was mit Wasser-Glykol-Kühlmittel nur im geschlossenen Kreislauf erreicht werden kann. Da es sich sowohl beim Versuchsstand als auch der Kühlanlage des Instituts, um offene und mit Wasser- bzw. Wasser-Glykol-Gemisch befüllte Kühlkreise handelt, wurden keine Versuche mit Kühlmitteltemperaturen $\vartheta_{f,zu} > 90$ °C durchgeführt.

6.3 Optimierung des Turbulenzkörpers

Bei der Herstellung des Prototyps wurde festgestellt, dass die feinen Strukturen des Turbulenzkörpers verfahrensbedingt (0,5 mm Breite) nur bei dem gefrästen Teil erzeugt werden können. Daher wurde das Design des Turbulenzkörpers zur Fertigung mit einer kleinsten Strukturfertigungsbreite von 1 mm überarbeitet. Gleichzeitig wurde anstelle der fünffachen Mäander eine vierfache Struktur vorgesehen, da diese die vierreihige Modulbestückung hinsichtlich der Platzierung der Dies besser nachbildet (vgl. Abb. 6.12 und Abb. 6.13). Die Abb. 6.12 und Abb. 6.13 zeigen jeweils für die fünffach und die vierfache Mäander die Fluidgeschwindigkeit direkt am DCB, sowie in der Draufsicht auf die SiC-Dies deren Temperaturverteilung.

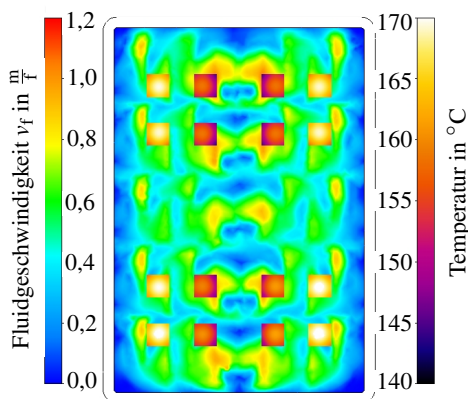


Abbildung 6.12: Simulationsergebnis mit fünffacher Mäanderstruktur mit $\dot{V}_f = 3 \text{ dm}^3/\text{min}$, $\vartheta_{f,zu} = 60$ °C und $\dot{q} = 704$ W

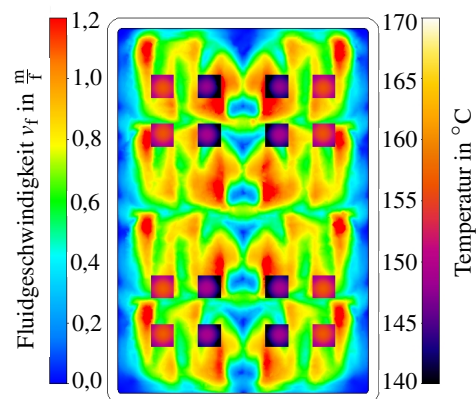


Abbildung 6.13: Simulationsergebnis mit vierfacher Mäanderstruktur mit $\dot{V}_f = 3 \text{ dm}^3/\text{min}$, $\vartheta_{f,zu} = 60$ °C und $\dot{q} = 704$ W

Zwischen DCB und den Oberkanten der Mäanderstruktur ist bei der Konstruktion des Turbulenzkörpers ein Spalt vorgesehen worden, sodass die Mäanderwände turbulent überströmt werden. Untersuchungen in [97] haben gezeigt, dass durch diesen „Bypass“ die Kühlwirkung gesteigert und gleichzeitig der Druckabfall deutlich reduziert werden kann. Die Fluidgeschwindigkeit bei dem Vierfachmäander ist an der Moduloberfläche deutlich größer als bei dem Fünffachmäander, was insgesamt zu einer turbulenteren Anströmung und besseren Kühlung führt. Daher liegt das Temperaturniveau der Sperrschicht

hier im Bereich von 145 °C bis 152 °C bei dem Vierfachmäander etwa 10 °C niedriger als bei dem Fünffachmäander. Durch die erhöhte Länge und die geringere Anzahl von Mäandern wird jedoch der Druckabfall in der Simulation um 10 mbar auf insgesamt 40 mbar angehoben. Dieser Nachteil wurde für das Fahrzeugkühlsystem als tolerabel bewertet, sodass insgesamt ein um ca. 10 % reduzierter thermischer Widerstand wirksam und gleichzeitig eine bessere Herstellbarkeit erreicht werden kann.

6.4 Design und Simulation des Systemkühlkörpers

Als Grundelement des Wandlersystem bietet sich aufgrund der Ausführung des Labormusters als Leiterplatte eine mechanisch stabile Montageebene parallel zur Platinenebene an. Des Weiteren müssen die Kühler der sieben Halbbrückenmodule parallelgeschaltet werden, damit der Druckabfall und die Durchflussmenge in der für Fahrzeuge und Kühlmittelpumpen typischen Größenordnung liegen (z.B. ≤ 100 mbar und ≈ 20 dm³/min). Bei einer Parallelschaltung der Kühler bestimmt die Symmetrie und Ausführung der Verrohrung die Inhomogenität der Durchflussmengenverteilung und damit die Kühlwirkung der einzelnen Module. Aus diesem Grund wurde bereits beim Designprozess eine CFD-Simulation als Hilfsmittel einbezogen, um die inhomogene Durchströmung der Halbbrückenkühler und den Effekt auf die Kühlwirkung zu berücksichtigen. Das Ergebnis der Simulation ist in Abb. 6.14 für das finale Design präsentiert.

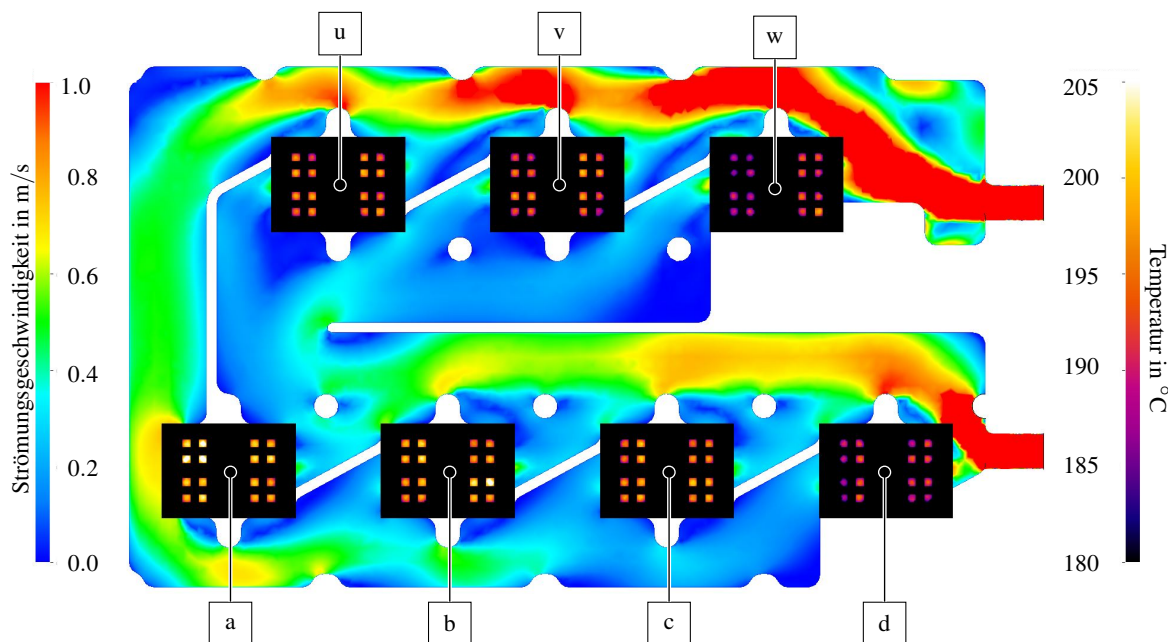


Abbildung 6.14: CFD Simulation des Kühler mit H₂O bei $\dot{V}_f = 21$ dm³/min, $\vartheta_f = 105$ °C und 44 W je Die

Dargestellt ist zum einen die Strömungsgeschwindigkeit in einem Schnitt in halber Höhe des Kühlers. Zum anderen wurde die Temperaturverteilung in der Draufsicht auf die DCBs und Dies abgebildet. In der Nähe des Zulaufs ist die Fluidgeschwindigkeit am höchsten und nimmt durch die Aneinanderreihung der Zuläufe der Halbbrückenkühler der Phasen und den gleichbleibenden Strömungsquerschnitt in der Reihenfolge von w, v, u, a, b, c nach d ab. Inverses Verhalten zeigt sich im Ablaufpfad. Diese Gegenläufigkeit führt zu einer Homogenisierung der Durchflussmenge der Einzelkühler.

Durch die verbleibende unsymmetrische Druckaufteilung, bedingt durch die Ablauf- und Zulaufgeometrie werden die Module w und a in der Nähe des Zulaufs und Abflufs mit höherem Volumendurchsatz angeströmt und das zentrale Modul a mit dem geringsten Volumendurchsatz. Dies zeigt sich vor allem in den gemittelten Maximalwerten der Sperrschichttemperaturen der Leistungshalbleiter je Modul, welche

bei der Simulation im Bereich von 187 °C bis 200 °C liegen. Das entspricht einer Abweichung der thermischen Widerstände von $\pm 7\%$ vom mittleren simulierten thermischen Widerstand von 0,25 K/W. Diese Inhomogenität wurde für den Aufbau eines Prototyps als akzeptabel angesehen. Um die Kosten der Einzelstückanfertigung möglichst gering zu halten, wurde der Kühlkörper nicht als Frästeil aus Aluminium, sondern als 3D-Druck aus Kunststoff hergestellt. Nach Empfehlung des Fertigungspartners und aufgrund der mechanischen Anforderungen wurde mit Epoxidharz infiltriertes Alumide (aluminiumgefülltes Polyamid) als Basismaterial ausgewählt. Abb. 6.15 zeigt den gefertigten Kühlkörper mit Abmessungen im Anlieferungszustand.



Abbildung 6.15: Alumide Systemkühler mit Silikondichtung in Modulkühler d

Bei ersten Tests war dieses Material trotz der Infiltration aufgrund der porösen Struktur nicht Flüssigkeitsdicht. Die Infiltration mit Epoxidharz musste mehrfach wiederholt werden bevor eine annehmbare Dichtigkeit erreicht werden konnte. Des Weiteren war es aufgrund der Unebenheiten der Oberfläche nicht möglich, die Halbleitermodule mit den zugeschnittenen Silikondichtungsringen (siehe in Abb. 6.15 Kühler d) abzudichten.

Die Module konnten schließlich erfolgreich mit luftfeuchtigkeitsvernetzender dauerelastischer Hochtemperatursilikonmasse³⁾ dicht angebunden werden. Bezüglich der, für das Zielsystem gewählten maximalen Kühlmittelzulauftemperatur $\vartheta_{f,zu}$ von 105 °C im geschlossenen Kühlkreislauf, wird im Folgenden ein thermischer Widerstand $R_{th,jf}$ von 0,34 K/W per SiC-JFET-Cluster (acht parallele SiC-JFET-Dies) und $\dot{V}_f = 3 \text{ dm}^3/\text{min}$ ohne Blasensieden angenommen.

Fazit

Auf Grundlage von Fluidynamiksimulationen wurde ein bekanntes Kühlkonzept zur Anwendung bei der verfügbaren Bauform des SiC-Modul-Prototyps erweitert. Die thermischen Eigenschaften des daraufhin gefertigten Modulkühlers konnten untersucht, charakterisiert und besondere Effekte wie z.B. die Veränderung des thermischen Widerstands durch Blasensieden diskutiert werden. Abschließend wurde der somit validierte Ansatz genutzt und ein Systemkühlerdesign für das Labormuster abgeleitet. Das skizzierte Kühlkonzept bietet zudem durch die Vermeidung wärmeleitfähiger Materialien ein hohes ökonomisches Potenzial beim industriellen Einsatz und der Herstellung der Kühlerkörper z.B. durch Kunststoffspritzguss.

³⁾Dirko HT

7 Passive Komponenten

Die in Abschn. 2.1 eingeführte Kommutierungszelle als Grundsaltung leistungselektronischer Systeme enthält neben den leistungselektronischen Bauelementen immer spannungseinprägende und stromeinprägende Quellen. Physikalische Quellen wie z.B. die Batterie als Gleichspannungsquelle können erst durch die Beschaltung mit Filtern an die Kommutierungszelle angebunden werden. In heutigen leistungselektronischen Systemen machen die passiven Komponenten, aus denen diese Filter bestehen, einen erheblichen Anteil am Gesamtsystemvolumen und auch an den -kosten aus. Beim betrachteten Hochsetzsteller muss die spannungseinprägende Batterie beispielsweise mit einer Drossel an die spannungseinprägende Kommutierungszelle mit Zwischenkreiskondensator angebunden werden. Diese beiden Energiespeicher dienen als Schnittstelle zur Kommutierungszelle und nehmen in Abhängigkeit vom Kommutierungszustand und den Betriebsbedingungen gegensinnig Energie auf oder geben diese ab. Die Wechselfrequenz der Kommutierungszustände bzw. der Energieaufnahme und -abgabe bestimmt bei vorgegebenem Leistungsdurchsatz die Energiemenge, welche im passiven Bauelement zwischengespeichert werden muss.

Wie die Untersuchungen in [101] am Beispiel eines Phovoltaik-Wechselrichters zeigen, ist es bei der Beurteilung der verfügbaren WBG-Halbleitertechnologien notwendig, neben den Topologien vor allem passive Komponenten und die Kühlung einzubeziehen, wenn das Systemvolumen aber auch ökonomische Aspekte im Fokus stehen. Zur Charakterisierung von Energiespeichertechnologien wie Kondensatoren, Drosseln, Batterien, Schwungmassenspeichern usw. eignen sich die in [102] verwendeten Ragone-Kennlinien, bei denen die Energiedichte des Energiespeichers über dessen Leistungsdichte aufgetragen wird. Im Folgenden wird auf die Auswahl und das Design der passiven Komponenten eingegangen und jene Variante präsentiert, welche im Labormuster erfolgreich eingesetzt wurde.

7.1 Zwischenkreiskondensator

Für die Leistungselektronik stehen derzeit die drei unterschiedlichen Kondensatorstechnologien:

- Elektrolytkondensatoren,
- Folienkondensatoren und
- Keramikkondensatoren

jeweils mit einer Vielzahl an Dielektrika zur Verfügung. Bei der in [103] geführten Analyse wurden mit Hilfe analytischer Zusammenhänge die Ragone-Kennlinien verschiedener kapazitiver Energiespeicher miteinander verglichen. Im Ergebnis dieser Analyse erreichen Keramikkondensatoren im Vergleich zu Elektrolytkondensatoren etwa die doppelte Energiedichte und eine um vier Größenordnungen höhere Leistungsdichte. Gegenüber Filmkondensatoren konnte bei Keramikkondensatoren in der Energiedichte ein Vorteil einer Größenordnung und bezüglich der Leistungsdichte ein um zwei Größenordnungen höherer Wert erreicht werden. Des Weiteren wurde herausgestellt, dass gegenüber dem Einsatz der

hauptsächlich verwendeten keramischen ferroelektrischen Dielektrika¹⁾ eine weitere Steigerung der Energiedichte von Keramikkondensatoren um eine Größenordnung technisch realisierbar ist, wenn anti-ferroelektrische Dielektrika²⁾ verwendet werden.

Aufgrund der nicht berücksichtigten Herstellungsmöglichkeiten, Randeffekte und der vereinfachten analytischen Modelle in [103] sind diese Verhältnisse zwar nicht direkt in den heutigen technischen Kondensatoren wieder zu finden, sie liefern jedoch ein Hinweis auf das Potenzial der jeweiligen Technologie. Trotz der potenziell überlegenen Eigenschaften der Keramikkondensatoren werden diese bisher ausschließlich in leistungselektronischen Systemen kleiner Leistung eingesetzt, was unter anderem mit der Kurzschlussneigung im Fehlverhalten zusammenhängt.

Zum Aufbau zuverlässiger Zwischenkreise kommen nach [104] in Industrieanwendungen im Leistungsbereich mehrerer Kilowatt daher vorwiegend Folienkondensatoren, Elektrolytkondensatoren oder auch eine Kombination aus beiden Typen in Betracht. Aktuell werden durch die mit den neuen Halbleitertechnologien erreichbaren hohen Pulsfrequenzen und die Forderung nach immer kompakteren Systemen, auch Keramikkondensatoren mit ferroelektrischem [105] oder anti-ferroelektrischem Dielektrikum [106] als aktive Filter für Energiespeicheranwendungen untersucht. Für den Zwischenkreis im Elektrofahrantrieb bieten Folienkondensatoren gegenüber Elektrolytkondensatoren, aufgrund der hohen Effektivstrombelastung und eher geringen Anforderungen bezüglich der Energiespeicherung, deutliche Vorteile hinsichtlich der Selbsterwärmung und der Lebenserwartung [107].

Mechanische Anforderungen der Vibrations- und Schockfestigkeit können bei der Systemintegration konstruktiv gelöst werden und wurden bei der Komponentenauswahl des Labormusters nicht berücksichtigt. Wie in [108] ausgeführt wurde, müssen bei der Dimensionierung eines Zwischenkreiskondensators sowohl die elektrischen als auch die thermischen Anforderungen berücksichtigt werden. Hinsichtlich der elektrischen Betriebseigenschaften wird die Spannungswelligkeit im Schaltbetrieb als auch die Interaktion mit anderen Energiespeichern bezüglich entstehender Resonanzen berücksichtigt. Der thermische Aspekt wird im Folgenden nur durch die Betrachtung der Effektivstromtragfähigkeit berücksichtigt. Durch den in Abschn. 5.1.1 beschriebenen niederinduktiven Aufbau der Zwischenkreisverschaltung, ist es beim Labormuster möglich, mehrere Kondensatoren parallel zu verschalten. Nach [89] ist eine gleichmäßige Belastung der Kondensatoren zu erwarten, solange $L_{\sigma,ZV} \ll L_{\sigma,C}$ gilt. Durch das sechslagig alternierende Verschaltungsdesign sollte $L_{\sigma,ZV}$ in etwa zwei bis drei Größenordnungen kleiner sein als $L_{\sigma,C}$ üblicher Kondensatoren inklusive Lötpin-Anschluss.

Durch die hohe maximale Kühlmitteltemperatur von $\vartheta_f = 105 \text{ }^\circ\text{C}$, welche im vorliegenden Fall als Dimensionierungskriterium aus dem Kühlkreislauf des Verbrennungsmotors abgeleitet wurde, können speziell für Fahrzeuganwendungen entwickelte Zwischenkreiskondensatoren³⁾ nicht verwendet werden, da diese typischer Weise bei $105 \text{ }^\circ\text{C}$ bereits ihre maximal zulässige Temperatur erreicht haben. In Tab. 7.1 sind vergleichend drei Designbeispiele für die vorliegende Applikation mit drei unterschiedlichen und am Markt verfügbaren Kondensatorstechnologien für hohe Umgebungstemperaturen gegenübergestellt. Anhand der ermittelten Energiedichte wird deutlich, dass die theoretischen Werte aus [103] und deren Verhältnis im untersuchten Anwendungsfall nicht zutreffen.

Beim Vergleich der Bauteile fällt auf, dass die Elektrolytkondensatoren eine Nennspannung von 250 V aufweisen, weswegen die Serienschaltung mehrerer Bauelemente erforderlich ist. Dies kann durch feldkompensierende Stromführung und Vermeidung von Schleifenflächen bei der Verschaltung, unterstützt durch eine weitere Erhöhung der Lagenzahl der Platine niederinduktiv gelöst werden. Für die Berechnung wurde eine Umgebungstemperatur von $\vartheta_a = 105 \text{ }^\circ\text{C}$ angenommen, weshalb die ebenfalls in Tab. 7.1

¹⁾z.B. Bariumtitanat BaTiO_3

²⁾z.B. Blei-Lanthan-Zirkon-Titanat PbLaZrTiO_3

³⁾z.B. EPCOS B25655P-Serie

aufgeführten Abschlagsfaktoren zur Anpassung der Nennwerte berücksichtigt werden müssen. Bemerkenswert ist hierbei vor allem die Kapazitätssteigerung des Keramikcondensators um 85 % aufgrund der Doppelhysterese beim anti-ferroelektrischen Dielektrikum. Beim Elektrolytkondensator sind die Datenblattangaben bereits auf einen Hochtemperaturbetrieb ausgerichtet. Zudem kann angenommen werden, dass ein Fahrzeugantrieb nach 300000 km bei durchschnittlich 35 km/h eine Betriebsdauer von etwa einem Jahr aufweist. Weitere dimensionierungsrelevante Umgebungsparameter wie die Wandlertopologie, die Schaltfrequenz f_s , die Zwischenkreisspannungswelligkeit Δu_{zk} , die maximale Zwischenkreisspannung $\bar{u}_{zk,max}$, der Kondensatoreffektivstrom I_{zk} sowie das zugehörige Steuerverfahren sind ebenfalls angegeben.

Tabelle 7.1: Designbeispiele mit unterschiedlichen Kondensatorstechnologien

Bezeichnung/Serie	B43793	B32778	B58033
Kondensatortyp	Aluminium Elektrolyt	Polypropylen Folie	PbLaTiZrO ₃ Keramik
Nennkapazität in μF	240	27	1,6
Nennspannung in V	250	840	1000
Nenneffektivstrom in A	4,3	20,5	20,6
max. Temperatur in $^{\circ}\text{C}$	125	125	150
Serieninduktivität in nH	14,0	15,7	3,5
Volumen in dm^3	0,018	0,110	0,012
Masse in g	26	120	31
Nennbetriebsdauer in a	1,14	4,56	N/A
Energievolumendichte in $\frac{\text{J}}{\text{dm}^3}$	401	64	66 bis 202
Leistungsvolumendichte in $\frac{\text{kW}}{\text{dm}^3}$	58	94	1302
Abschlagsfaktoren bei 105 $^{\circ}\text{C}$ Umgebungstemperatur			
Betriebsspannung	1,00	0,86	1,00
Betriebseffektivstrom	1,00	0,70	0,78
Betriebsdauer	1,00	0,45	N/A
Betriebskapazität	1,00	1,00	1,85
1H3WR, $f_s = 40 \text{ kHz}$, $\Delta u_{zk} = 7 \text{ V}$, $\bar{u}_{zk,max} = 700 \text{ V}$, $I_{zk} = 145 \text{ A}$ (OPP1)			
Konfiguration	3s34p	1s11p	1s43p
Gesamtvolumen in dm^3	1,836	1,210	0,516
Gesamtmasse in g	2550	1320	1333
4H3WR, $f_s = 40 \text{ kHz}$, $\Delta u_{zk} = 7 \text{ V}$, $\bar{u}_{zk,max} = 700 \text{ V}$, $I_{zk} = 46 \text{ A}$ (OPP4)			
Konfiguration	3s11p	1s4p	1s14p
Gesamtvolumen in dm^3	0,594	0,440	0,168
Gesamtmasse in g	825	480	434
4H3WR, $f_s = 80 \text{ kHz}$, $\Delta u_{zk} = 7 \text{ V}$, $\bar{u}_{zk,max} = 700 \text{ V}$, $I_{zk} = 46 \text{ A}$ (OPP4)			
Konfiguration	3s11p	1s4p	1s7p
Gesamtvolumen in dm^3	0,594	0,440	0,084
Gesamtmasse in g	825	480	217

In Abb. 7.1 ist die Entwicklung des Zwischenkreisvolumens über dem Effektivstrom bei einer maximalen Spannungswelligkeit von 7 V und den Schaltfrequenzen 20 kHz, 40 kHz, 60 kHz, 80 kHz und 100 kHz aufgetragen.

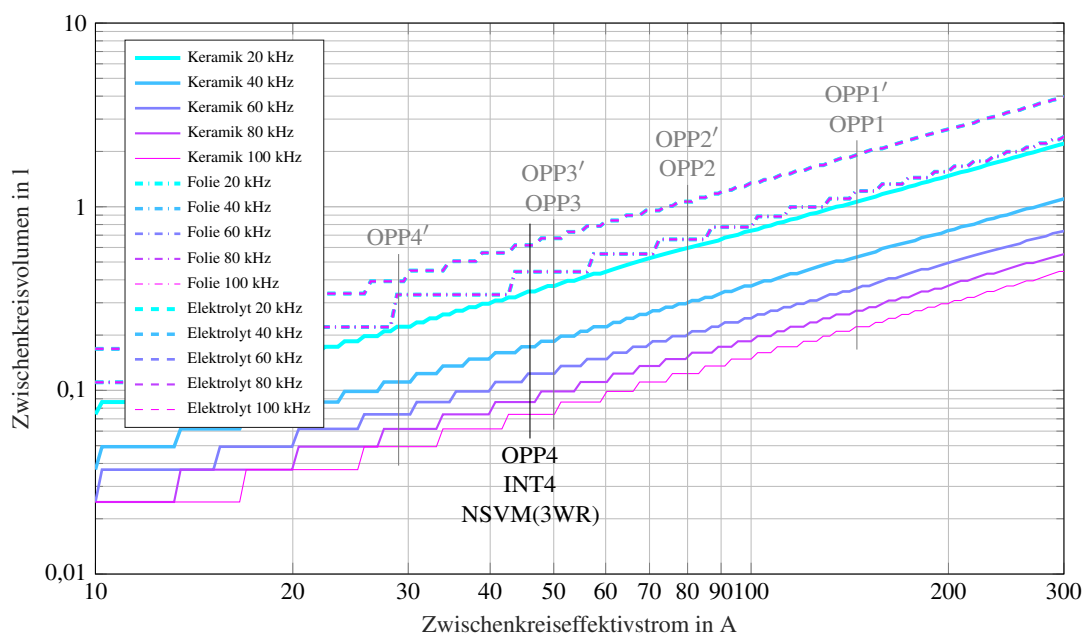


Abbildung 7.1: Einfluss des Effektivstroms auf das Volumen des Zwischenkreises bei $\Delta u = 7 \text{ V}$

Für die Beziehung zwischen Effektivstrom und Spannungswelligkeit wurde hier vereinfachend die Gleichung

$$\Delta u_{zk,max} = \frac{I_{zk}}{4f_s C_{zk}} \quad (7.1)$$

verwendet, welche jedoch nur für den 4H3WR-OPP4 mit variabler Zwischenkreisspannung oder einen NSVM-3WR exakt zutreffend ist. Trotz dieser Vereinfachung ist die Gl. (7.1) geeignet, um allgemeine Aussagen über den Einfluss der Schaltfrequenz und des Steuerverfahrens zu erlauben.

Wie bereits in Abschn. 3.2.1 motiviert die Frequenzunabhängigkeit des Effektivstroms die Einführung verbesserter Topologien und Steuerverfahren, was durch die grau markierten Belastungen bei den OPP1', OPP1, OPP2', OPP2, OPP3', OPP3 und OPP4' Steuerverfahren mit $u_{zk} = 4u_{bat}$ erkennbar wird. In diesem Zusammenhang fällt weiterführend auf, dass die Kennlinien für den Elektrolytkondensator und Filmkondensator unabhängig von der Schaltfrequenz sind. Bei diesen Kondensatortechnologien ist somit im vorliegenden Arbeitspunkt der Zwischenkreiseffektivstrom das ausschlaggebende Dimensionierungskriterium, sodass eine vollständige Ausnutzung der thermischen Belastbarkeit der Kondensatoren erfolgt. Demgegenüber verringert sich der Volumenbedarf beim Keramikkondensator mit zunehmender Schaltfrequenz, da hier die doppelt schaltfrequente Spannungswelligkeit die entscheidende Dimensionierungsgröße ist. Insgesamt liegt im Vergleich mit Folienkondensatoren das Volumen des Zwischenkreises mit Elektrolytkondensatoren bei etwa 150 %, während mit Keramikkondensatoren je nach Schaltfrequenz eine Reduktion auf 10 % bis 90 % (eine Größenordnung) erreichbar ist. Für die vorliegende Anwendung mit schnellschaltenden Leistungshalbleitern kann das Zwischenkreislösungsvolumen somit nur beim Einsatz von Keramikkondensatoren signifikant reduziert werden.

Ist hingegen die Spannungswelligkeit Δu_{uk} und nicht der Effektivstrom I_{zk} das maßgebliche Kriterium, ist es möglich mit Elektrolytkondensatoren den kompaktesten Zwischenkreis aufzubauen.

In Abb. 7.2 ist die Unterseite der Leistungsplatine und darauf der Keramikkapazitätswellenkreis in 1s16p-Konfiguration dargestellt. Der Zwischenkreis hat ein Volumen von etwa 200 ml und eine Betriebskapazität von etwa 48 μF . Die Effektivstrombelastbarkeit liegt bei 257 A und die Zwischenkreisspannung weist bei 40 kHz eine maximale doppelt schaltfrequente Welligkeit von ca. 6 V auf.

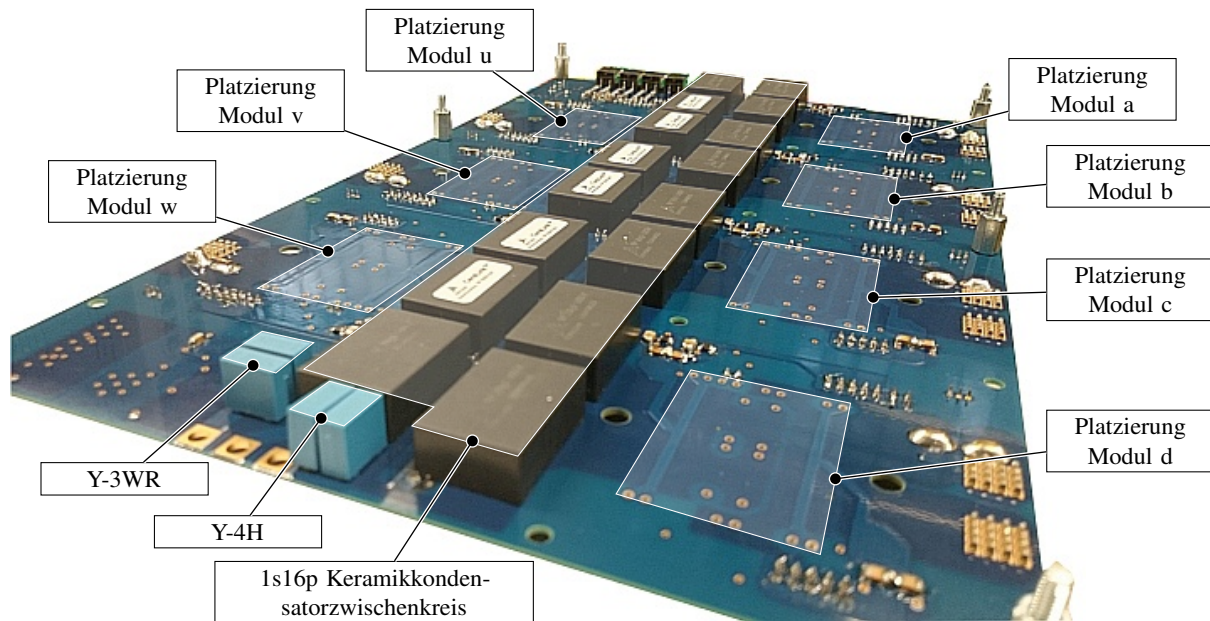


Abbildung 7.2: Zwischenkreis-Kondensator mit Leistungselektronik-Platine (Unterseite)

Obwohl die Betrachtungen zeigen, dass die thermische Grenze des Kondensators bei hohen Schaltfrequenzen relevant ist, werden die Kondensatorverluste gemessen an den Gesamtverlusten des Systems als vernachlässigbar eingeschätzt. Aus diesem Grund wird nur ein einfaches Verlustmodell mit Serienwiderstand nach

$$P_{C_{zk}} = R_{C_{zk}} \cdot I_{C_{zk}}^2 \quad \text{mit} \quad R_{C_{zk}} = R_{B58033,1s16p} \approx 1 \text{ m}\Omega \quad (7.2)$$

zur Überprüfung verwendet. Beim OPP4-Verfahren im Nennbetrieb entstehen etwa 2 W Verluste in den Kondensatoren. Es sei jedoch angemerkt, dass der Serienwiderstand beim ausgewählten Kondensatortyp stark von der Temperatur und sehr stark von der gewählten Betriebsfrequenz abhängig ist. Daher ist die Annahme vernachlässigbarer Verluste vor allem für deutlich niedrigere Betriebsfrequenzen nicht gültig.

In diesem Abschnitt wurden zunächst die verfügbaren Kondensatortechnologien bezüglich technologieinhärenter Eigenschaften anhand von Literaturquellen verglichen. Anschließend wurde das Zwischenkreisvolumen für unterschiedliche Kondensatoren am Beispiel des Labormusters untersucht. Dabei konnte der positive Einfluss der effektivstromreduzierenden Topologien und Steuerverfahren aus Abschn. 3.2 herausgestellt werden. Des Weiteren wurde festgestellt, dass das Potenzial zur Volumenreduktion beim Zwischenkreis im Zusammenhang mit den durch die WBG-Halbleiter erreichbaren hohen Schaltfrequenzen und der vorliegenden Anwendung nur bei der Verwendung von Keramikkondensatoren ausgenutzt werden kann.

7.2 Drossel des Hochsetzstellers

Magnetische Energiespeicher machen in vielen leistungselektronischen Anwendungen den maßgeblichen Anteil am Systemvolumen aus. Dies begründet sich zum einen aus der Energiespeicherdichte, welche im Vergleich zu Keramikkondensatoren und Elektrolytkondensatoren etwa zwei Größenordnungen niedriger ausfällt [109], und zum anderen durch die verlustbehaftet fließenden Ströme beim Speichern, welche eine deutlich bessere Kühlung erfordert. Gegenüber Kondensatoren kann jedoch bei der Auswahl geeigneter Isolierstoffe ein höheres Temperaturniveau zugelassen werden.

Mit der Annahme, dass die Energie E_L der Drossel ausschließlich im Magnetkreisvolumen inklusive Luftspalt V_c gespeichert ist, gilt

$$E_L = \frac{1}{2} \int \vec{B}_c \vec{H}_c d\vec{V}_c = \frac{1}{2} \underbrace{A_c B_c}_{\Psi} \underbrace{\oint H_c dl_c}_{\Theta} = \frac{1}{2} A_c B_c A_w J_w \propto A_c A_w. \quad (7.3)$$

Durch Umformung und der zusätzlichen Vereinfachung, dass die Induktion B_c und das Magnetfeld H_c entlang eines Pfades l_c gerichtet und in der Fläche A_c senkrecht zum Pfad homogen verteilt sind, ergibt sich die Energie als Multiplikation der homogenen Stromdichte im Wicklungsfenster J_w , der Wicklungsfensterfläche A_w , der homogenen Induktion B_c und der Kernfläche A_c .

Das Volumen der Drossel kann durch Dimensionsvergleich nach [61] mit

$$V_L \propto (A_c A_w)^{\frac{3}{4}} \quad (7.4)$$

beschrieben werden. Beim Vergleich von Gl. (7.3) und Gl. (7.4) wird deutlich, dass der Energiegehalt w_L einer Drossel mit dem Flächenprodukt aus Kern- und Wicklungsfensterfläche stärker ansteigen sollte als das Volumen. Im Umkehrschluss könnte hieraus gefolgert werden, dass ein System bezüglich der kumulierten Drosselvolumina dann am kompaktesten wird, wenn die zu speichernde Feldenergie auf möglichst wenige Drosseln verteilt wird. Dementsprechend wäre die vierphasige Ausführung des Hochsetzstellers nachteilig einzustufen. Mit

$$P_L = f_s \Delta E_L \propto f_s A_c A_w \quad (7.5)$$

kann die übertragene Leistung des Wandlers aus der Energieschwankung der Drossel ermittelt werden. Das aus Gl. (7.3), Gl. (7.5) und Gl. (7.4) abgeleiteten und in einigen Literaturquellen verwendete Wachstumsgesetz gemäß

$$V_L \propto E_L^{\frac{3}{4}} \quad \text{und} \quad V_L \propto \left(\frac{P_L}{f_s} \right)^{\frac{3}{4}} \quad (7.6)$$

hält jedoch unter der Maßgabe, dass thermische Randbedingungen erfüllt werden müssen oder gesetzte Wirkungsgrade zu erreichen sind, nicht stand. Anhand der Dimensionierungsbeispiele in [110] ist eine direkte Proportionalität zwischen Volumen und gespeicherter Energie nach

$$V_L \propto E_L \quad \text{und} \quad V_L \propto \frac{P_L}{f_s} \quad (7.7)$$

identifizierbar. Als Konsequenz ergibt sich eine reziproke Abhängigkeit des Volumens von der Schaltfrequenz sowie eine Proportionalität des Volumens zur übertragenen Leistung.

Dieser Zusammenhang ist nur gültig, insofern das Kernmaterial oder die Wicklung nicht in einem übermäßig verlustbehafteten Betriebspunkt arbeiten, welcher bei zu hohen Stromwelligkeiten entstehen kann. Zur Dimensionierung induktiver Bauelemente werden heute nahezu ausschließlich numerische unterstützte Iterationsverfahren wie in [110], [111] oder [112] eingesetzt. Die Probleme bei der Berechnung der magnetischen Aussteuerung und bei der Verlustberechnung werden sowohl analytisch, teil-analytisch oder numerisch durch FEM Rechnung gelöst. Ein solcher Berechnungsalgorithmus ermittelt zunächst alle Lösungen für eine Vielzahl von Parametern und wählt anschließend durch ein Gütekriterium eine optimale Lösung aus. Mangels eines solchen Werkzeugs werden im Rahmen dieser Arbeit zunächst Erkenntnisse aus Literaturquellen einbezogen und anschließend ein Grobdesign anhand vereinfachender Gleichungen durchgeführt. Abschließend wird eine Überprüfungsrechnung durch FEM-Modelle durchgeführt.

Bei Materialien zur magnetischen Flussführung werden die folgenden fünf Kategorien unterschieden:

- laminierte Eisenblechkerne,
- Pulverkerne,
- amorphe Kerne,
- Ferritkerne und
- nanokristalline Kerne.

Für die Ausführung der Windung existieren:

- Kupferprofil,
- Runddraht,
- Kupferfolien oder
- Litze

als verfügbare Alternativen. In Tab. 7.2 und Tab. 7.3 sind charakteristische Materialeigenschaften mit jeweils einem Beispielmateriale zum Vergleich zusammengestellt. Für jeden Kernmaterialtyp existieren diverse Optimierungs- und Ausprägungsformen, z.B. weist der Ferrit 3C92 ein Verlustminimum bei 100 °C auf, während 3C93 das Verlustminimum bei 140 °C erreicht. Durch unterschiedliche Pulvermischungsverhältnisse beträgt z.B. die relative Permeabilität μ_r des MPP26-Kerns 26 und des MPP125-Kerns 125. Aufgrund beim Hochsetzsteller vorliegender Betriebsanforderungen mit Magnetisierungsgleichanteil und Ummagnetisierungsfrequenzen im zwei- und dreistelligen Kilohertzbereich sowie der Maßgabe, möglichst kompakte und verlustarme Induktivitäten aufzubauen, sind laminierte Schnittbandkerne aus Eisenblech oder amorphem Material und Pulver aufgrund hoher Wechselfeldverlustleistungsdichten nachteilig [61]. Bestätigt wird dies durch die Untersuchungen [113] und [114] von Rylko et. al., wonach Ferrite und nanokristalline Kerne höhere Materialgütefaktoren als Pulver, amorphe Metalle und Eisenblechkerne aufweisen, wenn simultan Volumen und Verluste als Kriterien berücksichtigt werden.

Tabelle 7.2: Charakteristische Eigenschaften der Kernmaterialien aus [115]

Typ	Eisenblech	Pulver	amorph	Ferrit	nanokristallin
Bezeichnung	10JNHF600	MPP60	2605SA1	3C93	Vitroperm 500F
Sättigungsinduktion in mT	1870	750	1560	520	1200
rel. Permeabilität	800	60	1200	1800	15500
Dichte in $\frac{\text{kg}}{\text{dm}^3}$	7,53	7,52	7,18	4,80	7,3
Füllfaktor	0,9	1	0,83	1	0,7
P'_c in $\frac{\text{W}}{\text{dm}^3}$ bei 100 kHz 0,2 T	6500	1600	5600	420	350
Steinmetzparameter α	1,58	1,34	1,67	2,26	1,71
Steinmetzparameter β	1,91	2,16	1,79	3,07	2,09
Steinmetzparameter k in $\frac{\text{mW}}{\text{dm}^3} \frac{\text{s}^\alpha}{\text{T}^\beta}$	1,770	0,440	1,525	0,114	0,095

Tabelle 7.3: Charakteristische Eigenschaften der Windungsmaterialien nach [116] und [117]

	Kupferprofil	Runddraht	Kupferfolien	Litze
typ. Strukturhöhe in mm	1 - 6	1 - 5	0,03 - 1	0,03 - 0,4
typ. Strukturbreite in mm	2 - 22	1 - 5	5 - 300	0,03 - 0,4
typ. Windungsleiterfläche in mm ²	2 - 100	0,8 - 20	0,15 - 300	1 - 100
typ. Füllfaktoren	> 0,9	< 0,6	< 0,75	< 0,5

Die Auswahl des geeignetsten Wicklungsmaterials ist eine komplexe Aufgabe, da die entstehenden Gesamtverluste neben der Frequenz auch maßgeblich durch das geometrische Design der Drossel bestimmt werden. Bei steigender Frequenz verändert sich Stromdichteverteilung innerhalb eines stromdurchflossenen Einzelrundleiters, sodass bei hohen Frequenzen an der Oberfläche des Leiters eine viel größere Stromdichte auftritt als im Zentrum. Dieser Effekt wird als Skin-Effekt bezeichnet und wird mit der Hilfsgröße der Eindringtiefe nach

$$\gamma = \sqrt{\frac{1}{f_s \pi \kappa \mu}} \quad (7.8)$$

beschrieben. Beim Rundleiter nimmt die Stromdichte gegenüber dem Oberflächenwert bis zum um die Eindringtiefe reduzierten Radius auf $1/e \approx 37\%$ ab. Bei dem als Proximity-Effekt bekannten Phänomen erzeugen die Wechselfelder (benachbarte Leiter oder durch Luftspalteffekte) im Wicklungsfenster Wirbelströme in den Wicklungen, die ebenfalls zu Verlusten führen, welche mit steigender Frequenz aber auch mit steigender Wechselfeldamplitude zunehmen. Diese Wechselfensterquerfelder werden hauptsächlich durch die Dimensionierung (Stromwelligkeit) und die Geometrie der Drossel (Luftspalte, Wicklungsfensterbreite zu -höhe) vorgegeben. Nach [118] führt der Skin-Effekt beim Runddraht ab einem Verhältnis von Drahradius zu Eindringtiefe von $> 3/2$ zu gesteigerten Verlusten. Beim Proximity-Effekt nach [118] steigen diese deutlich ab einem Verhältnis von Drahradius zu Eindringtiefe von $> 1/2$.

Im maßgeblichen Frequenzbereich von 40 kHz bis 100 kHz beträgt die Eindringtiefe in Kupfer 336 μm bis 213 μm . Dieser Wert liefert bereits eine Indikation dafür, dass Wicklungsmaterialien, deren charakteristische Dimension größer ist, eine starke Verlusterhöhung der Wechselstromanteile durch den Skin-Effekt und den Proximity-Effekt aufweisen. Die Summe der frequenzabhängig in der Drossel entstehenden und bei hohen Frequenzen maßgeblichen Verluste sind dennoch primär abhängig von der Wechselstromamplitude und damit der Dimensionierung der Induktivität L .

Für die Anwendung beim Hochsetzsteller bedeutet dies, dass sowohl Materialpaarungen wie z.B. amorphe Schnittbandkerne mit Profilkupferwicklungen (große Induktivität, kleine Stromwelligkeit) oder auch Ferritkerne mit Litze zu effizienten und ähnlich kompakten Designs führen.

Vergleiche in [115] und die Ergebnisse modellbasierter Optimierungsverfahren in [101] deuten darauf hin, dass mit Ferrit in Kombination mit Litze bei hoher Stromwelligkeit insgesamt die kompaktesten und effizientesten Lösungen erreicht werden. Aufgrund dieser Ergebnisse und der guten Verfügbarkeit in vielfältigen Kerngeometrien wird Ferrit als Material für die Drossel ausgewählt.

Im Folgenden wird die Dimensionierung der Drossel für den Hochsetzsteller vorgestellt. Die Spannungszeitfläche $u_L \Delta t$ an der Induktivität wird in Abhängigkeit der Umgebungsbedingungen durch die

$$u_L \Delta t = \frac{d_{T,1} u_{\text{bat}}}{f_s} = \frac{u_{\text{zk}} u_{\text{bat}} - u_{\text{bat}}^2}{u_{\text{zk}} f_s} \quad \text{mit} \quad d_{T,1} = \left(1 - \frac{u_{\text{bat}}}{u_{\text{zk}}}\right) \quad (7.9)$$

berechnet. Diese Parabel in u_{bat} weist bei $2u_{\text{bat}} = u_{\text{zk}}$ genau ein Maximum auf.

Durch die Einschränkungen auf das Batteriespannungsintervall [200 V, 400 V] und das Zwischenkreisspannungsintervall [u_{bat} , 700 V] ergibt sich ein globales Maximum bei 350 V Batterie- und 700 V Zwischenkreisspannung und. Um die Energieschwankungsbreite der Induktivität vollständig auszunutzen wird deren Wert so gewählt, dass die Hochsetzsteller bei Nennschaltfrequenz von 60 kHz gerade genau an der Lückgrenze betrieben werden könnten. Da dieser Ansatz nicht zwingend zu einem kompakten Drosseldesign führt, sei hier nochmals angemerkt, dass die Gl. (7.7) nur unter Einschränkungen gültig ist.

Aufgrund der Vorbetrachtungen und der bekannten Ergebnisse aus der Literatur, wie z.B. [4] und [31], kann für die vorliegenden Betriebsparameter dennoch erwartet werden, dass durch die ausgewählte Dimensionierung an der Lückgrenze ein kompakter magnetischer Energiespeicher erzielbar ist. Zudem wurden bei der umfangreichen Analyse, der zum 4H3WR ähnlichen, 1H3WR- und 2H6WR-SiC-Systeme in [9] für Schaltfrequenzen größer 60 kHz überraschenderweise keine pareto-optimalen Systemdesigns hinsichtlich Wirkungsgrad, Leistungsdichte und Kosten ermittelt, was zusätzlich den ausgewählten Schaltfrequenzbereich bestätigt. Nach

$$L_v > \frac{u_{\text{zk}}u_{\text{bat}} - u_{\text{bat}}^2}{u_{\text{zk}}f_s} \cdot \frac{vu_{\text{bat}}}{2P_{\text{max}}} \rightarrow \frac{vu_{\text{zk,max}}^2}{16f_sP_{\text{max}}} \quad (7.10)$$

muss der Wert der Induktivität 34 μH betragen, damit der Wandler bei 60 kHz, 700 V Zwischenkreisspannung, 350 V Batteriespannung und 60 kW an der Lückgrenze arbeitet.

Die Windungszahl und die Kernfläche stellen einen Freiheitsgrad dar, denn einerseits darf die maximale Induktion im Kernmaterial nicht überschritten werden und andererseits soll der gewünschte Wert der Induktivität erreicht werden. Näherungsweise kann die Windungszahl durch die stark vereinfachten Zusammenhänge in

$$\Delta B_{c,\text{max}} = \frac{u_{\text{zk,max}}}{4f_s A_{c,\text{EE}} n_w}, \quad (7.11)$$

$$\delta_{\text{EE}} = \frac{n_w^2 A_{c,\text{EE}} \mu_0}{2L_v} \quad \text{und} \quad (7.12)$$

$$B_{c,\text{max}} = \frac{u_{\text{zk,max}}u_{\text{bat,min}} - u_{\text{bat,min}}^2}{2u_{\text{zk,max}}f_s A_{c,\text{EE}} n_w} + \frac{\mu_{\text{EE}} P_{\text{max}} n_w}{u_{\text{bat,min}} l_{c,\text{EE}}} \quad \text{mit} \quad \mu_{\text{EE}} = \frac{\mu_0}{\frac{1}{\mu_r} + \frac{2\delta_{\text{EE}}}{l_{c,\text{EE}}}} \quad (7.13)$$

für EE-Kern-Konfigurationen mit Hilfe der Abb. 7.3 ermittelt werden. Des Weiteren wurde bei Gl. (7.13) die Annahme getroffen, dass die Energie der Drossel nur im Luftspalt gespeichert ist. Der planare E64/50/10-3C92 Ferritkern in EE Konfiguration mit zusätzlich eingebrachtem Doppelluftspalt wird nachfolgend als Basis für die Hochsetzstellerdrossel verwendet.

In Abb. 7.3 sind die Verläufe der maximalen Induktion $B_{c,\text{max}}$, der maximalen Welligkeit der Induktion $\Delta B_{c,\text{max}}$ und die Größe des erforderlichen Luftspalts einen, zwei und drei parallele Kernpaare über der Windungszahl aufgetragen. Durch die bei Planarkernen geringe Schenkelhöhe von hier $y_c = 5 \text{ mm}$ und die Sättigungsinduktion des Kernmaterials $B_{\text{sat},3\text{C}92} = 0,4 \text{ T}$ bei $140 \text{ }^\circ\text{C}$ wird deutlich, dass für den betrachteten Windungsbereich mindestens zwei EE-Kernpaare erforderlich sind. Um den Luftspalt möglichst gering zu halten, wurde die Variante mit neun Windungen und zwei Kernpaaren als Ausgangspunkt ausgewählt.

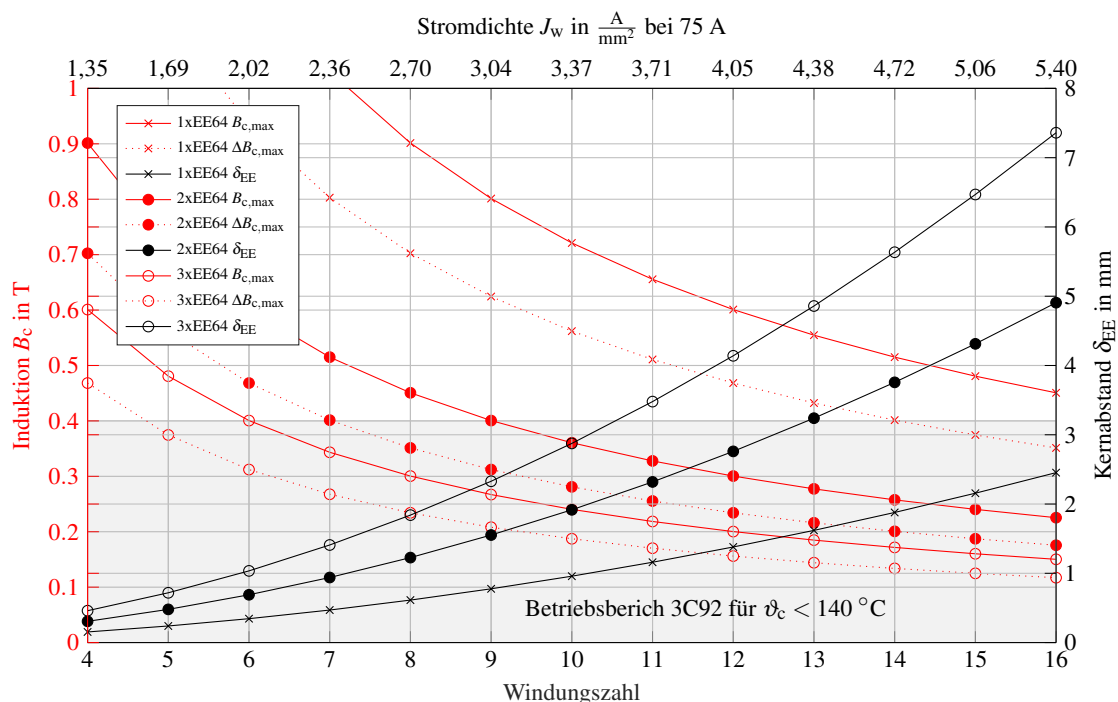


Abbildung 7.3: Einfluss der Windungszahl der Speicherdrossel für einen, zwei und drei E64/50/10-Kernpaare beim 4H3WR mit 60 kHz

Im Folgenden wird eine thermische Überprüfung des Designs durchgeführt. Bei der Drossel wird grundsätzlich zwischen den Kernverlusten und Wicklungsverlusten unterschieden. Wicklungsverluste entstehen durch den Stromfluss in der Wicklung der Drossel und werden durch Feldrückwirkungseffekte wie Skin- und Proximity-Effekt verstärkt. Je nach Ausführung der Windung und Kerngeometrie kann durch die Feldrückwirkung eine signifikante Steigerung der Wicklungsverluste im Frequenzbereich auftreten. Daher ist es vor allem bei hohen Schaltfrequenzen notwendig, zur Berechnung der Wicklungsverluste die Harmonischen des Drosselstroms separat zu betrachten.

Wenn der Hochsetzsteller stationär und kontinuierlich betrieben wird, entsteht in der Speicherdrossel ein dreieckförmiger Strom-Zeit-Verlauf, insofern die Induktivität L keine Frequenz- und Stromabhängigkeit aufweist und die Schaltfrequenz hoch genug ist ($f_s \gg R_L(f_s)/L, f_s \gg 1/\sqrt{2\pi C_{zk}L}$). Die Fourierkoeffizienten \hat{i}_k für den Hochsetzstellerstrom werden für den kontinuierlichen Betriebsfall mit

$$\hat{i}_k = \Delta i_L \cdot \frac{\sin(k\pi d_{T,1}) - d_{T,1} \sin(k\pi)}{\pi^2 k^2 d_{T,1} (1 - d_{T,1})} \quad \text{mit } k \in \mathbb{Z}, \Delta i_L = \frac{u_{\text{bat}} d_{T,1}}{L_v f_s} \quad \text{sowie} \quad (7.14)$$

$$\hat{i}_0 = \frac{\bar{i}_{\text{bat}}}{v} = \frac{P}{v u_{\text{bat}}}$$

bestimmt. Dabei beschreibt Δi_L die von Spitze zu Spitze gemessene Stromwelligkeit und $d_{T,1}$ den Tastgrad des Lowside-Transistors. Bei Kenntnis der Frequenzabhängigkeit des Widerstands können somit die Wicklungsverluste nach

$$P_w = \sum_{k=0}^{\infty} \hat{I}_k^2 \cdot R_w(k f_s) \quad \text{mit} \quad I_k = \begin{cases} \hat{i}_0 & k = 0 \\ \frac{\hat{i}_k}{\sqrt{2}} & k > 0 \end{cases} \quad (7.15)$$

berechnet werden. Zur Bestimmung der frequenzabhängigen Größe $R_L(f)$ können FEM-Simulationen oder auch analytische Ansätze gewählt werden. Die gute Übereinstimmung einer analytischen Lösung mit FEM-Simulationen wurde bei der entwickelten Drossel bereits erfolgreich in [119] nachgewiesen.

Zusätzlich verdeutlichen diese Arbeiten, dass aufgrund des großen Luftspalts der Einfluss des Wickelkopfs der Drossel sowohl bei den Verlusten als auch hinsichtlich der Induktivität nicht mehr vernachlässigt werden darf. Aufgrund der akzeptablen Berechnungsdauer (für eine FEM-Rechnung im zweistelligen Sekundenbereich) und der einfachen Handhabung wurde hier ein 2D-FEM-Viertelmodell der Drossel mit Automatisierungsskript zur Parametervariation verwendet. Zur Bestimmung der Wickelkopfeffekte wurde eine rotationssymmetrische Rechnung mit der Querschnittsgeometrie der Vierteldrossel ohne Ferritmaterial ausgeführt. Durch den Doppelluftspalt und den Wickelkopf tritt beim vorgeschlagenen Design ein erhebliches unerwünschtes Streufeld außerhalb der Drosselgeometrie auf. Eine Abschirmung der Wechselstreufeldanteile kann durch ein Drosselgehäuse aus Aluminium erreicht werden, welches im Modell ebenfalls aufgebaut ist. Abb. 7.4 und Abb. 7.3 zeigen die Feldbilder der magnetischen Induktion bei einer Beispielrechnung mit 75 A Spulenstrom bei 60 kHz Schaltfrequenz und Litzwicklung.

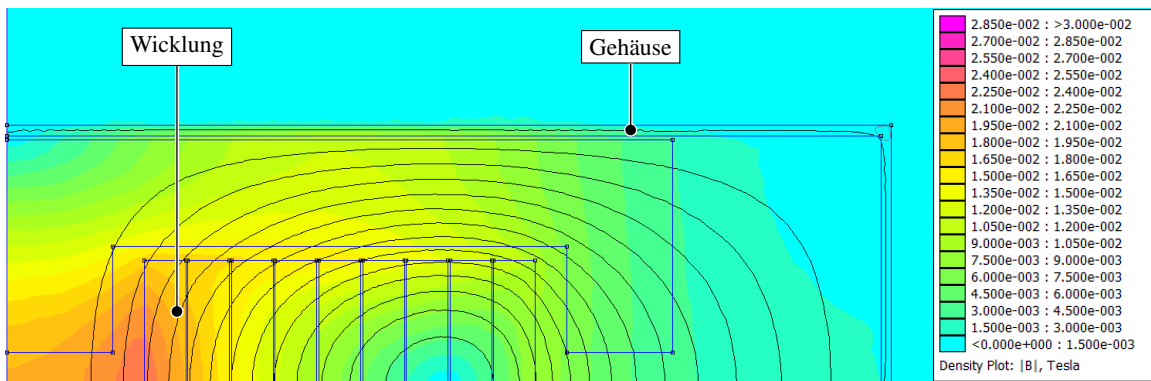


Abbildung 7.4: Induktionsverteilung beim FEM-Viertelmodell des Wicklungskopfs

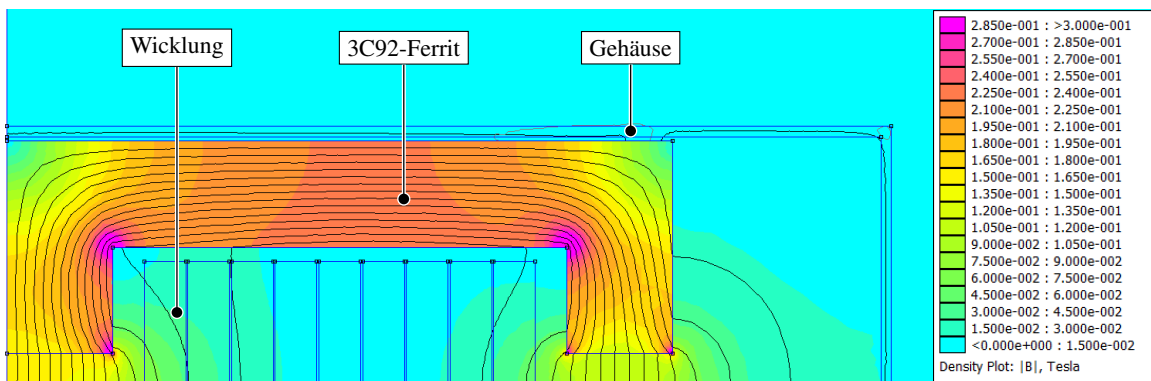


Abbildung 7.5: Induktionsverteilung beim FEM-Viertelmodell des Drosselkerns

Gegenüber der Grobdimensionierung im vorangestellten Teil dieses Abschnitts wurde bei den FEM-Parameterstudien der Kernabstand auf 3,2 mm vergrößert um die Zielinduktivität von 34 μH zu erreichen. Für die Berechnung der Kernverluste bei sinusförmiger Aussteuerung der Induktion B_c kann die häufig und traditionell verwendete Steinmetz Gleichung

$$P'_{c,SE} = k f_1^\alpha \hat{B}_1^\beta \quad (7.16)$$

genutzt werden. Zur Charakterisierung eines Materials für eine Betriebstemperatur und reiner Wechselfeldanregung reichen die drei Parameter k , α und β aus. Durch die Arbeiten in [120], [121], [122] und [111] wurden auf Basis dieser Steinmetz Parameter die GSE⁴⁾, iGSE⁵⁾, i2GSE⁶⁾ und ISE⁷⁾ abgeleitet.

⁴⁾Generalized Steinmetz Equation

⁵⁾improved Generalized Steinmetz Equation

⁶⁾improved improved Generalized Steinmetz Equation

⁷⁾improved Steinmetz Equation

Diese ermöglichen eine Verlustberechnung für nicht sinusförmige Induktionsverläufe, wie sie bei leistungselektronischen Anwendungen vorwiegend auftreten. Für die im vorliegenden Fall auftretenden Betriebszustände ist die Verlustberechnung mit der iGSE

$$P'_{c,iGSE} = f_s \int_{\tau}^{\tau + \frac{1}{f_s}} k_i \left| \frac{dB_c}{d\tau} \right|^\alpha \Delta B_c^{\beta - \alpha} d\tau \quad \text{mit} \quad k_i = \frac{k}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos \gamma|^\alpha 2^{\beta-\alpha} d\gamma} \quad (7.17)$$

ausreichend, da die i2GSE und die ISE nur bei geringen Aussteuergraden kleiner 20 % zur Verbesserung der Abschätzungen führen.

Des Weiteren ist nach [123] bekannt, dass der Gleichanteil der Induktion durch eine Korrektur der Steinmetz-Parameter berücksichtigt werden kann. Im Folgenden wird dieser Effekt jedoch nicht berücksichtigt, da im Rahmen dieser Arbeit keine Korrekturfaktoren für das 3C92-Ferritmaterial ermittelt werden konnten. Die Berechnung des iGSE-Integrals aus Gl. (7.17) kann vereinfachend mit

$$P'_{c,iGSE} = k_i f_s^\alpha \Delta B_c^\beta \left(\frac{1}{d_{T_1}^\alpha} + \frac{1}{d_{T_h}^\alpha} \right) \quad (7.18)$$

für Hochsetzsteller durchgeführt werden.

Um die inhomogene Verteilung der Induktion (vgl. Abb. 7.5) zu berücksichtigen kann das Ergebnis der FEM-Rechnung verwendet werden. Daher wird zur Ermittlung der Kernverluste aus dem Ergebnis einer FEM-Rechnung ohne Kernsättigung die Kerninduktion $B_{c,n}$ jedes Segments n berücksichtigt und auf B_{ref} normiert, sodass die inhomogene Feldverteilung durch einen Geometrieterm mit nach

$$P_c = k_i f_s^\alpha \Delta B_c^\beta \left(\frac{1}{d_{T_1}^\alpha} + \frac{1}{d_{T_h}^\alpha} \right) \sum_n \left(\frac{B_{c,n}}{B_{ref}} \right)^\beta \frac{V_{c,n}}{V_c} \quad (7.19)$$

beschrieben ist. Der Ausdruck $V_{c,n}$ beschreibt das Segmentvolumen welche in Relation zum Kernvolumen V_c gesetzt wird. Weiterhin ist anzumerken, dass dieses Vorgehen nicht für teil-gesättigte Arbeitspunkte des Kerns anwendbar ist.

Im Folgenden und in Abschn. 8.5 werden die Gleichungen Gl. (7.15) und Gl. (7.19) zu Grunde gelegt, um die Verluste in der Induktivität zu berechnen. An dieser Stelle sei erwähnt, dass die Steinmetzparameter k_i und β bei Ferriten stark temperaturabhängig sind, sodass bei 3C92 im Vergleich zum Ergebnis in Tab. 7.4 bei Raumtemperatur etwa die dreifachen Kernverluste entstehen.

Tabelle 7.4: Verluste in der Drossel bei $\vartheta_c = 110^\circ\text{C}$, $\vartheta_w = 115^\circ\text{C}$, $u_{zk} = 700\text{ V}$ und $P_L = 15\text{ kW}$

Kernverluste				Wicklungsverluste			
f_s in kHz	40	60	80	f_s in kHz	40	60	80
P_c in W bei $u_{bat} = 200\text{ V}$	24,8	12,0	7,2	P_w in W bei $u_{bat} = 200\text{ V}$	76,6	41,7	40,2
P_c in W bei $u_{bat} = 350\text{ V}$	34,4	16,6	10,0	P_w in W bei $u_{bat} = 350\text{ V}$	82,4	49,7	27,5

Die ausgeführte Wicklung besteht aus neun Windungen und drei parallelen Zweigen mit je $4,1\text{ mm} \times 2,1\text{ mm}$ Profillitze d.h. 3p 160 Strands mit je einem Durchmesser von $200\text{ }\mu\text{m}$. Neben dem Foto der Drossel in Abb. 7.6 sind deren geometrischen Abmessungen dargestellt.

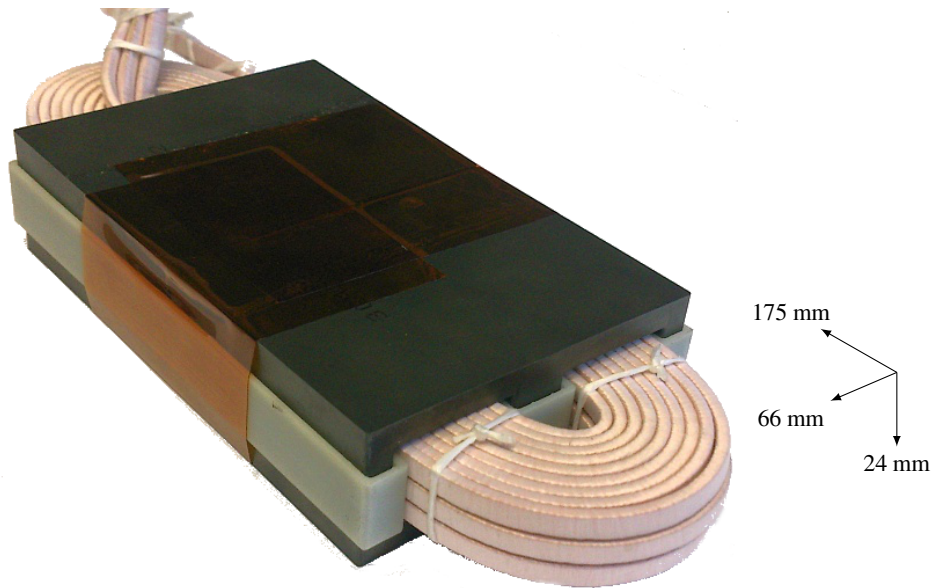


Abbildung 7.6: Speicherdrossel mit 3p 160 × 200 µm Profil-Litzwicklung

Der Abstand bzw. Luftspalt der Kerne wird durch drei 3,2 mm dicke Abstandshalter fixiert. Das in der Fahrzeuganwendung erforderliche Aluminiumgehäuse sowie der dort übliche Verguss mit Epoxidharz wurden für die Funktionsüberprüfung im Labormuster nicht realisiert, sind jedoch zum Erzeugen einer Vergleichsbasis hinsichtlich der Verlustberechnung und Modellierung in der thermischen Belastungsrechnung angenommen.

Insgesamt ist vor allem die Vorausberechnung der Kernverluste für das vorliegende Design als kritisch anzusehen. Die Kernverluste hängen bei Ferritmaterial stark von der Temperatur ab was bekannt und durch eine Korrektur des Steinmetzparameters k berücksichtigt wird. Allerdings wurde der verluststeigernde Effekt des Magnetisierungsgleichanteils im Rahmen dieser Arbeit nicht berücksichtigt, was nach [123], ausgehend von dem dort untersuchten N87-Ferrit, zu Unsicherheiten von über 300 % führen kann.

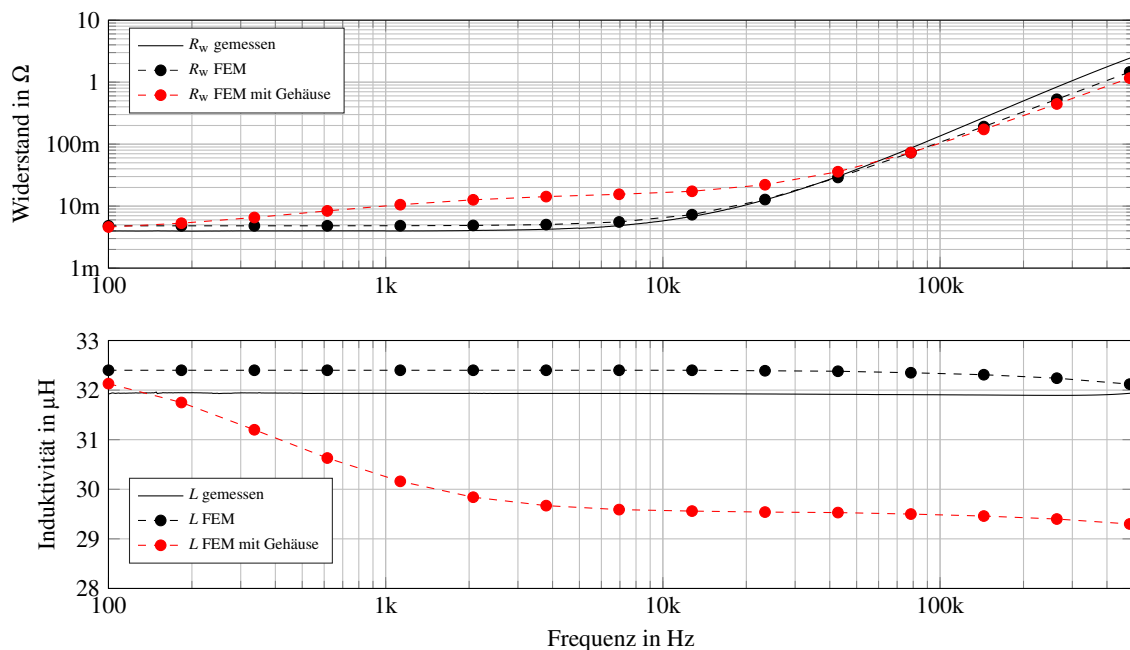


Abbildung 7.7: Impedanzmessung der Speicherdrosseln

Die Abb. 7.7 stellt gemessene und berechnete Verläufe des frequenzabhängigen Wicklungswiderstands $R_w(f)$ und der Induktivität L dar. Der Frequenzgang wurde mit einem Präzisionsimpedanzmessgerät⁸⁾ bei geringen Spannungszeitflächen und Strömen im Milliampere-Bereich aufgezeichnet, sodass Kernverluste nur einen vernachlässigbaren Einfluss auf die Messergebnisse haben. Die FEM-Berechnungsergebnisse sind jeweils für eine Drossel mit und ohne Gehäuse aufgetragen. Eine gute Übereinstimmung der Berechnungs- und Messergebnisse ohne Gehäuse kann festgestellt werden. Zusätzliche Verluste entstehen durch Wirbelströme vor allem im Frequenzintervall [250 Hz, 25 kHz], welche bei der Abschirmung des Streufeldes im Gehäuse auftreten. Aus dem Frequenzgang der Induktivität wird erkenntlich, dass die Drossel etwa eine 10 % geringere Feldenergie aufweist, wenn das Streufeld durch ein Gehäuse abgeschirmt wird.

Das elektromagnetische Design ist abschließend thermisch zu überprüfen, um einen Vergleich zu anderen Komponenten aus bestehenden Systeme zu rechtfertigen. Dabei wurde vereinfachend angenommen, dass die Verluste homogen verteilt in der Wicklung und im Kern auftreten und über den Wickelkopf der Drossel keine Wärme abgegeben werden kann, sodass eine 2D-FEM-Rechnung mit dem bereits vorgestellten Modell erfolgen kann.

Die Tab. 7.5 fasst die erforderlichen Modell-Parameter und -Eingangsgrößen zusammen, mit denen die Temperaturverteilung in Abb. 7.8 per 2D-FEM-Analyse ermittelt wurde.

Tabelle 7.5: Angenommene Stoffeigenschaften zur thermischen FEM-Analyse des Drosseldesigns

Material	Epoxidharz	Ferrit	Aluminium	Litzwicklung
Dichte in $\frac{\text{kg}}{\text{dm}^3}$	2,1	4,8	2,7	$\approx 7,0$
spez. thermische Kapazität $\frac{\text{J}}{\text{kgK}}$	≈ 1000	700	897	385
thermische Leitfähigkeit in $\frac{\text{W}}{\text{mK}}$	1,3	3,5	235	≈ 5

Aufgrund des in [123] beim N87 Ferrit dokumentierten signifikanten Einflusses des Gleichanteils auf die Kernverluste P_c wird für die berechneten Verluste in Tab. 7.4 ein Sicherheitsfaktor von 2,5 aufgeschlagen. Der bei der thermischen Berechnung zugrunde gelegte Arbeitspunkt bei 105 °C Gehäusetemperatur, ca. 110 °C Ferrittemperatur, ca. 115 °C Wicklungstemperatur, einer Schaltfrequenz von 60 kHz und einem Leistungsdurchsatz von 15 kW je Drossel, einer Batteriespannung von 200 V und einer Zwischenkreisspannung von 700 V erzeugt insgesamt 75 W Verluste. Davon entfallen 28 W auf Wicklungsgleichstromverluste, 17 W auf Wechselstromverluste und 30 W (12 W berechnet) auf Kernverluste.

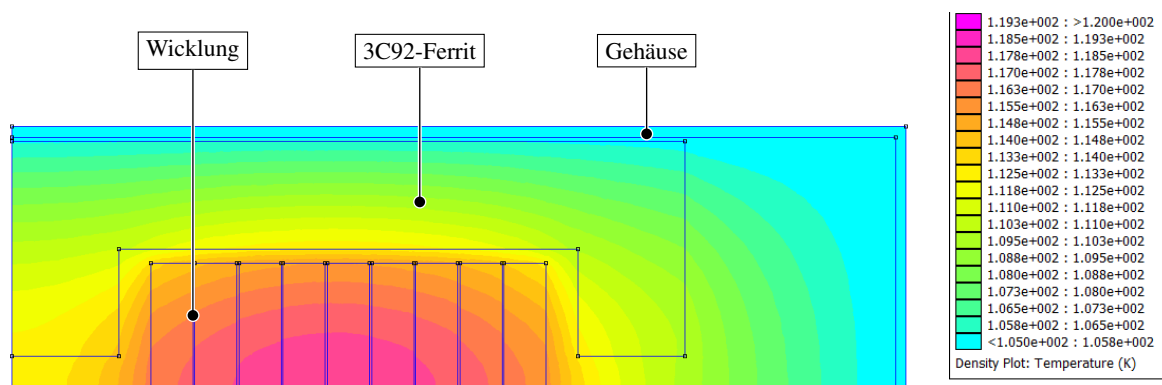


Abbildung 7.8: Temperaturverteilung beim FEM-Viertelmodell als Ergebnis der thermischen Analyse

⁸⁾ gemessen mit E4980A Precision LCR Meter

Zur Überprüfung des elektromagnetischen Drosseldesigns hinsichtlich der maximalen Kernaussteuerung wurde ein Pulsstromexperiment durchgeführt. Aus dem gemessenen Signalverlauf in Abb. 7.9 kann bei 25 °C ein Sättigungsstrom i_{sat} von 150 A abgelesen werden. Die Induktivität der Drossel L_{sat} beträgt im gesättigten Zustand ohne Gehäuse noch 10,7 μH . Im Nennbetriebsbereich wird durch das Pulsstromexperiment eine Induktivität von 31,5 μH gemessen, wodurch das Ergebnis des Impedanzmessgeräts bestätigt wird.

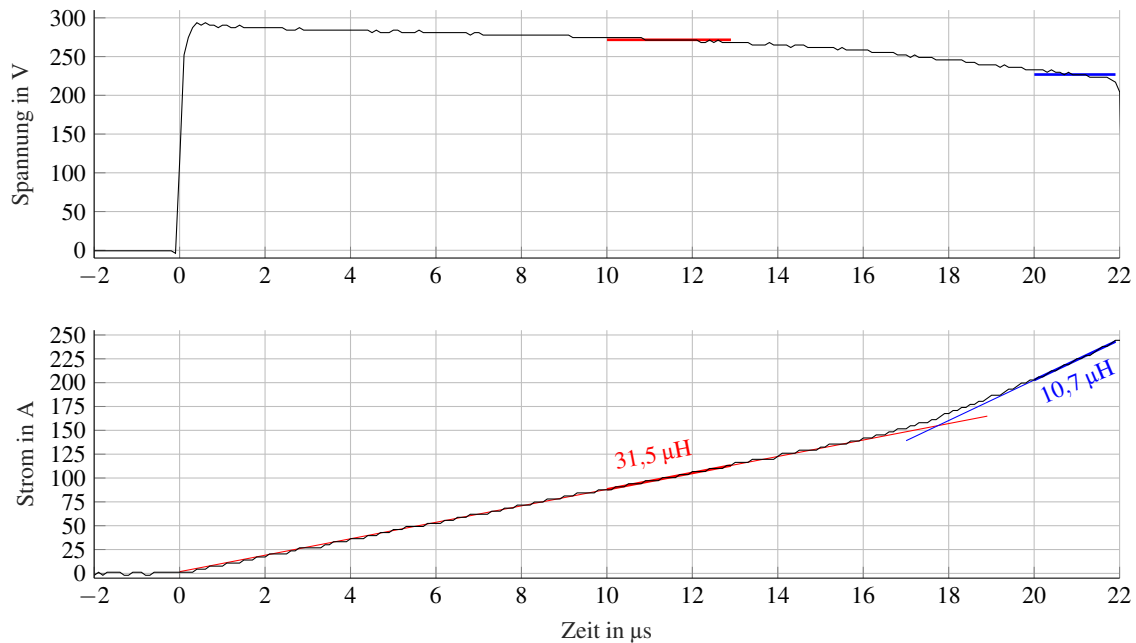


Abbildung 7.9: Pulsstromversuch zur Ermittlung des Sättigungsstroms der Drossel

Zusammengefasst wurden aktuelle Methoden zur Vorausberechnung der Kernverluste als auch der Wicklungsverluste angewendet, um eine thermische Überprüfung des Designs durchzuführen. Die aufgebaute Drossel zeigt aufgrund des gewählten Designs mit sehr großem Luftspalt und der gewählten E-Kernform ein signifikantes Streufeld, welches durch ein Gehäuse abgeschirmt werden kann. Insgesamt ist das vorliegende Design daher als praktikable suboptimale Lösung anzusehen.

In der aktuellen Literatur finden sich diverse Ansätze wie z.B. die Einbringung verteilter Luftspalte [112], oder die modellbasierte analytisch-numerische a priori Optimierung [124] als auch die thermische Optimierung [112], welche ein verbessertes Design magnetischer Bauelemente für hochfrequent schaltende Wandler ermöglichen, im Rahmen dieser Arbeit jedoch nicht angewendet wurden. Entsprechend der Ausführungen in diesem Abschnitt sind Ergebnisse aus Parameterstudien und Untersuchungen beim Design berücksichtigt worden, was zum Aufbau einer kompakten wenngleich nicht optimierten Drossel für den Hochsetzsteller des Labormusters geführt hat.

Fazit

In diesem Abschnitt wurden zunächst die verfügbaren Kondensatorstechnologien bezüglich technologieinhärenter Eigenschaften anhand von Literaturquellen verglichen. Anschließend wurde das Zwischenkreisvolumen für unterschiedliche Kondensatoren am Beispiel des Labormusters untersucht. Dabei konnte der positive Einfluss der effektivstromreduzierenden Topologien und Steuerverfahren aus Abschn. 3.2 herausgestellt werden. Des Weiteren wurde festgestellt, dass das Potenzial zur Volumenreduktion beim Zwischenkreis im Zusammenhang mit den durch die WBG-Halbleiter erreichbaren hohen Schaltfrequenzen und der vorliegenden Anwendung nur bei der Verwendung von Keramikkondensatoren ausgenutzt werden kann.

Des Weiteren wurden aktuelle Methoden zur Vorausberechnung der Kernverluste als auch der Wicklungsverluste angewendet, um eine thermische Überprüfung des Designs durchzuführen. Die aufgebaute Drossel zeigt aufgrund des gewählten Designs mit sehr großem Luftspalt und der gewählten E-Kernform ein signifikantes Streufeld, welches durch ein Gehäuse abgeschirmt werden kann.

In der aktuellen Literatur finden sich diverse Ansätze wie z.B. die Einbringung verteilter Luftspalte [112], oder die modellbasierte analytisch-numerische a priori Optimierung [124] als auch die thermische Optimierung [112], welche ein verbessertes Design magnetischer Bauelemente für hochfrequent schaltende Wandler ermöglichen, im Rahmen dieser Arbeit jedoch nicht angewendet wurden. Entsprechend der Ausführungen in diesem Abschnitt sind Ergebnisse aus Parameterstudien und Untersuchungen beim Design berücksichtigt worden, was zum Aufbau einer kompakten wenngleich nicht optimierten Drossel für den Hochsetzsteller des Labormusters geführt hat.

8 Verifikation des SiC-Hochsetzsteller-Wechselrichter-Systems

Zum praktischen Nachweis der postulierten Leistungsfähigkeit des Wandlersystems wurde ein Labormuster aufgebaut. Um die elektrischen Systemeigenschaften nachzuweisen zu können, muss eine Steuerperipherie mit Messgrößenerfassung entworfen werden, welche die Logiksignale zur Ansteuerung der sieben Halbbrücken erzeugt. Im Abschn. 8.1 dieses Kapitels wird auf das Mess- und Steuerungssystem des Wandlersystems eingegangen. Nachfolgend werden in Abschn. 8.4 und Abschn. 8.5 die Messergebnisse, welche mit dem Labormuster erreicht wurden, präsentiert und diskutiert und abschließend in Abschn. 8.7 ein Vergleich zu einer industriell entwickelten Leistungselektronik ähnlicher Topologie mit Si-IGBTs geführt.

8.1 Messgrößenerfassung und Peripherie

Zum Betrieb des Labormusters an einer Gleichspannungsquelle und einer elektrischen Maschine ist eine Steuerhardware erforderliche, welche folgende Signale erzeugen bzw. verarbeiten kann:

- 14 PWM Signale zur Ansteuerung der Highside- und Lowside-Transistoren,
- Logiksignale zur Erfassung von Fehlerzuständen und als Hardwarefreigabe,
- neun ADC-Kanäle zur Aufnahme der strom- und spannungsproportionalen Messgrößen,
- sieben Kanäle zur Temperatúrauswertung der Modul-NTCs,
- ein Resolverinterface zur Erregung und Auswertung und
- mindestens ein Kommunikationsinterface zur Prozesssteuerung

Anhand dieser Anforderungsliste konnte die C28343 Controlcard mit Signalprozessor¹⁾ als geeignete Systembasis identifiziert werden. Abb. 8.1 stellt die Platinen: Controlcard, Steuerplatine, Treiberplatinen und Leistungsplatine, aus denen das Labormuster aufgebaut ist, schematisch dar. Maßgeblich für die Steuerung des Systems erforderliche Hardwarebausteine oder Baugruppen auf den Platinen sind herausgestellt.

Auf der Controlcard sind zwei ICs mit je zwei 12-Bit Analog-zu-Digital-Wandler²⁾ (ADCs). Jeder ADC kann zwei differenzielle oder drei Signale mit gleichem Bezugspotenzial per Multiplexer bei einer Abtastrate von 2 Werte/ μ s sequenziell wandeln. Somit können insgesamt 12 Messkanäle aufgenommen werden. Die Anbindung an den Signalprozessor erfolgt per Parallelinterface, wobei die ADCs über die XINTF-Schnittstelle direkt in einen gemeinsamen Speicherbereich schreiben. Zum einen werden die

¹⁾TMS320C28343

²⁾ADS7685

schnellen IC-ADCs verwendet um sieben stromproportionale Spannungen von den Hallsensoren³⁾ auf der Leistungsplatine zu erfassen. Zum anderen können spannungsproportionale Signale von fünf auf der Leistungsplatine verbauten Differenzspannungsteilern mit Verstärker⁴⁾ eingelesen werden.

Zusätzlich ist ein Pegelwandler⁵⁾ auf der Controlcard untergebracht welcher die RS232-Kommunikation mit dem seriellen Interface des Signalprozessors ermöglicht. Die Controlcard wird per DiMM-100-Sockel mit der Steuerplatine verbunden.

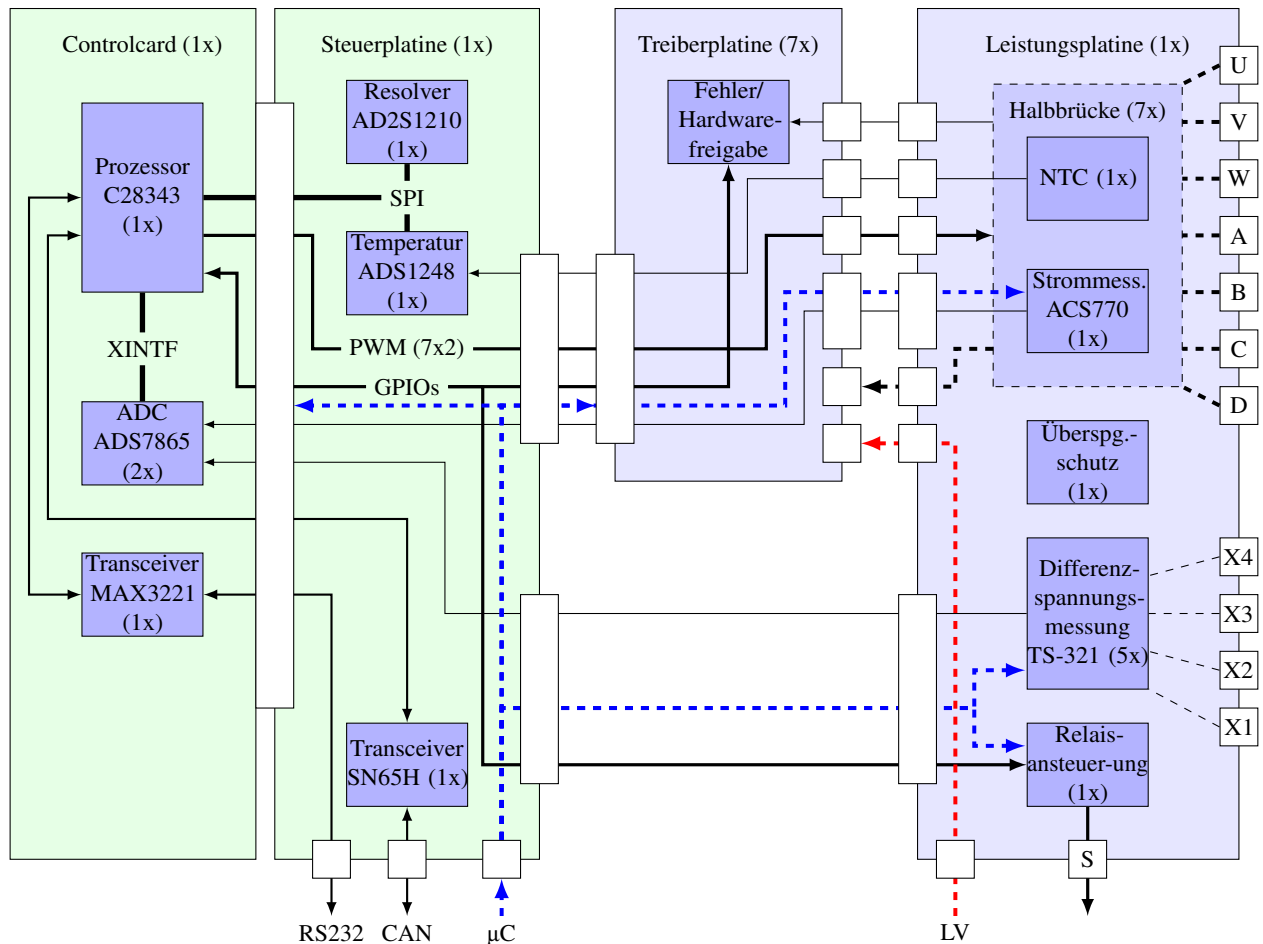


Abbildung 8.1: Struktureller Aufbau des Labormusters

Die wesentliche Aufgabe der Steuerplatine ist die Versorgung und die Erweiterung der Peripherie der Controlcard, sowie die Bereitstellung elektromechanischer Schnittstellen. Als Spannungsversorgung sind zwei Schaltnetzteile mit geregelten Ausgangsspannungen von 5 V und 3,3 V verbaut, welche mit Eingangsspannungen im Bereich von 9 V bis 18 V arbeiten können. Per IC⁶⁾ und zwei Linearverstärkern kann ein Resolver mit 10 kHz Sinusströmen erregt und ausgewertet werden. Zur Erfassung der Temperaturen durch sieben Heißeiter wird ein zusätzlicher ADC⁷⁾ eingesetzt. Der ADC enthält zur Bestromung resistiver Temperatursensoren geregelte Präzisionsstromquellen und kann bis zu vier differenzielle oder sieben Signale mit gemeinsamen Bezugspotenzial einlesen.

³⁾ ACS770KCB-150B-PFF-T

⁴⁾ TS321

⁵⁾ MAX3221

⁶⁾ AD2S1210

⁷⁾ ADS1248

Sowohl der Resolver-IC als auch der ADC zur Heißeiterauswertung sind mit einem SPI-Bus an den Signalprozessor angebunden. Auf der Steuerplatine wird ein CAN-Transceiver⁸⁾ eingesetzt, um eine Kommunikation zwischen Prozessrechner und Signalprozessor zu ermöglichen. Die Steuerung des Systems erfolgt ausschließlich per CAN-Bus-Nachricht.

Die Treiberplatinen sind bereits in Abschn. 4 detaillierter beschrieben worden. Zur Ansteuerung einer Halbbrücke bzw. eines Treibers werden zwei PWM-Signale und ein Freigabesignal benötigt, wobei zusätzlich ein Fehlersignal zurückgegeben wird. Die PWM-Signale werden durch die Hardware-PWM-Module des Signalprozessors an den designierten Ausgängen generiert, während zur Freigabe und Fehlererfassung allgemein verwendbare Aus- und Eingänge benutzbar sind.

Die Leistungsplatine dient zur elektrischen Verbindung der sieben Halbbrücken mit dem gemeinsamen Zwischenkreis und den Hochstromanschlüssen. Wie bereits angedeutet, sind darauf zusätzlich Messwandler für die Ströme und Spannungen des Leistungsteils, die Endstufen und Pulsformungsnetzwerke der Gate-Treiber, eine Ansteuerschaltung für das Batterie-Relais und eine Überspannungsschutzschaltung integriert. Die Hochstrom-Hochspannungs-Verschienungen sind in den sechs Dickkupferinnenlagen (105 μm) der achtlagigen Platine geführt. Mechanisch erfüllt diese Platine die Aufgabe einer Montageplatte, sieben Treiberplatinen können über Pin-Buchse-Kontakte direkt auf die Leistungsplatine gesteckt werden und die Steuerplatine inklusive Controlcard wird mittels Distanzstiften montiert. Die elektrische Anbindung der Leistungsmodule erfolgt per Press-Fit-Kontakt. Der in Abschn. 6.4 beschriebene Kühlkörper dient schließlich als Montageoberfläche für die Leistungsmodule und die Leistungsplatine.

Das Foto in Abb. 8.2 zeigt das betriebsbereite Labormuster mit den gekennzeichneten Komponenten und Baugruppen.

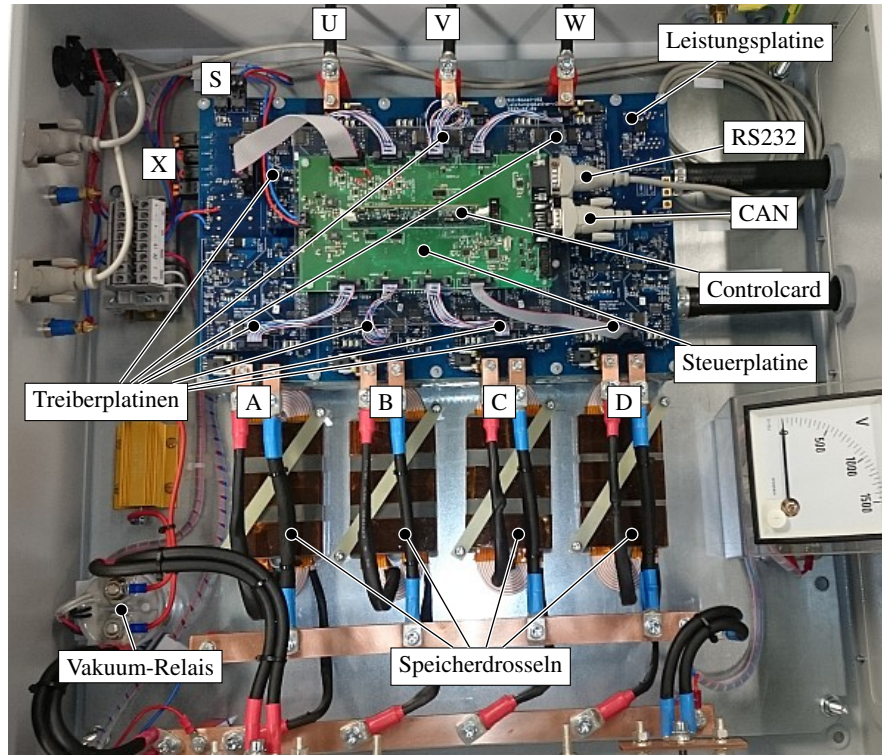


Abbildung 8.2: Foto des betriebsbereiten Labormusters

⁸⁾SN65H

8.2 Steuerung und Regelung

Zur Ansteuerung der Halbbrücken wurden sieben der neun Hardware-PWM-Module des Signalprozessors verwendet. Jedes dieser Hardwaremodule verfügt über einen individuell einstellbaren Zähler, welcher entweder im Dreieck oder Sägezahnmodus betrieben werden kann. Hier wurde für alle Zähler der Dreieck-Modus ausgewählt, damit beim Wechselrichter die zentrischen Pulse des Raumzeigermodulationsverfahrens erzeugt werden können. Beim Erreichen des Endstands erzeugt jeder Zähler einen Synchronisationsimpuls, welcher an den nachfolgenden Zähler weitergegeben werden kann. Detektiert ein Zähler einen Synchronisationsimpuls, wird unmittelbar dessen Startwert aus dem Phasen-Register in das Zählregister geladen. Somit ist es mit dem Prozessor möglich, den Phasenversatz zwischen den Zählern einzustellen. Jeder Zähler verfügt über zwei Vergleichsregister zur Einstellung der Pulsbreite. Erreicht der Zähler den Wert eines Vergleichsregisters, maximalen Zählerstand oder null, können die zwei PWM-Ausgänge des Hardwaremoduls unabhängig voneinander gesetzt, rückgesetzt oder im Zustand gewechselt werden. In der vorliegenden Applikation wird jedoch durch die Konfiguration und Verwendung eines zusätzlichen Hardware-Moduls aus den zwei unabhängigen PWM-Kanälen ein komplementärer PWM-Kanal mit Totzeit generiert. Ohne zusätzliche Maßnahmen ist durch diese Konfiguration mit komplementären PWM-Kanälen beim Hochsetzsteller nur der kontinuierliche Betrieb realisierbar.

Bei Zählerständen gleich Null, gleich des maximalen Zählerstands oder gleich eines Vergleichsregisterwerts können Interrupts ausgelöst und/oder die externen ADCs zur Konversion angeregt werden. Hinsichtlich der phasenverschoben laufenden Zähler des Hochsetzstellers gibt es mehrere denkbare Lösungsansätze für einen interruptgesteuerten Programmablauf zur Systemregelung, wovon hier zwei unterschiedliche implementiert und getestet wurden. Da die externen ADCs die Systemgrößen i_a , i_b , i_c , i_d , i_u , i_v , i_w , i_{zk} und u_{bat} jeweils paarweise als Dreiersequenz aufnehmen müssen, sind die exakten Abtastzeitpunkte einzelner Wertepaare zeitlich versetzt. Insgesamt sind etwa 1500 ns für die Konvertierung aller Werte erforderlich. Dies ist vor allem für die Strommessung des Hochsetzstellers problematisch, da aufgrund der hohen Stromwelligkeit von 200 % und mehr (siehe Abb. 8.5) eine direkte Messung der zur Regelung benötigten Mittelwerte nicht möglich ist. Der erste Ansatz zur Lösung dieser Problematik sieht vor, dass die Stromregelung jeder Phase des Hochsetzstellers synchron zum jeweiligen Zähler der Phase und die Regelung des Wechselrichters synchron zum Wechselrichterzähler berechnet wird. Bei diesem Ansatz kann, bezogen auf die jeweilig regelnde Hochsetzstellerphase, der Strommesswert durch zeitlichen Offset des Konvertierungsstarts in der Mitte des Spannungspulses aufgenommen werden. Somit wird deren Strommittelwert direkt gemessen. Nachteilig an dieser Methode ist, dass insgesamt fünf Regler Routinen berechnet werden, deren Zeitverhalten abgestimmt werden muss. Aufgrund der Berechnungsdauer konnte ein Regeleingriff hier nur mit $1/3$ der maximal getesteten Schaltfrequenz von 90 kHz erfolgen.

Beim zweiten Ansatz laufen alle Reglerberechnungen und die Messwertaufnahme in einer zum Wechselrichterzähler synchronen Interruptroutine. Dies ermöglicht einen schaltfrequenten Regeleingriff. Eine rechnerische Bestimmung der Strommittelwerte anhand der Systemgrößen u_{zk} , u_{bat} , L_n , $T_{n,l}$ und $T_{n,h}$ ist jedoch erforderlich. Zur Regelung des Hochsetzstellers wird eine klassische Kaskadenregelung mit innerer Strom- und äußerer Spannungsregelschleife sowie nicht linearer Vorsteuerung implementiert [125].

Zur Ablaufsteuerung des Laborversuchs wurde die Zustandsmaschine aus Abb. 8.3 implementiert. Die sechs Systemzustände „Init“ , „Config“ , „Ready“ , „Active“ , „Deenergise“ und „Error“ sind vorgesehen worden. Der Controller startet im Zustand „Init“ welcher die Hardwaremodule initialisiert, wie beispielsweise das Parallelspeicherinterface zur Kommunikation mit den externen ADCs. Anschließend werden notwendige Softwareeinstellungen im Zustand „Config“ vorgenommen. Verläuft diese Prozedur ohne Fehler und es wurde kein Bit des „Errorstate“-Registers gesetzt, wechselt der Controller in den Zustand „Ready“ und das Labormuster ist betriebsbereit.

Per CAN-Bus Nachricht kann nun der Betriebsmodus (Mode) zwischen gesteuertem Betrieb (Openloop) und geregelter Betrieb (Closedloop) ausgewählt und es können spezifische Betriebsparameter wie beispielsweise die Reglerverstärkung oder der Zwischenkreisspannungswert gesetzt werden. Die anderen Betriebsmodi „Idle“, „Synchpwm“, „Parameterise“, „Configure“ und „Duty“ dienen zur Fehlersuche und werden nicht näher betrachtet. Anschließend wird der Versuch per CAN Nachricht gestartet, woraufhin das System in den Zustand „Active“ wechselt. Zunächst wird in der Phase „Charge“ die Zwischenkreisspannung mit dem Hochsetzsteller bis auf den Sollwert aufgeladen. Nachfolgend wird während der Phase „Load“ der Leistungsfluss per Wechselrichter bei konstanter Drehspannungsfrequenz eingestellt. Erreicht das System schließlich einen stationären Zustand, wechselt die Phase auf „Steady“.

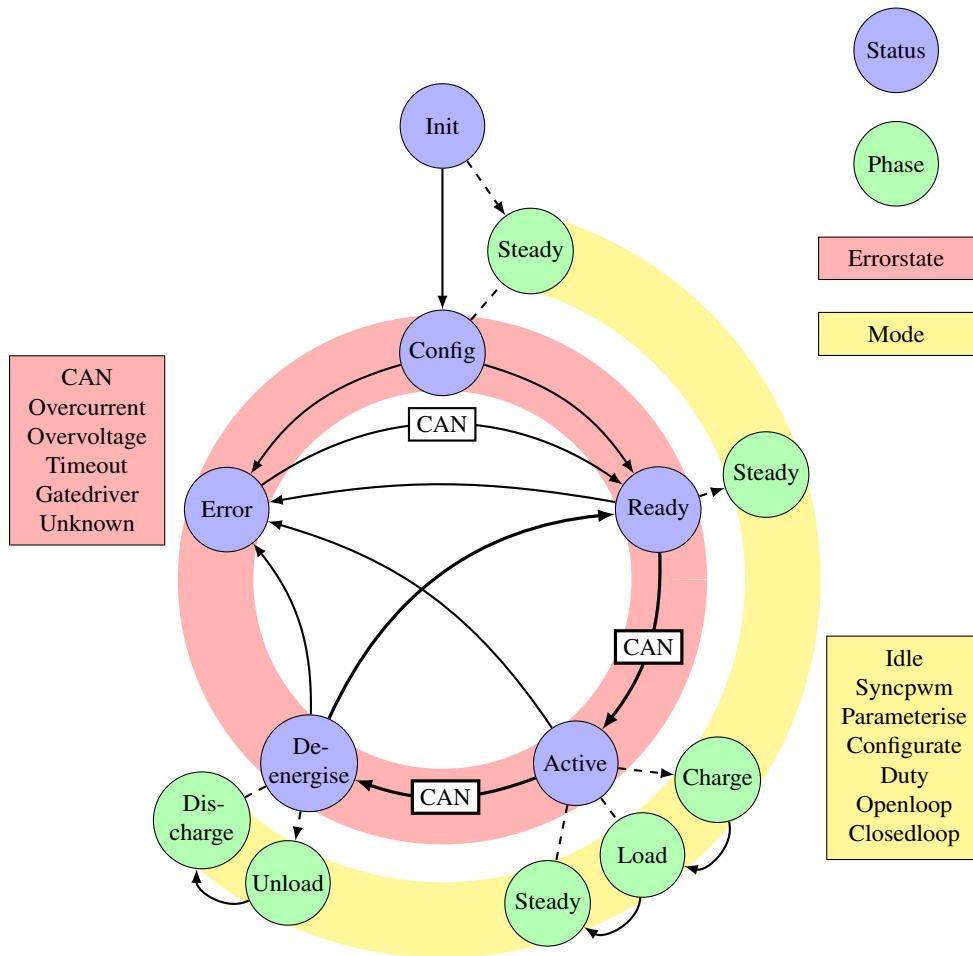


Abbildung 8.3: Zustandsmaschine zur Steuerung des Wandlersystems im Versuchsaufbau

Per CAN Nachricht oder nach Ablauf einer eingestellten Versuchsdauer wechselt der Systemzustand auf „De-energise“. Dabei wird die Phase „Unload“ zunächst zur Leistungsflussunterbrechung genutzt und anschließend der Zwischenkreis in der Phase „Discharge“ entladen. Stellt der Signalprozessor den lastfreien Betrieb bei entlademem Zwischenkreiskondensator fest, wechselt das System wieder in den Zustand „Ready“ und es kann ein neuer Versuch gestartet werden.

Bei fehlerbehaftetem Versuchsablauf wird das entsprechende Bit „CAN“, „Overcurrent“, „Overvoltage“, „Timeout“, „Gatedriver“ oder „Unknown“ zur Fehleridentifikation gesetzt. Nach dem Setzen des Bits wird unmittelbar mit dem nächsten Wechselrichtertakt in den Zustand „Error“ gewechselt und der sichere Betrieb hergestellt. Für den Hochsetzsteller-Wechselrichter ist das dauerhafte Einschalten aller Highside Transistoren und das dauerhafte Ausschalten aller Lowside Transistoren als sicherer Betrieb ausgewählt.

worden. Nachdem in den Fehlerzustand gewechselt wurde, muss der Fehler durch eine entsprechende CAN Nachricht quittiert werden, um das Wandlersystem wieder in den betriebsbereiten Zustand „Ready“ zu versetzen. Diese Steuerungsroutine ist für den Test des Labormusters an einer ohmsch-induktiven Last ausreichend. Zur Steuerung einer elektrischen Maschine sollte beim Wechselrichter mindestens eine Spannungs-Frequenz-Kennlinie oder eine feldorientierte Regelung implementiert werden.

8.3 Versuchsaufbau

Um einen Labornachweis der Systemgüte zu ermöglichen, wird der Versuchsaufbau gemäß der in Abb. 8.4 dargestellten elektrischen Schaltung aufgebaut. Das Wandlersystem wird gesteuert an einer dreiphasigen ohmsch-induktiven Last betrieben, da zum Zeitpunkt der Inbetriebnahme keine Elektromaschine mit geeignetem Maschinenprüfstand verfügbar.

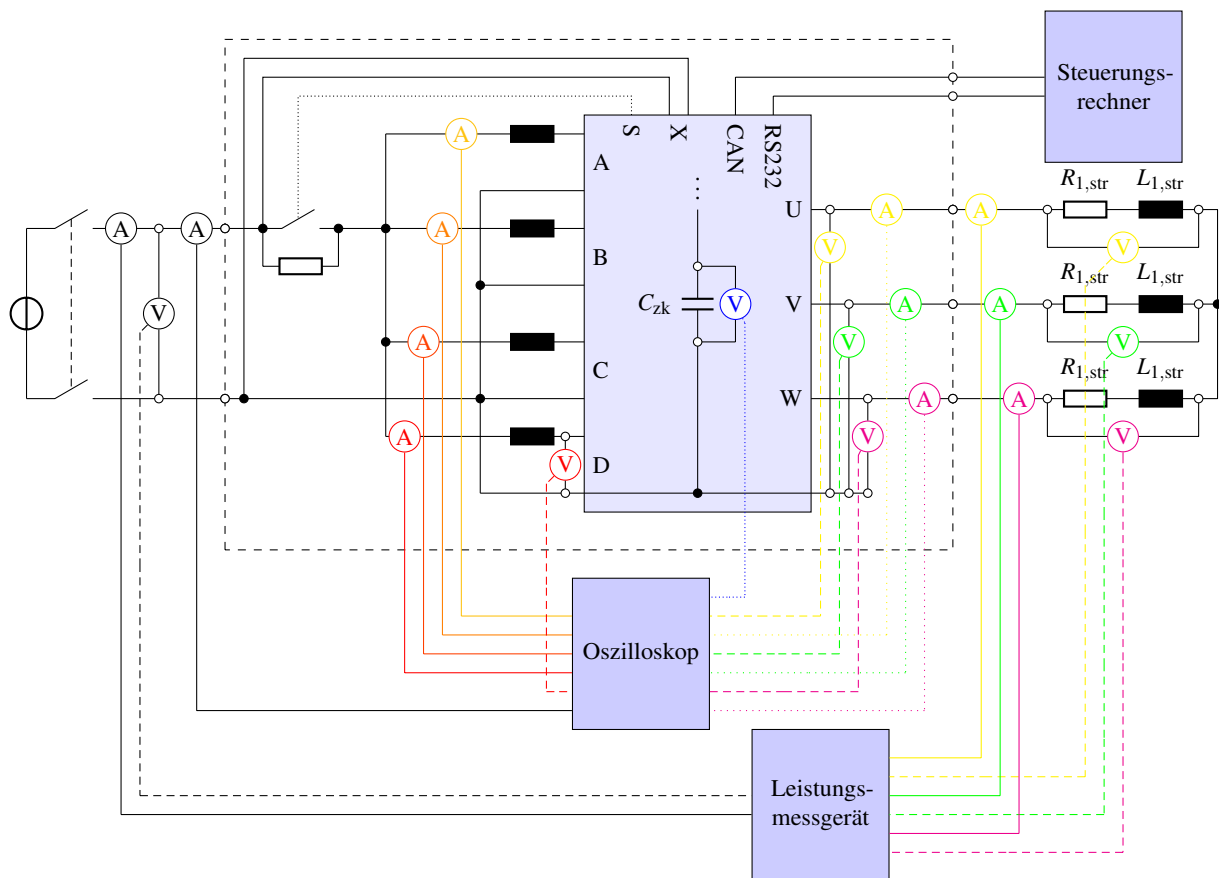


Abbildung 8.4: Schaltplanskizze des Versuchsaufbaus

Für die Messwertaufnahme wurde das Achtkanaloszilloskop HDO8108 und das Vierkanalleistungsmessgerät LMG500 eingesetzt. Beim Oszilloskop wurden N2781B und N2780B Strommesswandler und TCP0150 und HVD3106 Differenzspannungsmesswandler verwendet. Das Leistungsmessgerät wurde mit vier PCS600 Präzisionsmesswandlern zur Strommesswertaufnahme erweitert während für die Spannungswandlung die interne Differenzspannungsmessung verwendet werden konnte.

In Abschn. A.10 im Anhang dieser Arbeit sind Fotos des eingerichteten Versuchsaufbaus angehängt.

Zur Regleranalyse wurde im Signalprozessor eine Routine zur Messwertsequenzaufnahme implementiert, um eine Regleranalyse durchführen zu können. Der Controller arbeitet dabei ähnlich wie ein Speicheroszilloskop und nutzt den verfügbaren Speicher, um eine Messwertsequenz mit einer in Vielfachen der Taktperiode einstellbaren Abtastzeit zu speichern. Nach Beendigung des Versuchsprogramms kann per CAN Nachricht die Datenübertragung zum Steuerungsrechner per RS232-Schnittstelle initiiert werden. Mit einer MATLAB-Routine werden diese Daten dann von der seriellen Schnittstelle ausgelesen und verarbeitet. In den folgenden Abschn. 8.4 und Abschn. 8.5 werden die im beschriebenen Laborversuch aufgezeichneten Messergebnisse analysiert.

8.4 Dynamisches Betriebsverhalten

Als Steuerverfahren für den SiC-Hochsetzsteller wurde Interleaving mit einer, zwei, drei und vier-Phasen (INT1,INT2,INT3 und INT4) bei kontinuierlichem Betrieb implementiert. Abb. 8.5 stellt die Zeitverläufe der Hochsetzsteller-Phasenströme bei vierphasigem Interleaving sowie die Ausgangsspannungen der Hochsetzstellerphase D als auch die der Wechselrichterphasen U, V und W dar. Beim ausgewählten Betriebspunkt in Abb. 8.5 bei 330 V Eingangsspannung, 600 V Zwischenkreisspannung, einer abgegebenen Leistung von 57 kW und einer Schaltfrequenz von 60 kHz wird der Strom beim kommutieren gerade Null, was einem diskontinuierlichen Betrieb an der Lückgrenze entspricht.

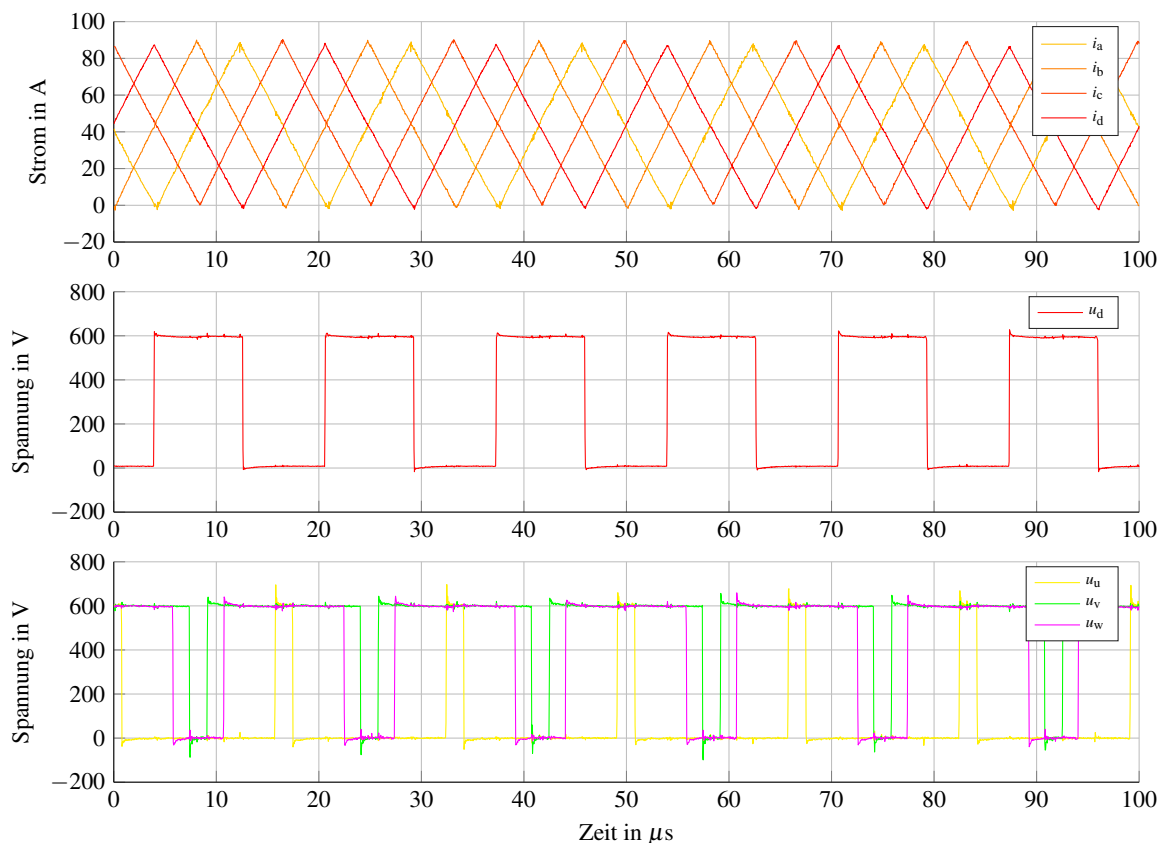


Abbildung 8.5: Gemessene Zeitverläufe⁹⁾ beim gesteuerten System mit 57 kW Ausgangsleistung, 330 V Eingangsspannung und 60 kHz Schaltfrequenz

Obwohl das Wandlersystem nur gesteuert wird und im kontinuierlichen Betrieb arbeitet, sind die Phasenströme der Hochsetzsteller sowohl statisch als auch dynamisch nahezu homogen verteilt. Dies ist insofern nicht selbstverständlich, da nach [35] für einen unregelmäßigen Parallelbetrieb eine inhomogene Verteilung

⁹⁾Gemessen mit HDO8108, 1x TCP0150 (i_a), 3x N2781B (i_b, i_c, i_d), 1x HVD3106 (u_d) und 3x TT-SI 9110 (u_u, u_v, u_w)

aufgrund von Parameterunterschieden der Phasen zu erwarten wäre. Selbst nach Auslenkungen in einen inhomogenen Verteilungszustand kehrt das Wandlersystem durch die passive Eigendynamik wieder in akzeptabler Zeit zum homogenen Verteilungszustand zurück. Die Zeitverläufe der Hochsetzsteller-Phasenströme sowie das beschriebene Verhalten bei der Stromaufteilung legen nahe, dass beim Labormuster ein sehr symmetrischer Aufbau der Hochsetzstellerphasen hinsichtlich der Ansteuerung und der Komponenten erreicht wurde. Die hohe Stromwelligkeit unterstützt zudem die Stromsymmetrierung [126], weswegen die Hochsetzstellerphasen auch ohne eine aktive Phasenstromregelung aus [127] oder andere sensorlose Steuerungskonzepte zur Stromsymmetrierung aus [128] mit homogener Stromverteilung betrieben werden können.

Der Mechanismus der Stromsymmetrierung kann durch das Ausschaltverhalten der unipolaren Transistoren erklärt werden, da hier die Steilheit der Spannungsflanke mit dem Kommutierungsstrom und daher dem Strommittelwert zunimmt, solange die maximale Flankensteilheit nicht erreicht wurde (siehe Abb. 5.16). Wird durch die Stromwelligkeit ein Vorzeichenwechsel hervorgerufen wird dieser Symmetrierungsmechanismus zusätzlich verstärkt, da nun alle Schalttransienten Ausschaltvorgänge sind. Somit schaltet eine Phase mit höherem Strommittelwert positiven Strom schneller ab und negativen Strom langsamer ab als eine Phase mit geringem Strommittelwert. Insgesamt ergibt sich aus einem höherem Strommittelwert eine Verringerung der positiven Spannungszeitfläche der Induktivität was zur Stromsymmetrierung führt.

In Abb. 8.6 sind die Zeitsignale beim Kurzzeitbetrieb des Labormusters zusammengefasst. Der stationäre Betriebspunkt wird für die Dauer von 25 ms bei einer abgegebenen Leistung von 65 kW mit 305 V Eingangsspannung und 620 V Zwischenkreisspannung gehalten. Die Schaltfrequenz des Systems beträgt bei der Messung 40 kHz und die Wechselrichterfrequenz Ausgangsfrequenz 20 Hz.

Des Weiteren ist das dynamische Verhalten charakteristischer Größen während des Versuchsablaufs mit den Betriebsarten „Charge“, „Load“, „Steady“, „Unload“ und „Discharge“ erkennbar. Der Mittelwert der jeweiligen gemessenen Größe ist als durchgezogene Linie dargestellt, wohingegen den in einer Schaltperiode aufgenommenen maximalen und minimalen Wert ein schattierter Bereich kennzeichnet.

Der Hochsetzsteller-Phasenstrom i_d zeigt beim Aufladen der Zwischenkreisspannung einen Anstieg der Stromwelligkeit Δi_d auf ca. 150 A. In dieser Betriebsart wird der Effekt der phasenverschobenen Ansteuerung mit dem INT4-Steuerverfahren bei der Betrachtung der Stromwelligkeit des Eingangsstroms Δi_{bat} deutlich. Während des Aufladens der Zwischenkreisspannung auf 650 V durchlaufen die Tastverhältnisse der Highside Transistoren $d_{T,h}$ des Hochsetzstellers den Wertebereich von 1 bis 0,51. Entsprechend [129] durchläuft die Welligkeit des Eingangsstromes dabei zwei Maxima von $\Delta i_L/4$ bei $d_{T,h} = \{7/8, 5/8\}$, ein Minimum von 0 A bei $d_{T,h} = 6/8$ und erreicht einen Endwert von ca. 6 A bei $d_{T,h} = 0,51$.

Anschließend wird durch Vergrößern des Wechselrichtermodulationsindex von 0 auf 1,05 der Scheinleistungsfluss zur ohmsch-induktiven Last auf 65 kVA und damit der Wechselrichter-Phasenstrom auf 93,1 A-Effektiv- bzw. 140 A-Amplitudenwert gesteigert.

Der nun erreichte stationäre Betrieb „Steady“ kann gehalten werden, bis nach einer voreingestellten Zeit oder per CAN Befehl das Wandlersystem wieder heruntergefahren wird. Das Herunterfahren läuft in invertierter Zeitfolge analog zum Startvorgang mit den Betriebsarten „Unload“ und „Discharge“ ab.

¹⁰⁾ Gemessen mit HDO8108, 4x N2781B (i_d, i_v, i_u, i_w), 1x N2780B (u_d) und 3x TT-SI 9110 (u_u, u_v, u_w)

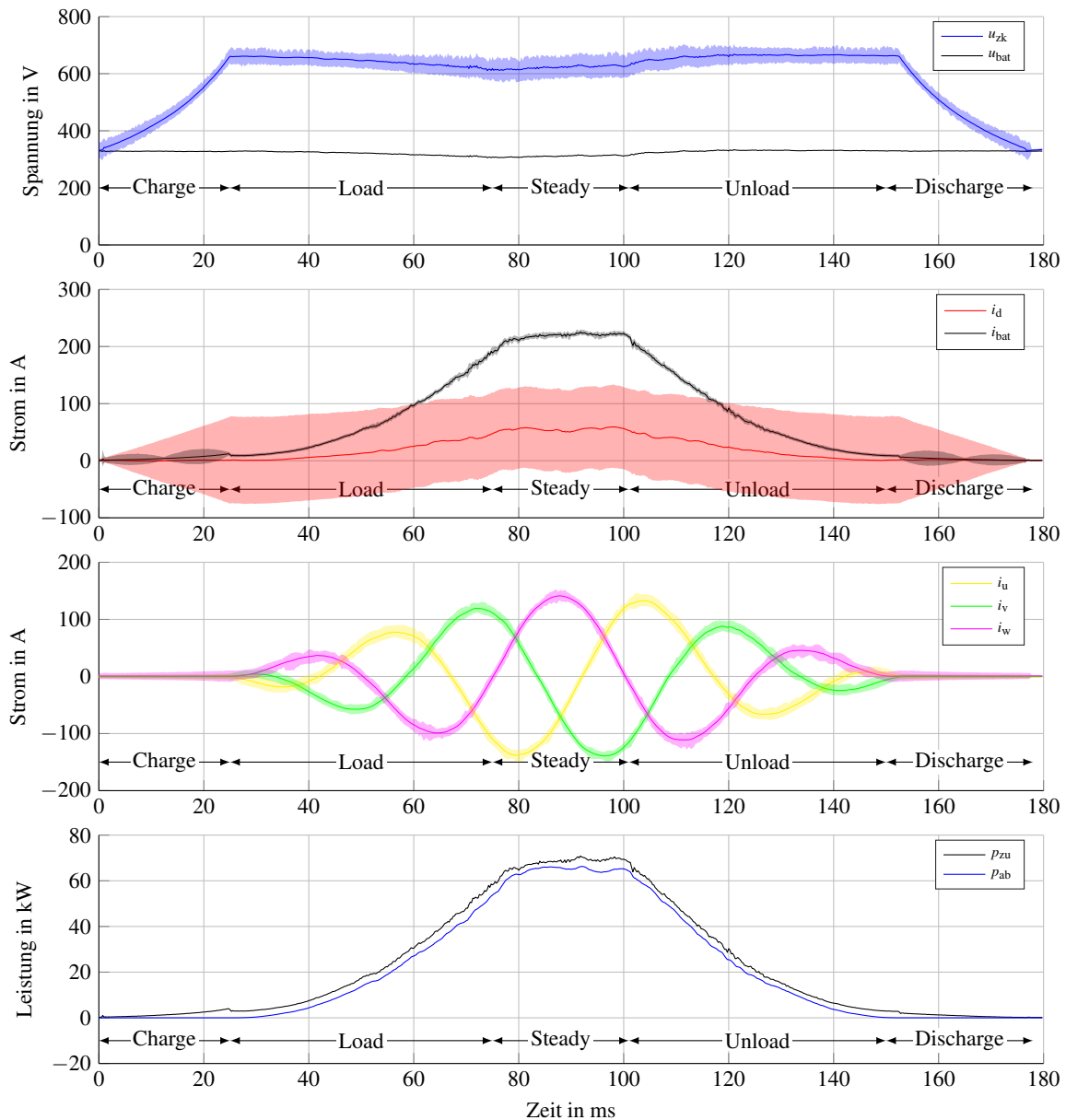


Abbildung 8.6: Gemessene Zeitverläufe¹⁰⁾ beim gesteuerten System mit 65 kW Ausgangsleistung und 40 kHz Schaltfrequenz

8.5 Wirkungsgradmessung

Zur Bestimmung des Systemwirkungsgrads wird ein 4-Kanal Leistungsmessgerät verwendet. Das Leistungsmessgerät erfasst die Messkanaldaten mit einer Abtastrate von $3 \frac{\text{Werte}}{\mu\text{s}}$ und errechnet aus der Multiplikation von Messkanalstrom und Messkanalspannung eine Kanalleistung. Die Mittelwerte dieser Leistung werden einmal je Wechselrichterperiode, d.h. für die vorliegende Messung in Abschn. 8.5 alle 50 ms abgespeichert. Zur elektrischen Erfassung des Wechselrichterwirkungsgrads im erwarteten Bereich von $\geq 98\%$ ist eine sehr präzise elektrische Messung erforderlich. Mit dem eingesetzten Messequipment besteht bei den aufgenommenen Wirkungsgraddaten eine maximale absolute Unsicherheit von $\pm 0,4\%$.

In Abb. 8.7 sind der gemessene Wirkungsgrad η , die Verlustleistung sowie die Eingangsspannung und Zwischenkreisspannung des Labormusters über der abgegebenen Wechselrichterleistung als Datenpunkte aufgetragen. Zudem wurde der Wirkungsgrad, die Verlustleistung und die Sperrschichttemperaturen mit den entwickelten Methoden berechnet und als Linie dargestellt.

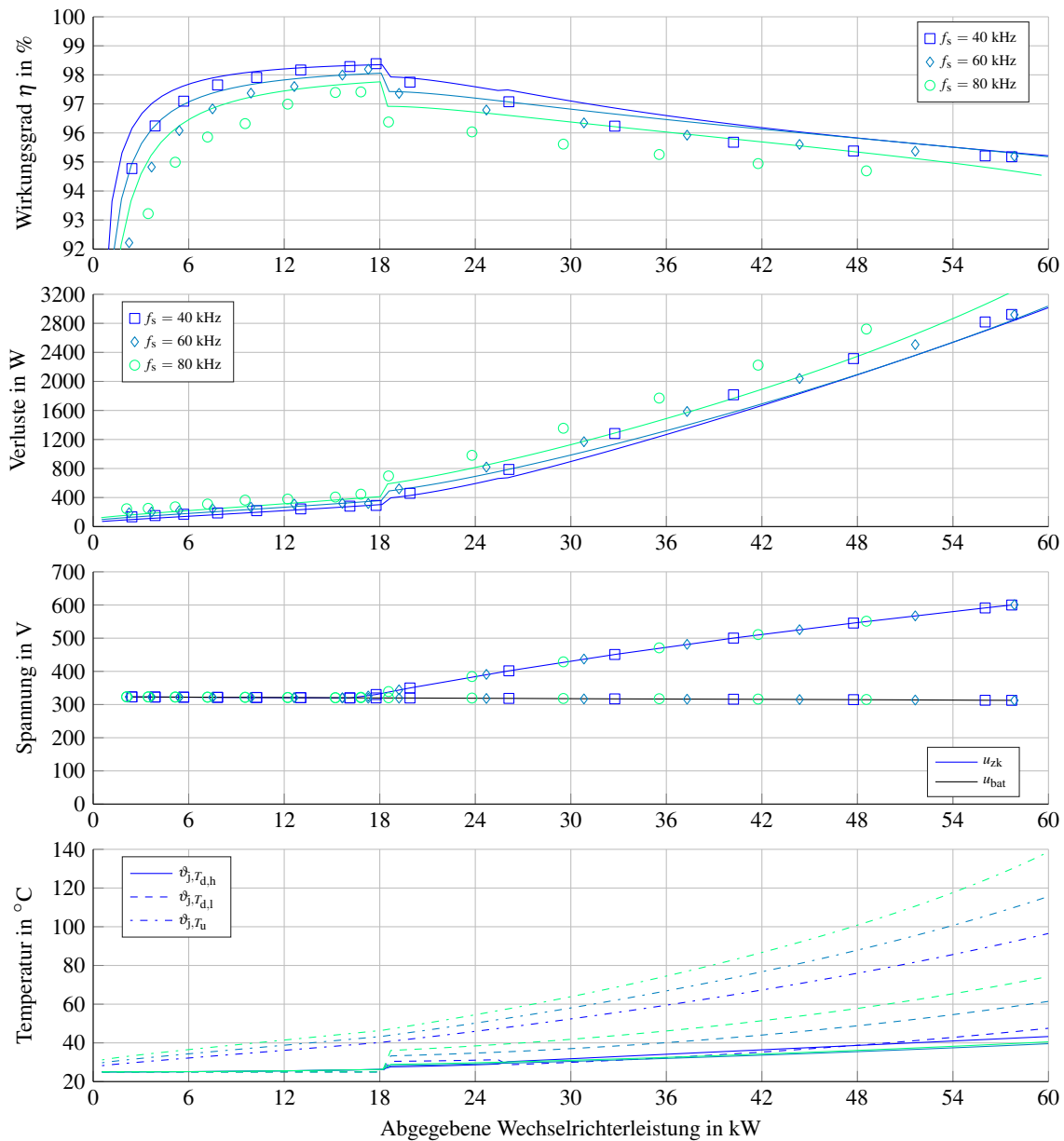


Abbildung 8.7: Gemessener Wirkungsgrad¹¹⁾ (Marker) und berechnete Größen (Linien) mit konstantem Wechselrichtermodulationsgrad von 105% bei Anpassung der Zwischenkreisspannung

Für die Messungen wurden Versuche mit einer stationären Betriebsdauer von 10 s durchgeführt und dann die Mittelwerte der letzten 2 s gebildet, damit sichergestellt ist, dass die Leistungshalbleiter thermisch eingeschwungen betrieben werden. Das Wandlersystem arbeitet bei etwa 330 V Eingangsspannung mit 20 Hz Ausgangsfrequenz gegen eine 2,5 Ω und 1,7 mH ohmsch-induktive Belastung. Schaltfrequenzen von 40 kHz, 60 kHz und 80 kHz wurden untersucht. Im Lastbereich unterhalb von 18 kW wird der Modulationsindex des Wechselrichters genutzt, um die Ausgangsspannung und damit die Leistung einzustellen. Bei diesem Wechselrichterbetrieb wird der Modulationsindex bis zu 1,05 erhöht und die Highside-Transistoren des Hochsetzstellers sind dauerhaft durchgeschaltet. Hier erreicht das Labormuster bei 40 kHz einen maximalen Wirkungsgrad von $\max(\eta) = 98,4\%$, bei 60 kHz $\max(\eta) = 98,1\%$ und bei 80 kHz lediglich $\max(\eta) = 97,4\%$. Eine höhere Schaltfrequenz führt in diesem Betriebsbereich durch die ansteigenden Schaltverluste immer zu gesteigerten Wechselrichterverlusten.

¹¹⁾ Gemessen mit LMG500, 4x LMG500 Spannungseingängen und 4x PCS600 Stromsensoren

Oberhalb von 18 kW abgegebener Leistung wird der Hochsetzsteller genutzt, um die Zwischenkreisspannung zu erhöhen, wobei der Modulationsindex bei 1,05 konstant bleibt. Durch die zusätzlichen Verluste im Hochsetzsteller vermindert sich der Systemwirkungsgrad. Bei abgegebenen Leistungen im Bereich von ca. 50 kW weist das Wandlersystem für die Schaltfrequenzen 40 kHz und 60 kHz einen Wirkungsgrad von ca. $\eta = 95,4\%$ und bei 80 kHz einen Wirkungsgrad von ca. $\eta = 94,7\%$ auf. Dieses Verhalten könnte im Zusammenhang mit der Speicherdrossel erklärt werden, da eine Steigerung der Schaltfrequenz hier zur Verminderung der Kernverluste, sowie der durch Proximity- und Skin-Effekt generierten Verluste führt. Des Weiteren steigen die Schaltverluste als Konsequenz höher Einschalt- als Ausschaltverlustenergien stärker an, sobald der Drosselstrom keinen Nulldurchgang mehr aufweist.

Zur Verifikation der Verlustmodelle aus Abschn. 2.4 und Abschn. 7.2 sind die berechneten Wirkungsgrade und Verluste ebenfalls in Abb. 8.7 als durchgezogene Kennlinien eingetragen worden. Zur thermoelektrischen Modellkopplung wurde die gemessene thermische Impedanz des Halbbrückenkühlers aus Abschn. 6 eingesetzt. Da eine Sperrschichttemperaturerfassung im Betrieb nicht implementiert wurde, konnten in Abb. 8.7 lediglich die berechneten Sperrschichttemperaturen der SiC-JFETs aufgetragen werden. Beim Wechselrichter und Vollastbetrieb mit 40 kHz beträgt der berechnete Temperaturhub gegenüber dem Kühlfluid beispielsweise 70 °C, während sich die Hochsetzsteller-Transistoren aufgrund des geringen Eingangsstroms nur um 20 °C bis 25 °C erwärmen.

Gegenüber den Ergebnissen in Abb. 8.7 sind in Abb. 8.8 bei einer Schaltfrequenz von 50 kHz Datenpunkte mit Zwischenkreisspannungen von 600 V und vermindertem Wechselrichtermodulationsindex dargestellt.

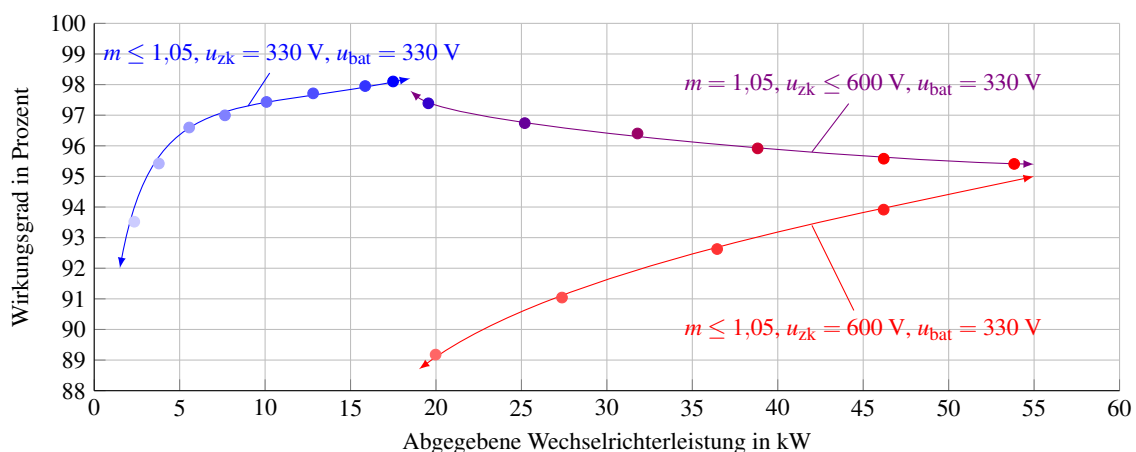


Abbildung 8.8: Gemessener Wirkungsgrad¹²⁾ bei 50 kHz mit und ohne Variation der Zwischenkreisspannung

In diesem Betrieb nimmt der Wirkungsgrad vom Betriebspunkt maximaler Leistung zu verminderter Leistung ab. Bei vergleichbarer abgegebener Leistung ist der Wirkungsgrad somit bei einer hohen Zwischenkreisspannung deutlich vermindert. Zum Beispiel erreicht der Wandler bei ca. 20 kW abgegebener Leistung bei 350 V einen Wirkungsgrad von 97,3% während bei 600 V Zwischenkreisspannung nur 89,1% erreicht werden. Dieser sehr schlechte Wirkungsgrad bei Teillast ist vor allem auf die kontinuierliche Betriebsart des Hochsetzstellers zurückzuführen und könnte durch Implementierung des Lückbetriebs deutlich verbessert werden. Trotzdem kann daraus abgeleitet werden, dass sich eine Betriebsstrategie mit minimaler Zwischenkreisspannung verlustmindernd auswirkt, da insgesamt weniger Schaltverluste entstehen, was bereits in Abschn. 2.3.2 angedeutet wurde.

Zusammengefasst erreicht das aufgebaute Labormuster hohe Wirkungsgrade von über 97% im Wechselrichterbetrieb bei Teillast und akzeptable Wirkungsgrade über 94% im kombinierten Vollastbetrieb bei

¹²⁾Gemessen mit LMG500, 4x LMG500 Spannungseingängen und 4x PCS600 Stromsensoren

Schaltfrequenzen bis 80 kHz. Somit sind Funktionsfähigkeit der Systemkomponenten und die Leistungsfähigkeit des Wandlersystems beispielhaft nachgewiesen und dessen modellbasiert vorausberechnete Kenngrößen durch Messungen bestätigt.

8.6 Gegenüberstellung berechneter und gemessener Verluste

Die Berechnung der Halbleiterverluste und Temperaturen wurde anhand der vorgestellten Methoden auf Basis der Gl. (2.51), Gl. (2.52) und Gl. (2.69) durchgeführt. Zur Parametrierung wurden die gemessenen Eigenschaften des SiC-Modul-Prototyps verwendet. Bei der Ermittlung der Drosselverluste sind die vorangestellt beschriebenen Methoden auf Basis von Gl. (7.15) und Gl. (7.19) angewendet. Abschließend sind in Abb. 8.9 die gemessenen Verluste den berechneten kumulierten Einzelverlusten gegenübergestellt.

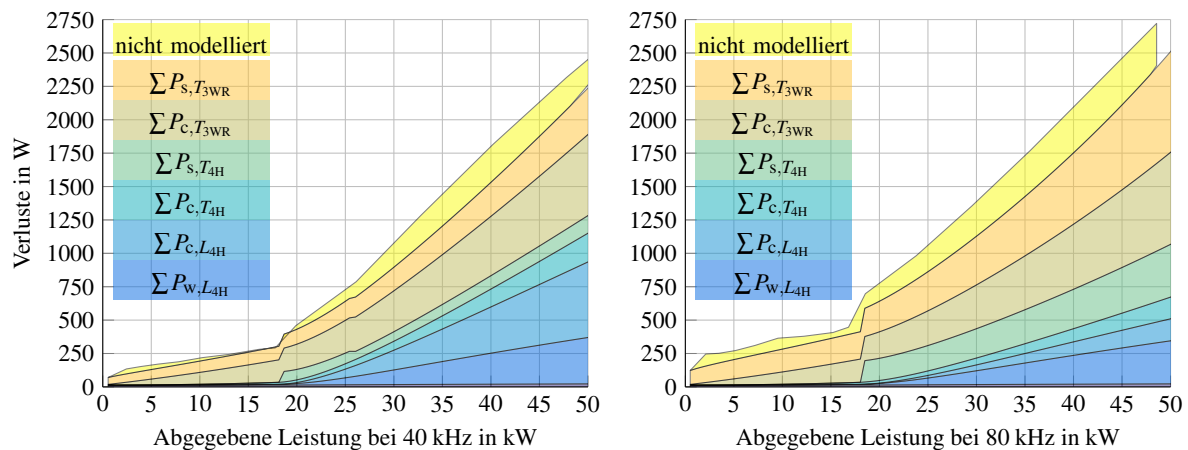


Abbildung 8.9: Vergleich der gemessenen Verluste mit den kumulierten berechneten Einzelverlusten bei 40 kHz und 80 kHz

Es zeigt sich eine Abweichung bei der Summe der berechneten und der gemessenen Verluste in beiden Betriebspunkten. Insgesamt werden die Verluste zu gering berechnet. Beim Betrieb des Hochsetzstellers sind deutlichere Abweichungen festzustellen obwohl die Unsicherheit bei den Kernverlusten bereits aufgeschlagen wurde. Die Ursache für die Abweichung von Messung und Berechnung wird bei der in der Berechnung vernachlässigten Peripherie oder auch bei Abweichungen des Labormusters von der Parametrisierungsgrundlage vermutet.

Des Weiteren ermöglicht die Darstellung der Einzelverluste einen Einblick hinsichtlich der Auswirkung der Schaltfrequenzänderung. Bei 40 kHz entstehen viel mehr Verluste im Kern der Drosseln und deutlich weniger Schaltverluste als bei 80 kHz. Durch diesen Effekt wiegen sich bei Schaltfrequenzänderungen die Einzelverluste gegeneinander auf, woraufhin die absoluten Verlusten nahezu konstant bleiben. Daher ist auch unmittelbar der in Abb. 8.7 bei 60 kHz und 40 kHz nahezu identisch gemessene Wirkungsgrad beim Hochsetzbetrieb nachvollziehbar.

Im Folgenden Abschn. 8.7 wird der Vergleich mit einem industriellen Hochsetzsteller-Wechselrichter mit Silizium IGBTs und Dioden durchgeführt, um den Einfluss der verwendeten SiC-Halbleitertechnologie im realen Systemvergleich zu bewerten.

8.7 Vergleich mit einem industriellen System

In Anlehnung an den in Abschn. 2.4.6 dargestellten Systemvergleich von Silizium und Siliziumcarbid auf Modellbasis wird nachfolgend ein in industrieller Massenfertigung hergestellter Antriebswechselrichter zum Vergleich mit dem Labormuster herangezogen. Die Daten dieses industriellen Systems sind [130] entnommen. Von dem in [130] analysierten aus Hochsetzsteller, Motorwechselrichter und Generatorwechselrichter bestehenden Wandler für einen leistungsverzweigten Hybridantrieb wird nachfolgend nur der Motorwechselrichter und der Hochsetzsteller betrachtet. Der Motorwechselrichter weist eine Nennleistung von 60 kW auf und ist daher unmittelbar als Vergleichssystem geeignet. Der einphasige Hochsetzsteller ist mit einer Nennleistung von 27 kW angegeben weswegen die Chipfläche, sowie das Drossel- und Kondensatorvolumen und deren Gewichte mit dem Faktor $60/27 = 2,2$ auf die Nennleistung von 60 kW korrigiert wurden. Diese Korrektur ist insofern zulässig da dies einer Parallelschaltung mehrerer Hochsetzstellerphasen entspricht. Sowohl der SiC- als auch Si-System können mit Zwischenkreisspannungen von 200 V bis 700 V betrieben werden. Die Schaltfrequenz des industriellen Hochsetzstellers mit Silizium Leistungshalbleitern variiert betriebspunktabhängig und liegt im Bereich von 5 kHz bis 10 kHz. Beim industriellen Wandler sind 1200 V IGBTs und Dioden verwendet worden, deren DBA-Substrat (Al/AlN/Al) direkt auf den Aluminium-Wasserkühler geschweißt ist.

In Abb. 8.10 ist das Kiviat-Diagramm für charakteristische Größen Vergleichssysteme dargestellt. Die Wechselrichter-Chipfläche mit SiC-Halbleitertechnologie ist mit 523 mm^2 etwa 25% so groß wie die Chipfläche mit Silizium-IGBTs von 2122 mm^2 . Beim Hochsetzsteller liegt dieses Verhältnis mit 23% etwas geringer, hier werden 697 mm^2 beim SiC-System und 2989 mm^2 beim skalierten SiWandler benötigt. Kumuliert sind insgesamt 1220 mm^2 SiC- und 5111 mm^2 skalierte Silizium-Chipfläche verbaut.

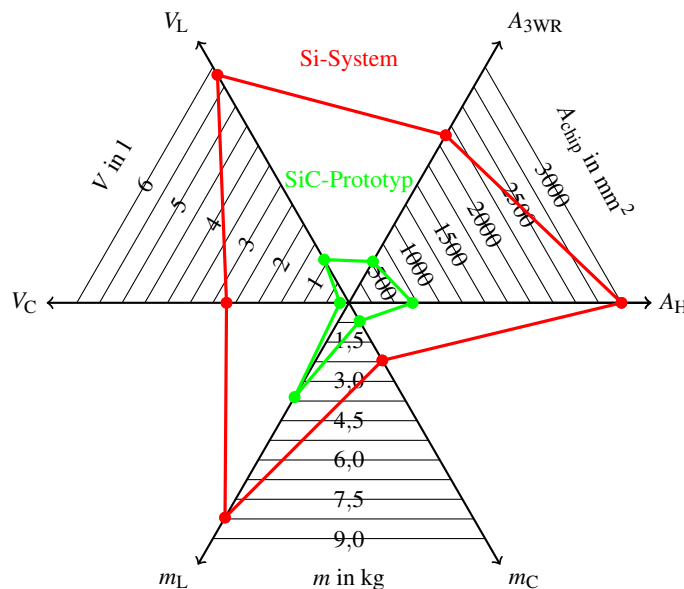


Abbildung 8.10: Kiviat-Diagramm zum Vergleich charakteristischer Größen des SiC-Labormusters und eines industriellen Si-Wandlersystems [130]

Die Speicherdrosseln weisen beim Labormuster insgesamt ein Volumen von $1,1 \text{ dm}^3$ auf, was 15% des Volumens der skalierten Hochsetzsteller-Drossel von $5,8 \text{ dm}^3$ ausmacht. Beim Zwischenkreis ist der Unterschied aufgrund der verwendeten Keramik Kondensatoren deutlich stärker ausgeprägt. Nur 7,5% des Kondensatorvolumens des Si-Systems von $2,7 \text{ dm}^3$ werden für den $0,2 \text{ dm}^3$ Zwischenkreis des SiC-Systems benötigt. Das SiC-Labormuster ist bei den gewählten technischen Kenngrößen gegenüber dem industriellen Produkt vorteilhaft, was mit Hilfe dem Kiviat-Diagramm Abb. 8.10 verdeutlicht wird.

Insgesamt ist der hier durchgeführte Vergleich jedoch kritisch einzustufen da, die Dimensionierungskriterien und Sicherheitsmargen für das industrielle Wandler-System nicht bekannt sind. Neben der SiC-Halbleitertechnologie wurde auch bei den passiven Bauelementen andere Technologien eingesetzt. Der Zwischenkreis ist mit Keramikkondensatoren anstelle von Folienkondensatoren aufgebaut und die Speicherdrosseln sind mit Ferritkern und Profillitze anstelle eines Schnittbandkerns mit Flachdraht-Kupferwicklung realisiert. Des Weiteren sind die Wandler zum einen mit Direktsubstratkühlung (SiC) und zum anderen mit einer Pin-Fin ähnlichen in die Bodenplatte integrierten Kühlung (Si) ausgeführt und damit deutlich unterschiedlich.

Die Chipflächen des Silizium- und Siliziumcarbid-Systems weisen mit 24% ein Verhältnis auf, welches im Bereich der modellbasierten Vorausberechnung von 20% – 30% liegt. Wenn für den Si-1H3WR realistische Dimensionierungsparameter: wie eine maximale Sperrschichttemperatur von 175 °C, eine maximale Kühlfluidtemperatur von 105 °C, eine Batteriespannung von 200 V, eine Zwischenkreisspannung von 700 V und eine Schaltfrequenz von 8 kHz angenommen werden, ergibt sich nach dem in Abschn. 2.4 vorgestellten Modell eine thermisch minimale Chipflächen von 5146 mm². Analog wird beim SiC-4H3WR für eine maximale Sperrschichttemperatur von 200 °C, eine maximale Kühlfluidtemperatur von 105 °C, eine Batteriespannung von 200 V, eine Zwischenkreisspannung von 700 V und eine Schaltfrequenz von 40 kHz die thermisch minimale Chipflächen von 1208 mm² berechnet. Diese Werte passen sehr gut zu den untersuchten Vergleichssystemen und deuten auf die Validität der Eigenschafts-Modelle hin.

Zusammenfassend wurde am praktischen Beispiel nachgewiesen, dass durch die SiC-Halbleitertechnologie nicht nur eine erhebliche Reduktion bezüglich der Chipfläche erreichbar ist, sondern gleichzeitig deutlich kompaktere passive Komponenten verwendet werden können und der Wirkungsgrad trotz hoher Schaltfrequenzen im akzeptablem Bereich liegt.

Fazit

Es wurde ein Labormuster des 4H3WR mit SiC-JFETs aufgebaut und mit einer für den Testbetrieb im Labor erstellten Steuerhardware und Firmware in Betrieb genommen. Im gesteuerten Betrieb konnten bei Kurzzeitversuchen Messungen durchgeführt werden, welche die erwartete Leistungsfähigkeit der SiC-Halbleitertechnologie entsprechend der Erwartungen bestätigen. Durch die Aufnahme der Phasenströme des Hochsetzstellers konnte nachgewiesen werden, dass das Labormuster das gewünschte und durch die zielgerichtete Dimensionierung der Drossel bestimmte dynamische Verhalten aufweist. Ein Vergleich der gemessenen mit den berechneten Verlusten zeigt eine akzeptable Übereinstimmung und bestätigt die Gültigkeit der beschriebenen Methode zur Vorausberechnung. Im Vergleich mit einem industriellen System erreicht das Labormuster signifikant verbesserte Werte bei der Chipfläche (76 % weniger), dem Volumen der Drossel (85 % geringer) und dem Volumen des Kondensators (92,5 % geringer). Insgesamt konnten die entwickelten Methoden bestätigt und die zuvor ermittelte Leistungsfähigkeit der SiC-Halbleitertechnologie praktisch nachgewiesen werden.

9 Zusammenfassung und Diskussion

Durch den Elektrifizierungstrend im Bereich heutiger Antriebssysteme für den Personenverkehr, den vorherrschenden Trends zu immer höheren Leistungsdichten in Leistungselektronischen Systemen sowie die Marktreife von Siliziumcarbid-Leistungstransistoren, ergibt sich die Fragestellung, inwiefern diese neuen Technologien nutzbringend beim Traktionsantriebsumrichter eingesetzt werden können.

Ziel dieser Arbeit ist es Methoden zu entwickeln, anzuwenden und zu validieren mit denen der Einfluss der Halbleitertechnologie auf die Systemgüte bei verschiedenen Topologien und auf zentrale Systemkomponenten abgeschätzt werden kann. Ausgehend von der Vorausberechnung mit auf Eigenschaftsmodellen, konnte durch eine nachfolgende Baugruppenentwicklung ein Vierphasen-Hochsetzsteller-Dreiphasen-Wechselrichter-Labormuster auf Basis eines SiC-JFET-Halbbrückenmodul-Prototyps aufgebaut und getestet werden. Des Weiteren wurden zugeschnittene technische Lösungen zur Kommutierungsstromtransientenerfassung, Gateansteuerung und Kühlung entwickelt bzw. weiterentwickelt und implementiert.

Zunächst ordnet Abschn. 1 die vorliegende Arbeit thematisch zu, leitet in die Problemstellung der Leistungselektronik im Elektrofahrzeug ein und motiviert die nachfolgenden Ansätze durch forschungsleitende Hypothesen. Des Weiteren wird ein Überblick zum Stand der Technik und Forschung vermittelt.

In Abschn. 2 wird dann die Kommutierungszelle als Basisschaltung der Leistungselektronik eingeführt und deren Funktion am Beispiel einer geschalteten selbstkommutierten Zelle anhand von Zeitsignalen erläutert. Die Eigenschaften der derzeit für Leistungstransistoren relevanten Halbleitermaterialien Silizium, Siliziumcarbid und Galliumnitrid werden vorgestellt und anhand etablierter Gütekriterien miteinander verglichen. Nachfolgend sind die Leistungstransistoren SiC-JFET, SiC-MOSFET und GaN-HEMT in den jeweils kommerziell verfügbaren Grundstrukturen vorgestellt und ein Überblick über die Verfügbarkeit und aktuelle Entwicklungstrends dargestellt. Diesbezüglich ist der SiC-Trench-MOSFET heute eindeutig als dominierendes Bauelement zu identifizieren, während die im Rahmen dieser Arbeit verwendeten Verarmungstyp-SiC-JFETs vom Anwender gemieden werden.

Durch die Ableitung halbleiterspezifischer analytischer Gütekriterien für die drei Topologien mit Spannungswidenschkreis: Wechselrichter (3WR), Hochsetzsteller-Wechselrichter (H3WR) und Tief-Hochsetzsteller-Wechselrichter (TH3WR), den Impedanzwidenkreiswechselrichter (Z3WR) und den Vierquadrantensteller-Stromwidenkreiswechselrichter (4QIWR) konnten der H3WR und der 3WR als vielversprechendste Topologien für Traktionsantriebsumrichter ermittelt werden. Mit dem generischen und skalierbaren Eigenschaftsmodell wurden hierfür mit 1200 V IGBTs, 650 V IGBTs und 1200 V SiC-JFETs Chipflächen und Verluste berechnet. Bei einer 60 kVA Beispielanwendung im Hybridfahrzeug ist mit SiC-JFETs ein 3WR mit 30 % der IGBT-Chipfläche und 80% Verlustenergieeinsparung gegenüber IGBT realisierbar, wenn der Neue Europäische Fahrzyklus (NEFZ) zugrunde gelegt wird. Durch die geringen Schaltverluste der SiC-JFETs kann in einigen Anwendungsfällen beim H3WR sogar insgesamt weniger Chipfläche erforderlich sein als beim 3WR. Obwohl die Erkenntnisse hinsichtlich technischer Gütegrößen wie Chipfläche und Wirkungsgrad mit SiC-JFETs gewonnen wurden und der Vergleich mit der etablierten IGBT-Technologie auf diesen Daten beruht, können signifikante Verbesserungen aufgrund ähnlicher Schalt- und Durchlasscharakteristik auch für SiC-MOSFETs als gültig angesehen werden.

Der Betriebsverbund von Hochsetzsteller und Wechselrichter wird in Abschn. 3 untersucht. Durch Freiheitsgrade bei der Anzahl der Hochsetzstellerphasen und der zeitlichen Abstimmung der Schaltpulse kann eine Optimierung durchgeführt werden. Unter Berücksichtigung der Zielgrößen für das Labormustertsystem wurde ein kombiniertes Ansteuerungsverfahren für Wechselrichter und Hochsetzsteller entwickelt, welches eine wirkungsvolle Reduktion der Zwischenkreiseffektivströme ermöglicht. Weiterführend besteht beim ausgewählten vierphasigen Hochsetzsteller die Möglichkeit, den Funktionsumfang von Batterieladegeräten für alle üblichen Netzspannungsformen in das Traktionsantriebssystem zu integrieren.

Zur Ansteuerung der JFETs ist ein Gatetreiber erforderlich, welcher die Einschalt- und Ausschaltspannungsniveaus bereitstellt und zusätzlich einen sicheren Betrieb der Verarmungstyp-Transistoren gewährleistet. Der entwickelte Hochspannungs-Hochgeschwindigkeits-Gatetreiber wird in Abschn. 4 beschrieben und ermöglicht die zerstörungsfreie Abschaltung der Verarmungstyp-SiC-JFET-Halbbrückenmodule aus dem Kurzschlusszustand. Neben dem teil-redundanten Aufbau von zwei Sperrwandler mit platinenintegrierten Transformatoren werden Maßnahmen zur Verbesserung der Startdynamik sowie Schaltungen zur Fehlererkennung und Behandlung vorgestellt. Die Endstufe und das Netzwerk zur Pulsformung ermöglichen die Ausnutzung der vollen Schaltgeschwindigkeit der SiC-JFET-Technologie.

Der niederinduktive Aufbau von Kommutierungszellen ist bei der Anwendung neuer Halbleitertechnologien eine weitere Maßnahme, um deren Schaltgeschwindigkeit auszunutzen und Überspannungen zu reduzieren. In Abschn. 5 wird auf Basis alternierend bestromter Leiterplattenlagen eine Zwischenkreisverschiebung vorgeschlagen, welche eine effektive Reduktion der Verschiebungsstreuinduktivität ermöglicht. Gegenüber einer zweilagigen Platine ist mit acht Lagen die Reduktion der Streuinduktivität um etwa eine Größenordnung möglich. Die Erfassung der Kommutierungsstromtransienten in niederinduktiven Kommutierungskreisen ist mit kommerziellen Strommesssystemen im vorliegenden Fall nicht ohne Eingriff in die Konstruktion möglich. Eine integrationsfähige platinenbasierte Spule zur Erfassung der zeitlichen Änderung der Induktion wurde entworfen und ermöglicht durch offline-Integration die Ermittlung der Stromtransienten. Bei der Analyse der Schalttransienten des SiC-JFET-Prototyps wurde ein parasitäres Durchschalten der Halbbrücke festgestellt. Durch externe Beschaltung des Halbleitermoduls mit zusätzlichen Gate-Source-Kondensatoren konnte dieses verhindert und eine umfassende Charakterisierung der Schaltverluste mit den Parametern Zwischenkreisspannung, Strom und Sperrschichttemperatur durchgeführt werden. Abschließend wurde ein instabiles oszillationsbehaftetes Einschalten der SiC-JFET-Halbbrücke bei Vergrößerung des Einschaltwiderstands festgestellt, dokumentiert und analysiert.

Zur Kühlung der Halbleitermodule ohne Bodenplatte wird in Abschn. 6 das bekannte Konzept der direkt vom Kühlfluid angeströmten Halbleitermodule am Beispiel einer Halbbrücke aufgebaut und verifiziert. Eine Ermittlung der thermischen Impedanz des Aufbaus konnte durch die Auswertung der Spannung der Gate-Source-Diode des JFETs erreicht werden. Bei der Charakterisierung wurde für hohe Verlustleistungsdichten eine Reduktion der thermischen Impedanz durch Blasensieden beobachtet und analysiert. Die Einzelmodulkühlung bildet die Grundlage für den nachfolgend entworfenen Systemkühler, welcher sieben parallel geschaltete Einzelkühler integriert und durch FEM gestütztes Design entwickelt wurde. Auf Grund der direkt angeströmten Halbleitermodule konnten bei der Produktion des Kühlkörpers 3D-Herstellungsverfahren zum Einsatz kommen und prinzipbedingt Materialien mit geringer Wärmeleitfähigkeit verwendet werden.

Der Zwischenkreiskondensator und die Drossel sind die Baugruppen des Systems, welche einen entscheidenden Anteil des Gesamtvolumens ausmachen. Durch die hohe Schaltfrequenz der SiC-Bauelemente können diese passiven Komponenten kompakter ausgeführt werden, insofern keine thermischen Grenzen überschritten werden. Als Basisbauelement des Zwischenkreises wurde in Abschn. 7 ein Keramik-kondensator mit anti-ferroelektrischem Dielektrikum ausgewählt. Diese Technologie ist Folien- und Elektrolytkondensatoren für den vorliegenden Anwendungsfall bezüglich des Betriebstemperaturbereichs

und der Leistungsdichte überlegen. Für die Drossel wurden planare Ferrit E-Kerne sowie Rechteck-Profillitze verwendet und eine Dimensionierung für hohe Stromwelligkeiten ausgewählt, um ein kompaktes Design zu erreichen. Dennoch ist das Drossel-Design aufgrund der Streufelder und hohen Verluste im Wicklungsfenster suboptimal gewählt und lässt Raum für Verbesserungen z.B. durch einen verteilten Luftspalt oder eine günstigere Kernform.

Abschließend wird in Abschn. 8 der strukturelle Aufbau eines 60 kVA Labormusters beschrieben. Zur Ansteuerung des Systems wird ein Signalprozessor eingesetzt, an dessen per Firmware implementierte Steueroutine Befehle und Werte vom und zum Steuerungsrechner übergeben werden können. Das aufgebaute Labormuster wurde mit Schaltfrequenzen im Bereich von 40 kHz bis 80 kHz betrieben. Bei 60 kHz wurde am Labormuster ein Maximalwirkungsgrad von $> 98\%$ und Vollastwirkungsgrad von $> 95\%$ gemessen. Im Vergleich mit einem industriellen Wandlersystem mit Silizium-IGBTs konnte das Volumen der Drossel um 75% und des Zwischenkreises um 92,5% verkleinert sowie insgesamt 76% weniger Chipfläche eingesetzt werden.

Die eingangs in den forschungsleitenden Hypothesen aufgeführte Problemstellung der elektromagnetischen Verträglichkeit durch die steilen Schaltflanken der SiC-Halbleiter und die hieraus resultierenden gesteigerten Anforderung an Filter, Isolationssysteme und Massekonzepte wurde leider nicht im Rahmen dieser Arbeit untersucht und bietet Raum für nachfolgende Arbeiten. Die Kombination von Verarmungstyp und Anreicherungstyp-Bauelementen in einer Halbbrücke könnte hinsichtlich der funktionalen Sicherheit z.B. bei Antrieben, welche einen aktiven Kurzschluss im stromlosen Zustand erfordern, vorteilhaft sein und ist ein bisher wenig beachtetes Forschungsfeld.

Insgesamt konnte vorausberechnet und an einem Beispiel demonstriert werden, dass mit Leistungshalbleitern aus Siliziumcarbid gleichzeitig effiziente und, im Vergleich zur Silizium-IGBT-Technologie, kompaktere Systeme aufgebaut werden können. Dabei ist es möglich, das Volumen der passiven Komponenten durch die Schaltfrequenzerhöhung zu verringern, insofern eine geeignete Technologie gewählt wird (z.B. Keramikkondensatoren, Ferritkerne und Litze) und keine thermischen Grenzen überschritten werden. Aktuelle Studien zeigen, dass Leistungselektroniken mit SiC-Halbleitern durch kompaktere und günstigere passive Komponenten und Kühlkörper sowie einen geringeren Energieverbrauch in vielen Anwendungsfällen Systemen mit Si-IGBTs auch ökonomisch überlegen sind.

A Anhang

A.1 Niederspannungsdemonstrator zur Verifikation der Steuerverfahren

Dieser Abschnitt des Anhangs soll einen Überblick zum Niederspannungsdemonstrator und den durchgeführten Laborexperimenten liefern, welche zur Verifikation der in Abschn. 3.2 beschriebenen Steuerverfahren geführt haben. Tab. A.1 fasst zunächst wichtige Kenngrößen des Demonstrators zusammen.

Tabelle A.1: Kenndaten des Niederspannungsdemonstrators

Bezeichnung	Formelzeichen	Wert
Nennleistung	P_{3WR}	600 W
Eingangsspannung	u_{bat}	12 V
Zwischenkreisspannung	u_{zk}	12 V - 48 V
Drehspannung	$\hat{u}_{1,1l}$	0 V - 48 V
Schaltfrequenz	f_s	100 kHz
Induktivität	L_v	4 x 30,5 μ H
Zwischenkreiskondensator	C_{zk}	1 x 20 μ F
Leistungstransistoren	T	14 x IPD25CN10N
PCB-Kupferkonfiguration		2 x 105 μ m

Der Wandler ist auf einer zweilagigen Dickkupfer-Leiterkarte mit dem Layout in Abb. A.1 aufgebaut.

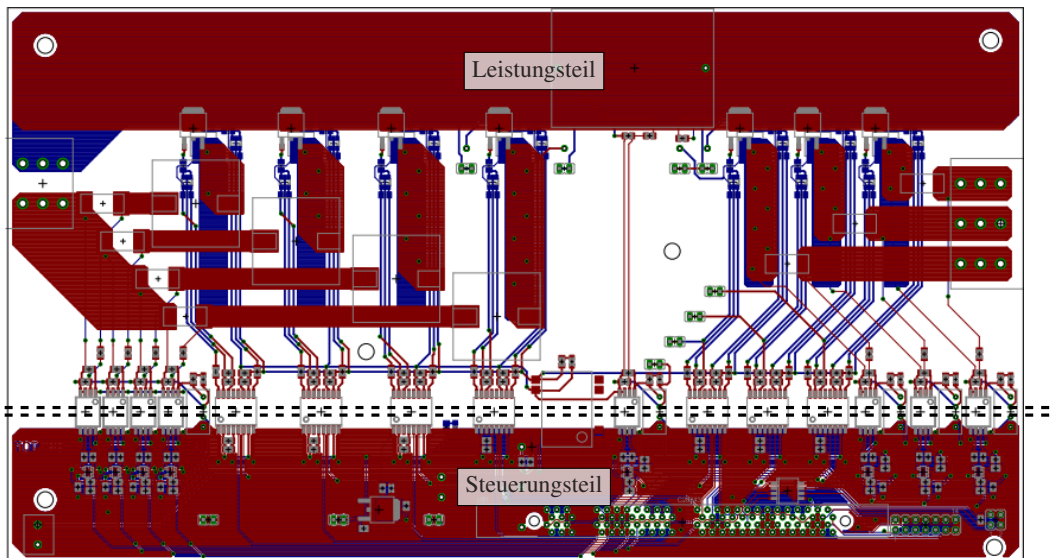


Abbildung A.1: PCB-Layout des Niederspannungsdemonstrators

Als isolierende Schnittstelle zwischen Leistungs- und Steuerungsteil wurden bereits Hochspannungskomponenten vorgesehen um einen Transfer der Realisierungsansätze ins Zielsystem zu ermöglichen.

Zur Steuerung des Wandlers wurde ebenfalls eine C28343-Controlcard verwendet, welche zum späteren Zeitpunkt auch im SiC-Labormuster eingesetzt wurde. Damit der Zwischenkreisstrom mit Strommessungen erfasst werden kann ist ein zentraler Zwischenkreiscondensator vorgesehen. Im Layout lässt sich gut die markierte Trennung von Leistungsteil und Steuerungsteil erkennen. Die Entwärmung der Leistungskomponenten erfolgt zunächst über Wärmespreizung im Kupfer der Leiterkarte und nachfolgend mittels natürlicher Konvektion. Das bestückte und betriebsbereite Demonstratorsystem ist in Abb. A.2 abgebildet. Zentrale Gruppen der funktionalen Teilsysteme wurden zum besseren Einblick gekennzeichnet.

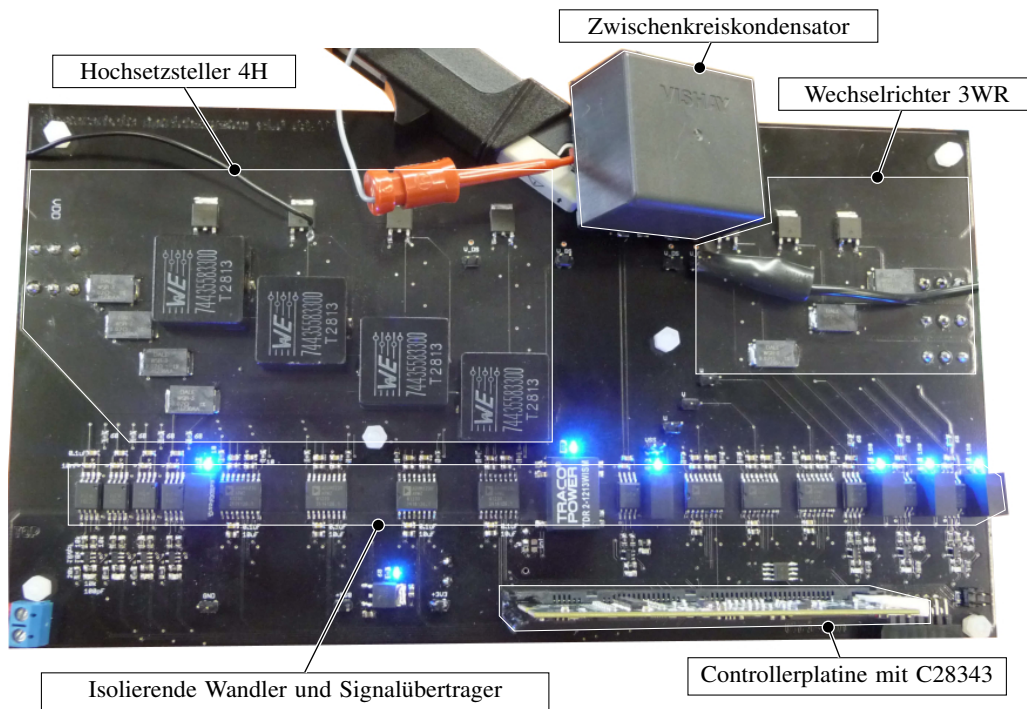


Abbildung A.2: Betriebsbereiter Niederspannungsdemonstrators mit Kennzeichnung der Teilsysteme

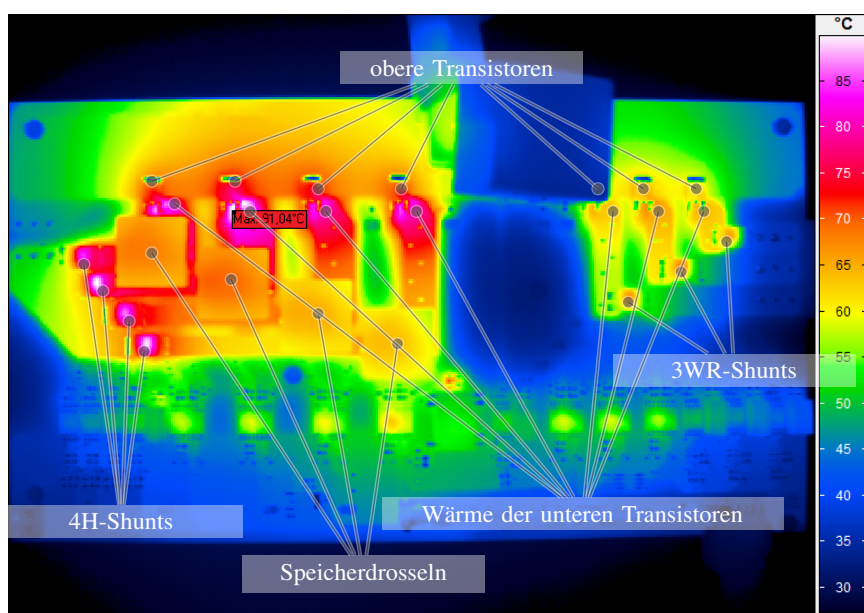


Abbildung A.3: Thermographie des Niederspannungsdemonstrators bei 400 W übertragener Leistung

Die Thermographie in Abb. A.3 wurde im thermisch eingeschwungenen Zustand bei 400 W abgegebener Leistung im Messaufbau in Abb. A.4 aufgenommen. Darauf sind die Positionen gekennzeichnet worden an denen die Wärme produzierenden Leistungskomponenten platziert wurden. Bei 12 V Eingangsspannung, 48 V Zwischenkreisspannung und 48 V Leiter-Leiter-Spannungsamplitude, erzeugen die unteren MOS-FETs erwartungsgemäß mehr Verlustleistung. Diese sind auf der Unterseite der Platine aufgebracht. Durch die thermische Anbindung zur Oberseite lässt sich dennoch hier die höchste Temperatur ablesen.

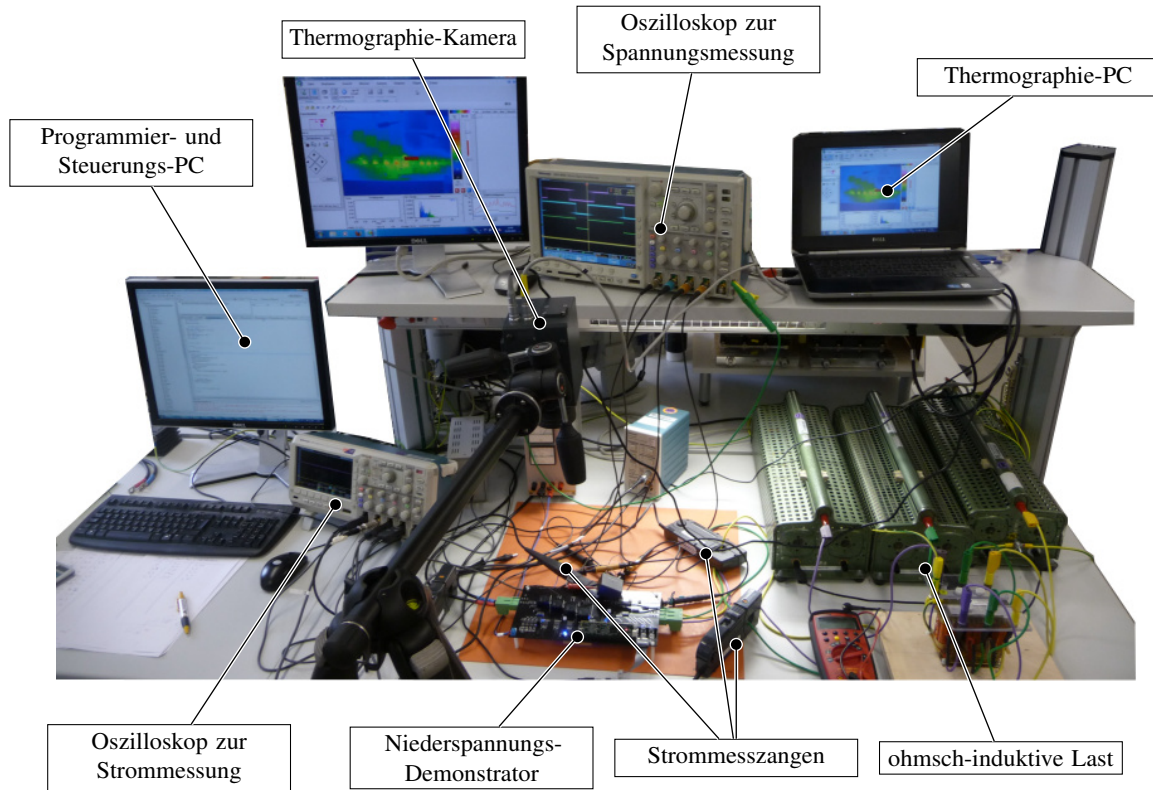


Abbildung A.4: Laboraufbau zur Verifikation der Steuerverfahren

Die Programmcodeerzeugung für den C28343-Signalprozessor erfolgte mit Matlab/Simulink per Simulink-Modell und automatischer Codegenerierung. Das System wurde gesteuert betrieben und die vorausgerechneten optimierten Pulspositionen als mehrdimensionales Kennfeld für $\cos(\varphi) = 1$ im Speicher des Prozessors abgelegt. Der Prozessor muss somit nur in Abhängigkeit von den Eingabeparametern u_{bat} , u_{zk} und γ eine lineare Interpolation zwischen den Kennfelddatenpunkten ausführen. Der ohmsche Anteil der Last wurde beim Experiment angepasst, sodass sich bei unterschiedlichen Drehspannungen der gleiche Phasenstrom einstellt. Für alle Messungen in Abschn. 3 ist eine Strangstromamplitude $\hat{i}_{1,\text{str}}$ von 10 A eingestellt worden.

A.2 Kurzschlussabschaltung durch Hochgeschwindigkeits-Hochspannungs-Gatetreiber

Dieser Abschnitt fasst jene Ergebnisse zusammen auf deren Grundlage die selbst versorgte Kurzschlussabschaltung, durch die Realisierung einer redundanten Hochgeschwindigkeits-Spannungsversorgung des Gatetreibers, als Möglichkeit zum sichereren Betrieb der Verarmungstyp Bauelemente ausgewählt wurde. Einen umfangreicheren Einblick in den Aufbau und die Dimensionierung des entwickelten Gatetreiber-Demonstrators bieten die Veröffentlichung [85] sowie die Masterarbeit von Simon Weber.

In Abb. A.5 ist der Versuchsaufbau dargestellt mit dem die Kurzschlussabschaltung durchgeführt wurde. Der Versuchsaufbau weist im Wesentlichen einem Zwischenkreiskondensator und eine Halbbrücke aus einem Highside IGBT und dem Lowside SiC-JFET inklusive Gatetreiber auf. Dabei wird der SiC-Gatetreiber direkt an den JFET angeschlossen und soll beim Anlegen einer Drain-Source-Spannung eine negative Gate-Source-Spannung schnellstmöglich bereitstellen. Damit der IGBT im Kurzschlussfall nicht entsättigt und den Versuchsverlauf beeinträchtigt wurde dieser im Vergleich zum JFET mit dem zehnfachen Nennstrom dimensioniert.

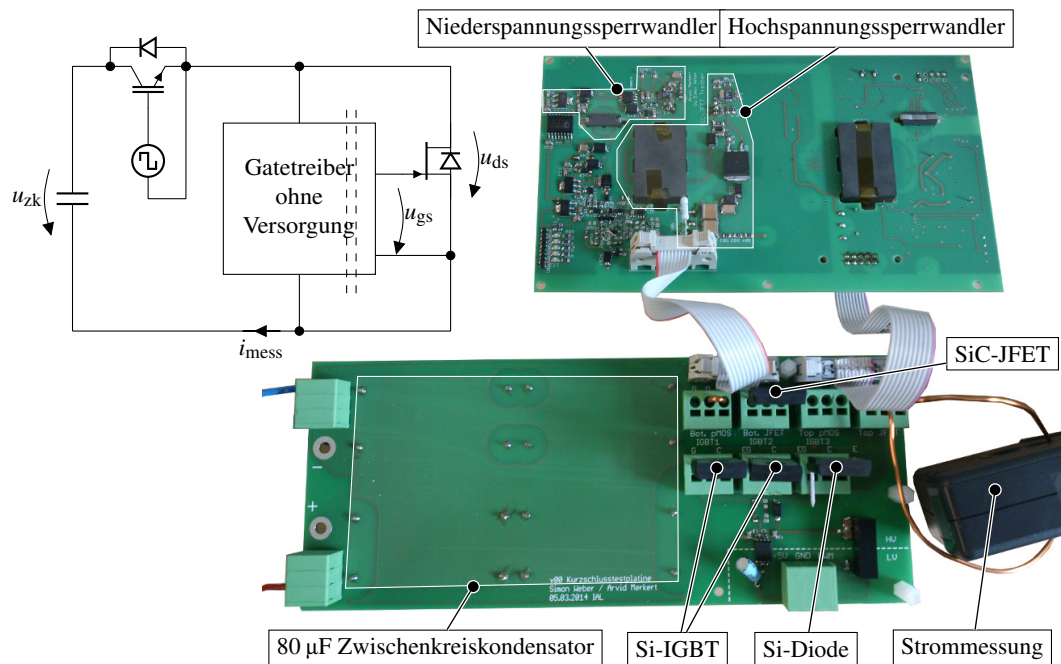


Abbildung A.5: Versuchsaufbau zur selbstversorgten Kurzschlussabschaltung mit Gatetreiber v1

Der Zwischenkreiskondensator wird zunächst auf die gewünschte Testspannung aufgeladen, woraufhin dann das Kurzschlussexperiment durch Einschalten des IGBTs zum Zeitpunkt $t = 0 \mu\text{s}$ ausgelöst wird. Durch die Dauer des IGBT-Einschaltimpulses kann die maximale Kurzschlussdauer begrenzt werden, sodass im nicht erfolgreichen Prüffall eine Zerstörung des JFETs verhindert wird.

Die Zeitverläufe der gemessenen Drain-Source-Spannung u_{ds} , der Gate-Source-Spannung u_{gs} sowie des Brückenquerstromes i_{mess} sind in Abb. A.6 als Kurvenschar verschiedener Testspannungen dargestellt. Zusätzlich wurden die Zeitverläufe der aufgenommenen Leistung p und Energie e der JFET-Gatetreiber-Kombination berechnet und ebenfalls in Abb. A.6 nachgebildet. Hierbei wird davon ausgegangen, dass die Leistungsaufnahme der Treiberschaltung vernachlässigt werden kann.

Am Zeitverlauf der Gate-Source-Spannung kann abgelesen werden, dass die Ansteuerschaltung des Sperrwandlers etwa $15 \mu\text{s}$ bis $18 \mu\text{s}$ benötigt bevor der Sperrwandler beginnt Energie zu übertragen. Diese Zeit wird vom Ansteuerungs-IC¹⁾ benötigt um interne Vorgänge zu stabilisieren und Betriebsbereitschaft zu erreichen. Im vorliegenden Aufbau wird die Versorgungsspannung des ICs durch einen zusätzlichen SiC-JFET im linearen Verstärkerbetrieb erzeugt. Der Ansteuerungsschaltkreis ist dabei ähnlich wie bei der Kaskodenschaltung dem zusätzlichen Verarmungstyp-JFET in Reihe geschaltet, wodurch sich am Steuerkreis stationär etwa die Schwellspannung von ca. 14 V einstellt und die darüberhinausgehende Spannung über Drain-Source des JFETs abfällt. Nachdem der Sperrwandler zu pulsen beginnt dauert es Testspannungsabhängig noch weitere $2 \mu\text{s}$ bis $6 \mu\text{s}$ bis die Gate-Source-Spannung die Schwellspannung unterschritten hat. Somit erfolgt eine Abschaltung des Kurzschlusszustands bei allen Testfällen schneller

¹⁾LTC1871-7

als $24 \mu\text{s}$ wobei ein Großteil der Zeit zum Starten der Steuerschaltung benötigt wird.

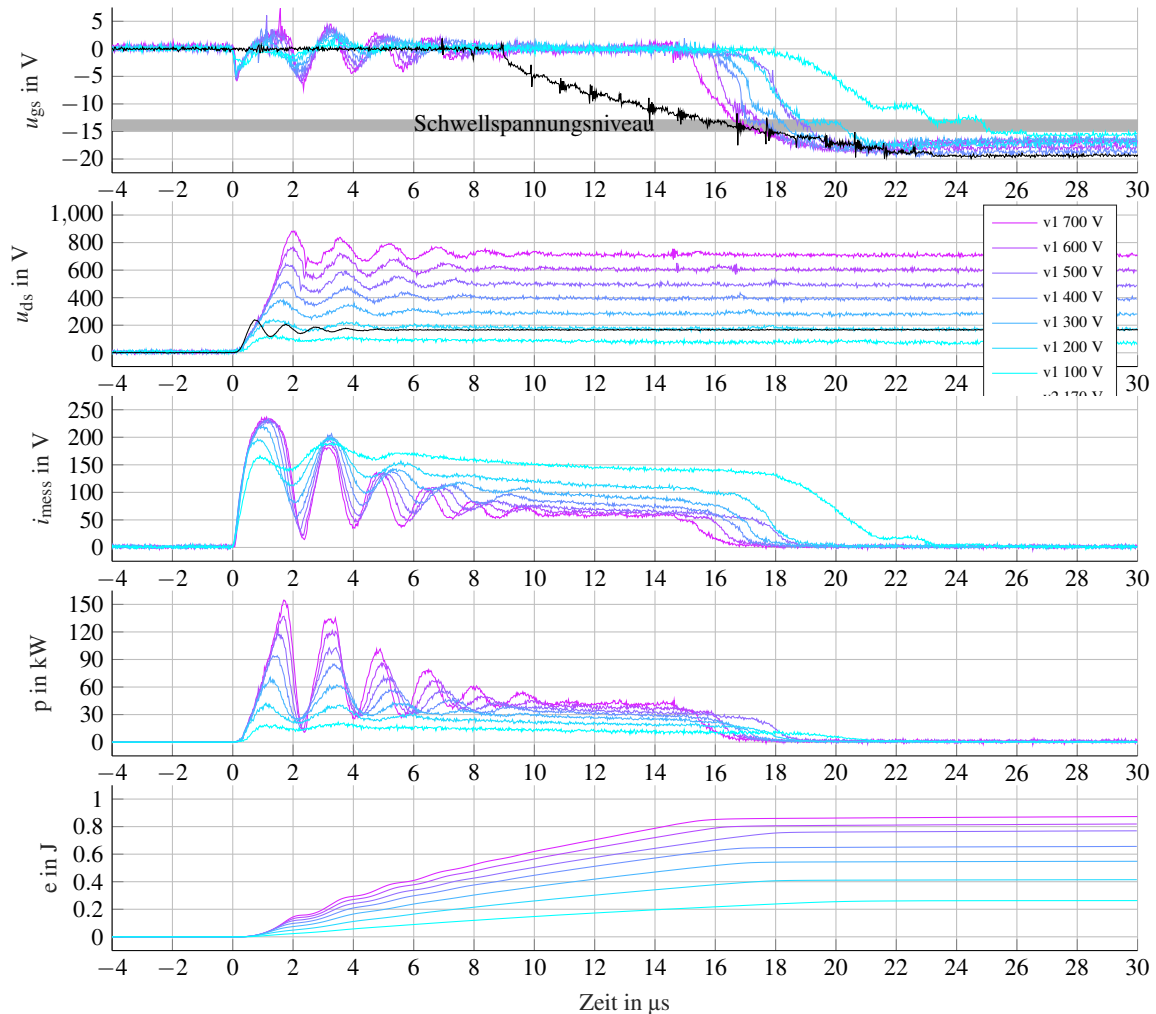


Abbildung A.6: Zeitverläufe der selbstversorgten Kurzschlussabschaltung mit Gatetreiber v1 und Gatetreiber v2 ohne Kurzschlussabschaltung mit Modul

Bei der Analyse des gemessenen Stromverlaufs fällt auf, dass der Querstrom während der Dauer des Kurzschlusses abnimmt und zudem mit höheren Testspannungen deutlich verminderte Stromwerte abgeschaltet werden. Dieser Effekt kann auf den negativen Temperaturkoeffizienten des Sättigungsstroms zurückgeführt werden, da sich der der SiC-JFET während der Kurzschlussdauer erwärmt und auch bei höheren Spannungen deutlich mehr Verluste entstehen. Bei 700 V Testspannung werden im SiC-JFET Spitzenwerte von 150 kW Wärme auf etwa 12 mm^2 aktive Chipfläche abgegeben. Die durchgeführten Experimente zeigen eine maximal umgesetzte Pulsenergieflächendichte von $7,25 \frac{\text{J}}{\text{cm}^2}$ was etwa 20 % der kritischen Pulsenergieflächendichte entspricht die in [67] ermittelt wurde. Allerdings ist anzumerken das diese Energieflächendichte bereits nach ca. $16 \mu\text{s}$ und nicht wie in [67] nach etwa $200 \mu\text{s}$ erreicht wird. Die technologische Weiterentwicklung und Verbesserung der Durchlasseigenschaften der SiC-JFETs könnte hierfür eine Ursache sein. Durch diese Versuchsreihe wurde nachgewiesen, dass per Gatetreiber eine zerstörungsfreie Abschaltung des JFETs aus dem Kurzschlusszustand mit kommerziell verfügbaren Ansteuer- und Schaltreglerbauteilen erreichbar ist. Während der gesamten Versuchsreihe wurden etwa 100 Kurzschlussversuche mit unterschiedlichen Spannungen gefahren ohne dass Änderungen der stationären Charakteristika des JFETs (r_{ds} , $u_{\text{gs,on}}$) beobachtet werden konnte.

A.3 Layout der Platinen-Transformatoren des Gatetreibers

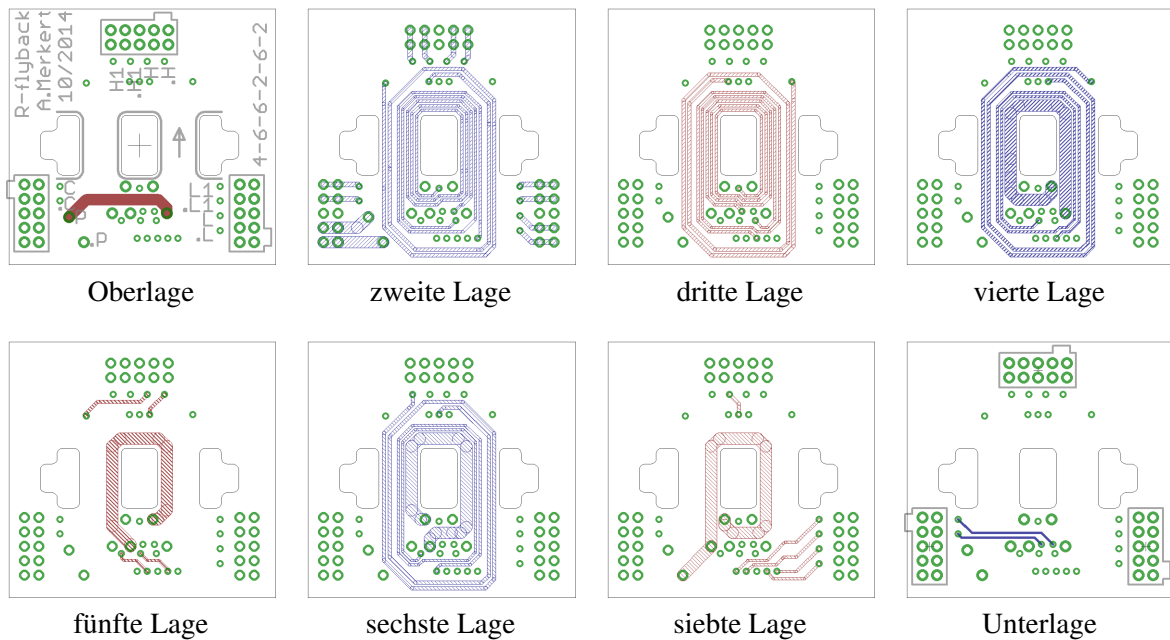


Abbildung A.7: Platinenwicklung des v2 Niederspannungssperrwandler-Transformators für den Normalbetrieb

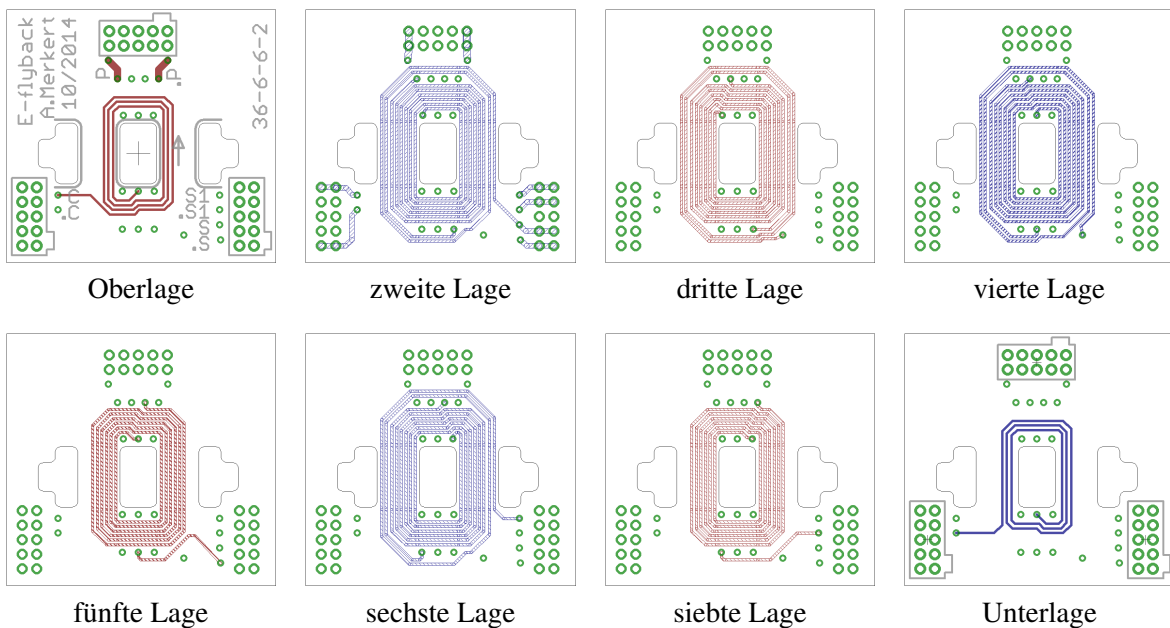


Abbildung A.8: Platinenwicklung des v2 Hochspannungssperrwandler-Transformators für den Fehlerbetrieb

A.4 Analytische Berechnung der Induktivität der Zwischenkreisleitung

Die in diesem Abschnitt bis Gl. (A.9) gezeigte Ableitung aus den Grundgleichungen ist bereits in [124] geführt. Die Ableitung wird an dieser Stelle jedoch zur besseren Verständlichkeit der Zusammenhänge in reduzierter Form wiederholt und anschließend auf das vorliegende Problem angepasst.

Ausgehend von den Maxwellgleichungen in differentieller Form,

$$\vec{\nabla} \cdot \vec{E} = \frac{\rho}{\varepsilon}, \quad (\text{A.1})$$

$$\vec{\nabla} \cdot \vec{B} = 0, \quad (\text{A.2})$$

$$\vec{\nabla} \times \vec{E} = -\frac{\partial \vec{B}}{\partial t} = -j\omega \vec{B}, \quad (\text{A.3})$$

$$\vec{\nabla} \times \vec{B} = \mu \vec{J} + \varepsilon \mu \frac{\partial \vec{E}}{\partial t} = \mu \vec{J} + j\omega \varepsilon \mu \vec{E}, \quad (\text{A.4})$$

dem ohmschen Gesetz

$$\vec{J} = \sigma \vec{E}, \quad (\text{A.5})$$

dem linearen Materialeinfluss auf das magnetische Feld

$$\vec{B} = \mu \vec{H}, \quad (\text{A.6})$$

sowie der Annahme harmonisch-zeitabhängiger Größen in Gl. (A.3) und Vernachlässigung des Verschiebungsstroms in Gl. (A.4) ergibt sich

$$\vec{\nabla} \times (\vec{\nabla} \times \vec{H}) = -j\omega \sigma \mu \vec{H}. \quad (\text{A.7})$$

Mit dem Graßmannschen Entwicklungssatz folgt zunächst

$$\vec{\nabla} \cdot (\vec{\nabla} \cdot \vec{H}) - \vec{H} \cdot (\vec{\nabla} \cdot \vec{\nabla}) = -j\omega \sigma \mu \vec{H} \quad (\text{A.8})$$

und dann mit Gl. (A.2)

$$\nabla^2 \cdot \vec{H} = j\omega \sigma \mu \vec{H}. \quad (\text{A.9})$$

Die Skizze Abb. A.9 zeigt die Zwischenkreisverschienung mit Koordinatenbasis.

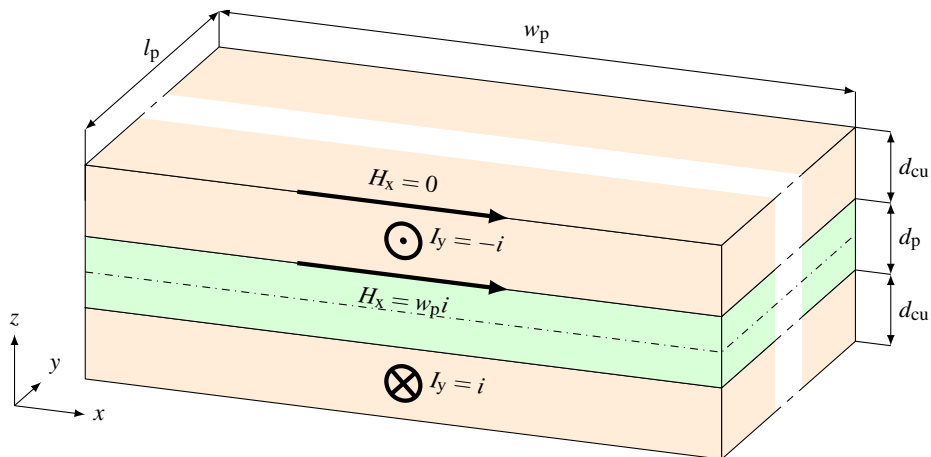


Abbildung A.9: Skizze der Zwischenkreisverschienung

Zur analytischen Lösung des Problems der frequenzabhängigen Induktivität werden die Vereinfachungen

$$w_p \gg d_{cu}, \quad (\text{A.10})$$

$$w_p \gg d_p, \quad (\text{A.11})$$

$$H_y = H_z = 0 \quad \text{und} \quad (\text{A.12})$$

$$H_x = f(z) \quad (\text{A.13})$$

angenommen. Mit diesen Annahmen kann Gl. (A.9) zu einer homogenen linearen Differenzialgleichung zweiter Ordnung mit konstanten Koeffizienten

$$\frac{\partial^2 H_x}{\partial z^2} - j\omega\sigma\mu H_x = 0 \quad (\text{A.14})$$

umgeschrieben werden. Die allgemeine Lösung dieser Gleichung

$$H_x = K_1 e^{\lambda_1 z} + K_2 e^{\lambda_2 z} \quad (\text{A.15})$$

mit den Randbedingungen

$$H_x|_{z=0} = w_p i \quad \text{und} \quad (\text{A.16})$$

$$H_x|_{z=d_{cu}} = 0 \quad (\text{A.17})$$

und Substitutionen

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}} \quad (\text{A.18})$$

$$K_1 = -K_2 = \frac{i}{w_p \cdot \sin\left(\frac{\sqrt{-j}2d_{cu}}{\delta}\right)} \quad (\text{A.19})$$

$$\lambda_1 = -\lambda_2 = \frac{\sqrt{j}2(d_{cu} - z)}{\delta} \quad (\text{A.20})$$

ergibt für das magnetische Feld im elektrisch leitfähigen Kupfer den folgenden Ausdruck

$$H_x = \frac{i}{w_p} \cdot \frac{\sin\left(\frac{(1-j)\sqrt{2}}{\delta}(d_{cu} - z)\right)}{\sin\left(\frac{\sqrt{j}2d_{cu}}{\delta}\right)}. \quad (\text{A.21})$$

Aus der magnetischen Feldstärke kann die Feldenergiedichte

$$E'_{cu} = \frac{\mu H_x^2}{2} = \frac{\mu i^2}{2w_p^2} \cdot \frac{\cos\left(\frac{4(d_{cu}-z)}{\delta}\sqrt{-j}\right) - 1}{\cos\left(\frac{\sqrt{-j}4d_{cu}}{\delta}\right) - 1} \quad (\text{A.22})$$

und daraus die Selbstinduktivität bestimmt werden:

$$L_{cu} = \frac{w_p l_p \mu}{i^2} \int_0^{d_{cu}} |E'_{p,cu}| dz \quad (\text{A.23})$$

$$L_{cu} = \frac{\mu l_p}{w_p} \cdot \frac{\sqrt{2}\delta}{8} \cdot \left| \frac{\frac{8d_{cu}}{\sqrt{2}\delta} - \sqrt{j} \sin\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) \cosh\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) - \sqrt{-j} \cos\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) \sinh\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right)}{-1 + \cos\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) \cosh\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) + j \sin\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right) \sinh\left(\frac{4d_{cu}}{\sqrt{2}\delta}\right)} \right|. \quad (\text{A.24})$$

A.5 Schaltversuchsstand und Schaltversuchsplatine

Dieser Abschnitt vermittelt eine Übersicht zu den Laboraufbauten welche zur Schaltflankencharakterisierung genutzt wurden. Der Aufbau und das Platinenlayout der Leistungsplatine entsprechen der Realisierung im 4H3WR Wandlersystem wurden jedoch durch Messpunkte erweitert. Beim Gatetreiber v2 wurde Schaltungen zur Sperrschichttemperaturermittlung implementiert und getestet, welche im finalen System nicht mehr enthalten sind und auf das Schaltverhalten keinen Einfluss ausüben. Des Weiteren weist das Layout des Gatetreibers v2 deutliche Unterschiede zu dem des Gatetreibers v3.1 auf. Beispielsweise sind die Sperrwandlertransformatoren bei Gatetreiber v2 auf aufsteckbaren Platinen verbaut, so kann ein angepasstes Wicklungslayout auf einfache Weise getestet werden. Abb. A.10 zeigt die Sicht von oben auf die Schaltversuchsplatine mit aufgesteckten Gatetreiber- und Transformatorplatinen.

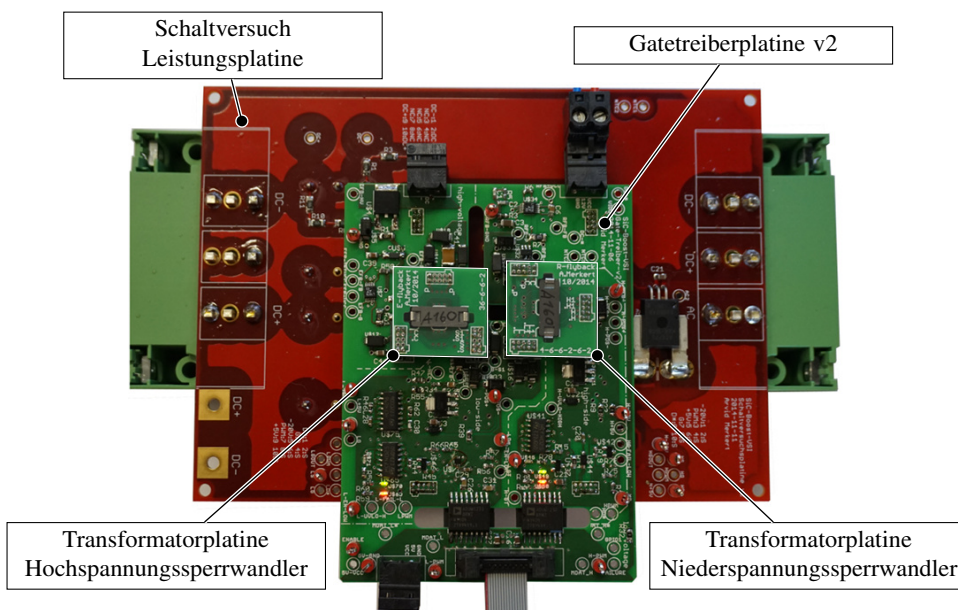


Abbildung A.10: Oberseite der Schaltversuchsplatine mit Gatetreiber und Messpunkten

In Abb. A.11 ist die Unterseite der Schaltversuchsplatine mit dem SiC-Halbbrückenmodul dargestellt.

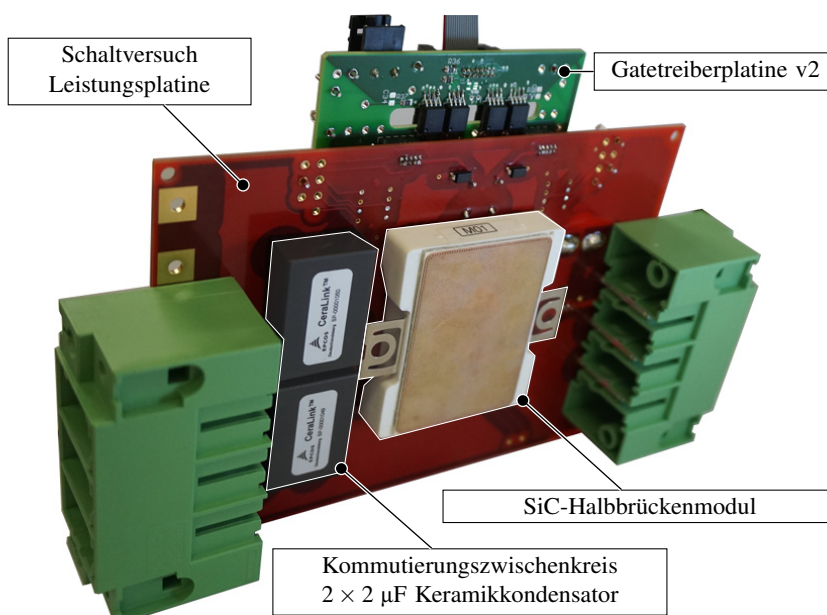


Abbildung A.11: Unterseite der Schaltversuchsplatine Zwischenkreis und Leistungsmodul

Für das Doppelpulsexperiment wurde ein zusätzlicher externer Speicherkondensator angebunden werden um die Spannung während der Messung stabil zu halten. Die gespeicherte Energie im integrierten Zwischenkreis, mit ca. $4 \mu\text{F}$ Kapazität bei den gewählten Spannungen von 100 V bis 800 V , ist im Vergleich zur Energie, welche an die Luftspule mit $100 \mu\text{H}$ Induktivität bei Strömen $\leq 200 \text{ A}$ abgegeben werden muss viel zu gering, um ein Absinken der Spannung während des Doppelpulsperiments zu vermeiden. Das Leistungsmodul wird wahlweise auf eine Heizplatte montiert, wodurch eine Sperrschichttemperatur in den Halbleiterchips eingeprägt werden kann.

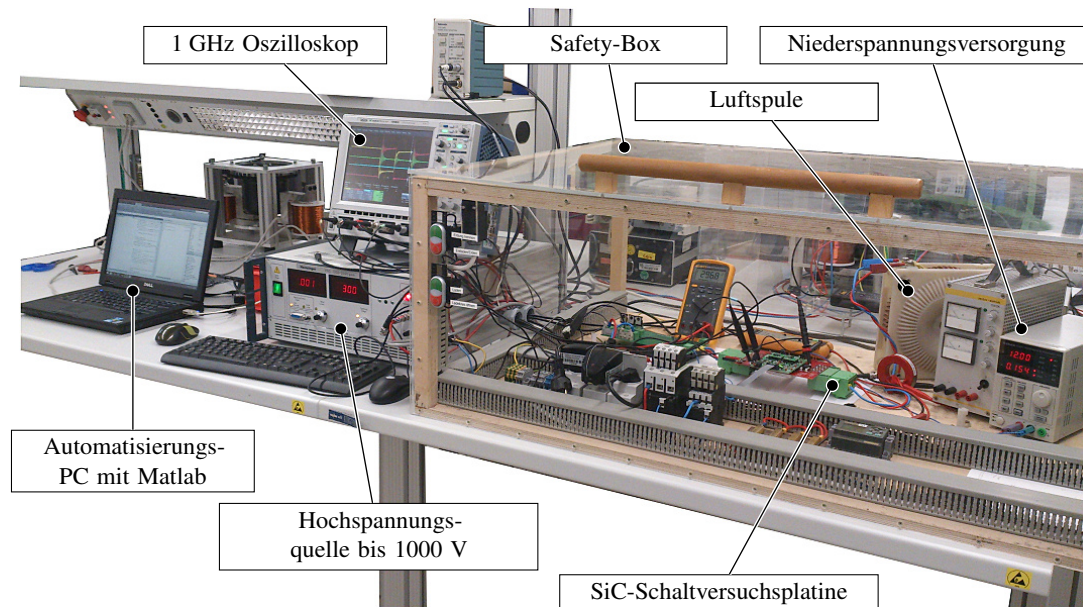


Abbildung A.12: Betriebsbereiter Schaltversuchsstand mit Prüfling

Der Prüfling wurde mit dem Laboraufbau aus Abb. A.12 im Doppelpulsversuch vermessen. Die gesamte Prüfstandsautomation und Steuerung erfolgt über ein proprietäres Matlab Tool, welches entsprechende Parameter an die Spannungsquelle, die FPGA Platine zur Pulserzeugung, die Heizplattensteuerung und an das Oszilloskop versendet. Zur Signalaufnahme wurden ausschließlich passive Spannungstastköpfe mit mehr als 500 MHz Grenzfrequenz eingesetzt. Mit einem schnellen Oszilloskop²⁾ wurden die gemessenen Zeitverläufe automatisiert aufgezeichnet.

A.6 Ersatzanordnung zur analytischen Berechnung des Strommesssystems

Zur analytischen Bestimmung der induzierten Spannung in einer Rogowskispule, werden zunächst zwei Grundanordnungen betrachtet, welche praktische Relevanz besitzen. In Abb. A.13 ist die Strommessung eines Linienleiters mit einer radial angeordneten „Empfangsspule“ dargestellt, welche für nahezu alle kommerziellen Messsysteme anwendbar ist. Der Linienleiter erzeugt ein tangentes Magnetfeld, welches reziprok mit dem Abstand abnimmt. Durch Integration der die „Empfangsspule“ axial durchsetzenden Induktion kann der Fluss und somit die induzierte Spannung in einer Spulenwindung nach Gl. (A.25) berechnet werden. Es wird dabei von einer rechteckigen Spulenwindung der Höhe h_s sowie einer Luftspule mit Innenradius r_i und Außenradius r_o ausgegangen. Die zweite Ersatzanordnung in Abb. A.14 stellt die im vorliegend Fall eher zutreffenden Variante eines homogen verteilten Stromflusses in einer Ebene dar. Dabei entsteht in der Empfangsspule ein homogenes axiales Feld. Die induzierte Windungsspannung u_{ik} kann daher unmittelbar nach Gl. (A.26) berechnet werden.

²⁾LeCroy Waverunner 104MXi 1 GHz

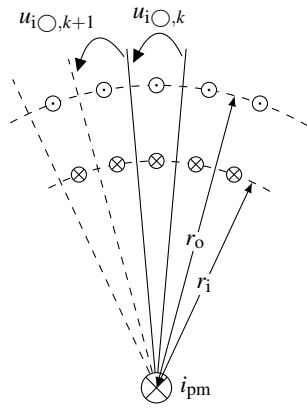


Abbildung A.13: Radiale Ersatzanordnung zur Berechnung der induzierten Spannung

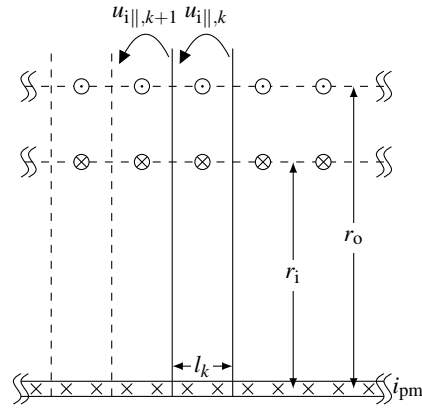


Abbildung A.14: Lineare Ersatzanordnung zur Berechnung der induzierten Spannung

Wie in Abschn. 5.1.2 nachgewiesen wurde können die Gleichungen

$$u_{iO,k} = \frac{\ln\left(\frac{r_o}{r_i}\right)}{2\pi} h \frac{di_{mod}}{dt} \quad \text{und} \quad (A.25)$$

$$u_{i||,k} = \frac{r_o - r_i}{\sum_{k=1}^{\kappa} l_k} h \frac{di_{mod}}{dt} = \frac{r_o - r_i}{\kappa l_k} h \frac{di_{mod}}{dt} \quad (A.26)$$

zur Berechnung eines Strommesssystems herangezogen werden.

A.7 Laboraufbau zur Vergleichsmessung von Rogowskispule und Pearson-Sonde

In Abb. A.15 ist der Aufbau bei der Vergleichsmessung der Rogowskispule mit offline-Integration mit einer Pearson-Sonde und einer kommerziellen Rogowskispule dargestellt.

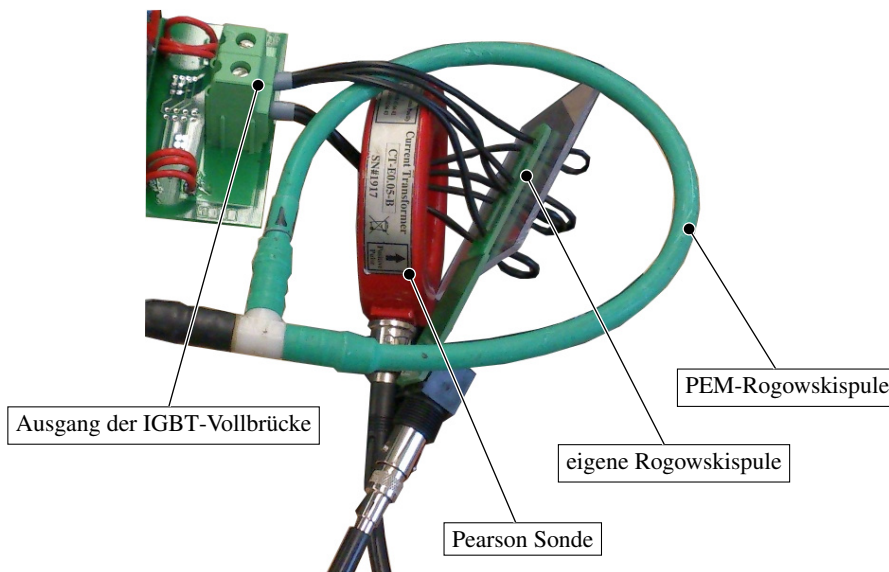


Abbildung A.15: Messaufbau zur Verifikation der Rogowskispule als Messmittel

Damit die Messbedingungen an der Rogowskispule exakt nachgebildet werden können wurde eine fixierte Kabelverlegung an der Stelle der Modulpins vorgesehen. Die Messergebnisse der kommerziellen Rogowskispule sind bei der Verifikationsmessung nicht dargestellt worden, da deren Verstärker in den Sättigungsbereich getrieben wurde und die Messungen somit offensichtlich fehlerbehaftet waren. Zur Erzeugung der Pulsströme wurde eine Vollbrücke mit 650 V IGBTs und 300 V Zwischenkreisspannung verwendet.

A.8 Stromtransienten mit Shunt-Widerstand, Strommesszange und Rogowskispule

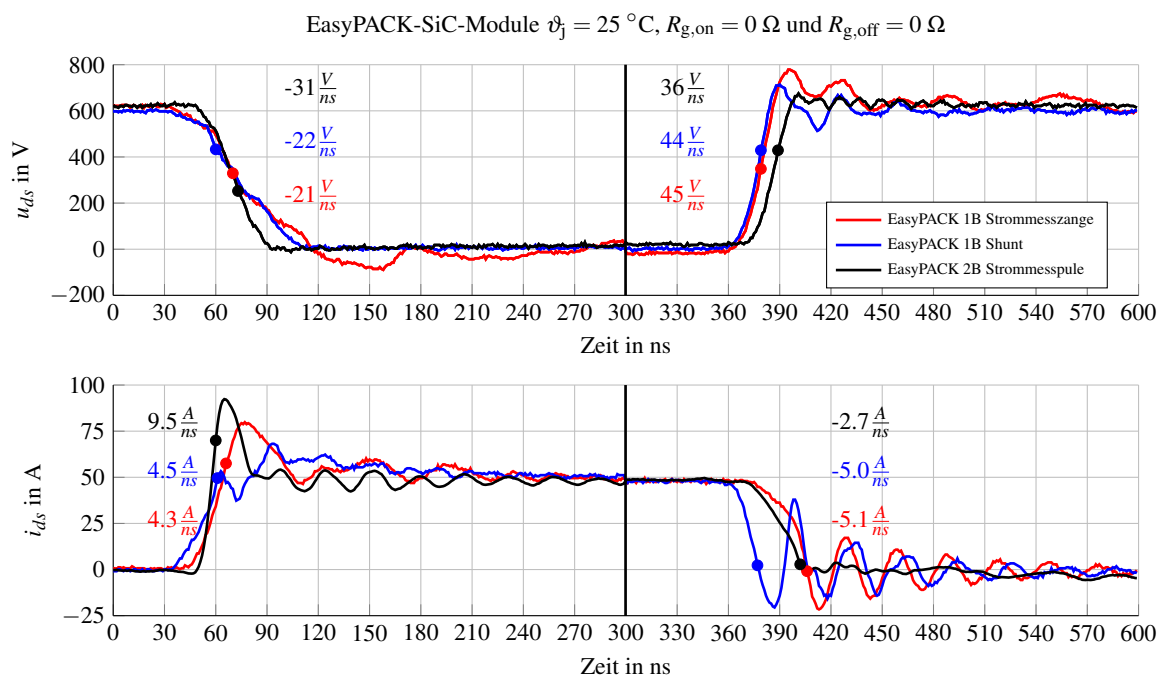


Abbildung A.16: Vergleich der Schaltkurven mit unterschiedlichen Strommessmethoden

In Abb. A.16 wurden Schaltkurven von unterschiedlichen SiC-JFET-Halbbrückenmodulen mit unterschiedlichen Messmitteln gegenübergestellt. Obwohl diese Messungen aufgrund der unterschiedlichen Halbleitermodule, Treiber und Messbedingungen offenkundig keinen exakten Vergleich zulassen, lässt sich dennoch eine starke Verzerrung des natürlichen Stromverlaufs in der Shuntstrommessung erkennen. Aus diesem Grund wurde die Rogowskispule als geeigneteres Messmittel ausgewählt und im Rahmen dieser Arbeit verwendet.

A.9 Messgrößen zur Bestimmung der transienten thermischen Charakteristik

In Abb. A.17 ist der Versuchsaufbau zur messtechnischen Bestimmung der thermischen Dynamik des EasyPack™2B Kühlerkörpers und dem SiC-JFET Halbbrückenmodul dargestellt. Der hydraulische Kreislauf besteht dabei aus dem Prüfling, einer drehzahlgeregelten Pumpe, einem Rückkühler, Verbindungsschläuchen und einem offenen Ausgleichsgefäß. Als Kühlmedium wurde deionisiertes Wasser verwendet. Durch eine Heizplatte unter dem Ausgleichsbehälter ist ein zusätzlicher Wärmeeintrag in den Kreislauf möglich. Als Messgrößen des hydraulischen Kreislaufs werden die Fluidtemperaturen im Zulauf $\vartheta_{f,zu}$ und Ablauf $\vartheta_{f,ab}$, die Druckdifferenz Δp_f und der Volumenstrom \dot{V}_f aufgenommen.

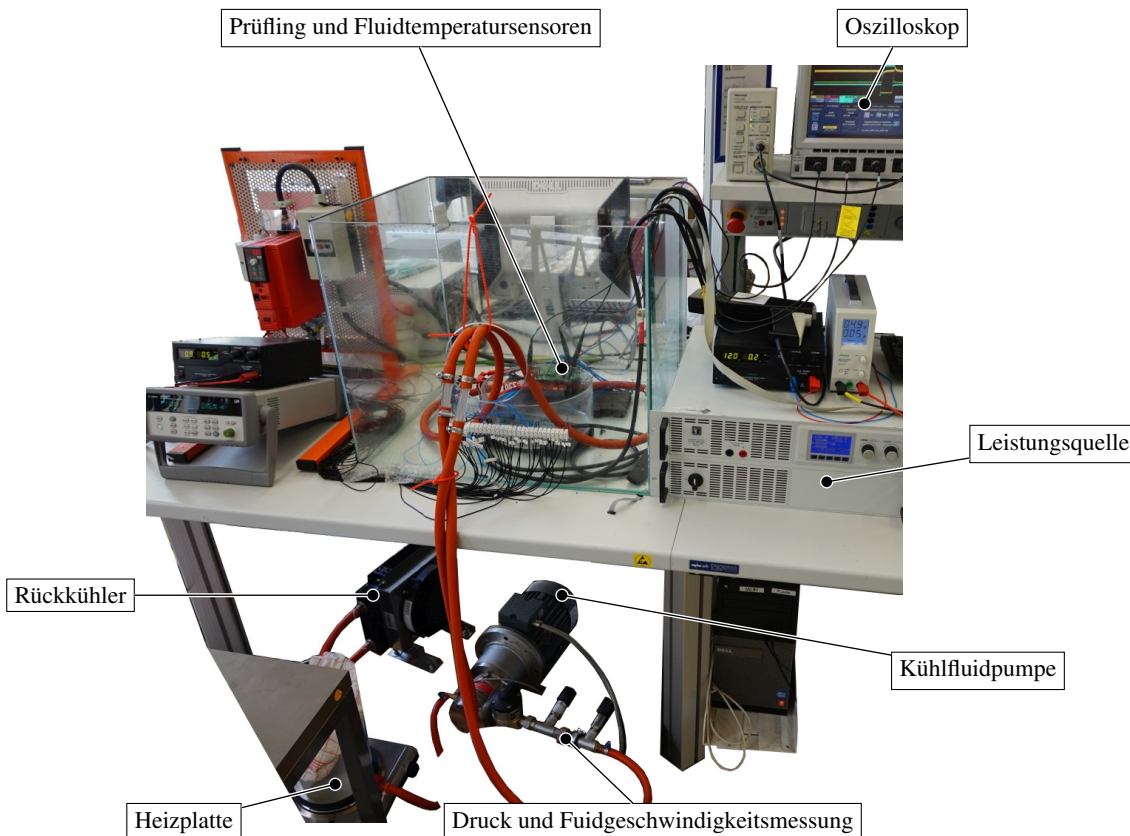


Abbildung A.17: Versuchsaufbau zur Z_{th} -bestimmung

Der Schaltplan des elektrischen Kreises ist in Abb. A.18 vereinfacht dargestellt. Mit einer leistungsregelten Quelle wird Verlustenergie in den beiden Halbleiterschaltern der Halbbrücke eingepreßt. Der untere Halbleiterschalter ist beim Experiment dauerhaft eingeschaltet. Durch Einschalten des oberen Halbleiterschalters bei $t = 0$ s wird ein Brückenkurzschluss erzeugt und die Quelle beginnt die Leistung zu regeln. Beim Abschalten des oberen Halbleiterschalters wird der Brückenkurzschluss und damit der Energiefluss wieder getrennt.

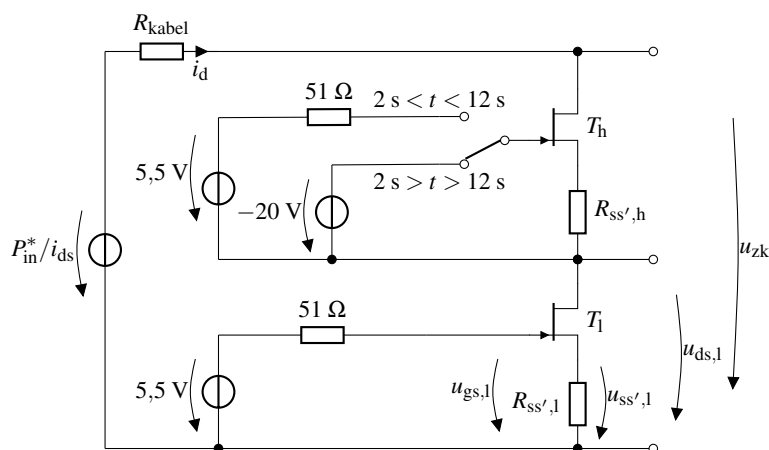


Abbildung A.18: Messschaltung zur Z_{th} -bestimmung

Als Messgrößen des elektrischen Kreises werden der Halbbrückenquerstrom i_d , die Spannungen über der Halbbrücke u_{zk} , die Drain-Source-Spannung des unteren Halbleiterschalters $u_{ds,l}$ und die Gate-Source-Spannung des unteren Halbleiterschalters $u_{gs,l}$ mit einem Oszilloskop erfasst.

In Abb. A.19 sind Messgrößen für drei unterschiedliche Fluidtemperatursollwerte $\vartheta_{f,zu}^*$ bei einem Leistungssollwert von $\dot{q}^* = 600 \text{ W}$ und einem Volumenstromsollwert von $\dot{V}_f^* = 4 \frac{\text{dm}^3}{\text{min}}$ dargestellt.

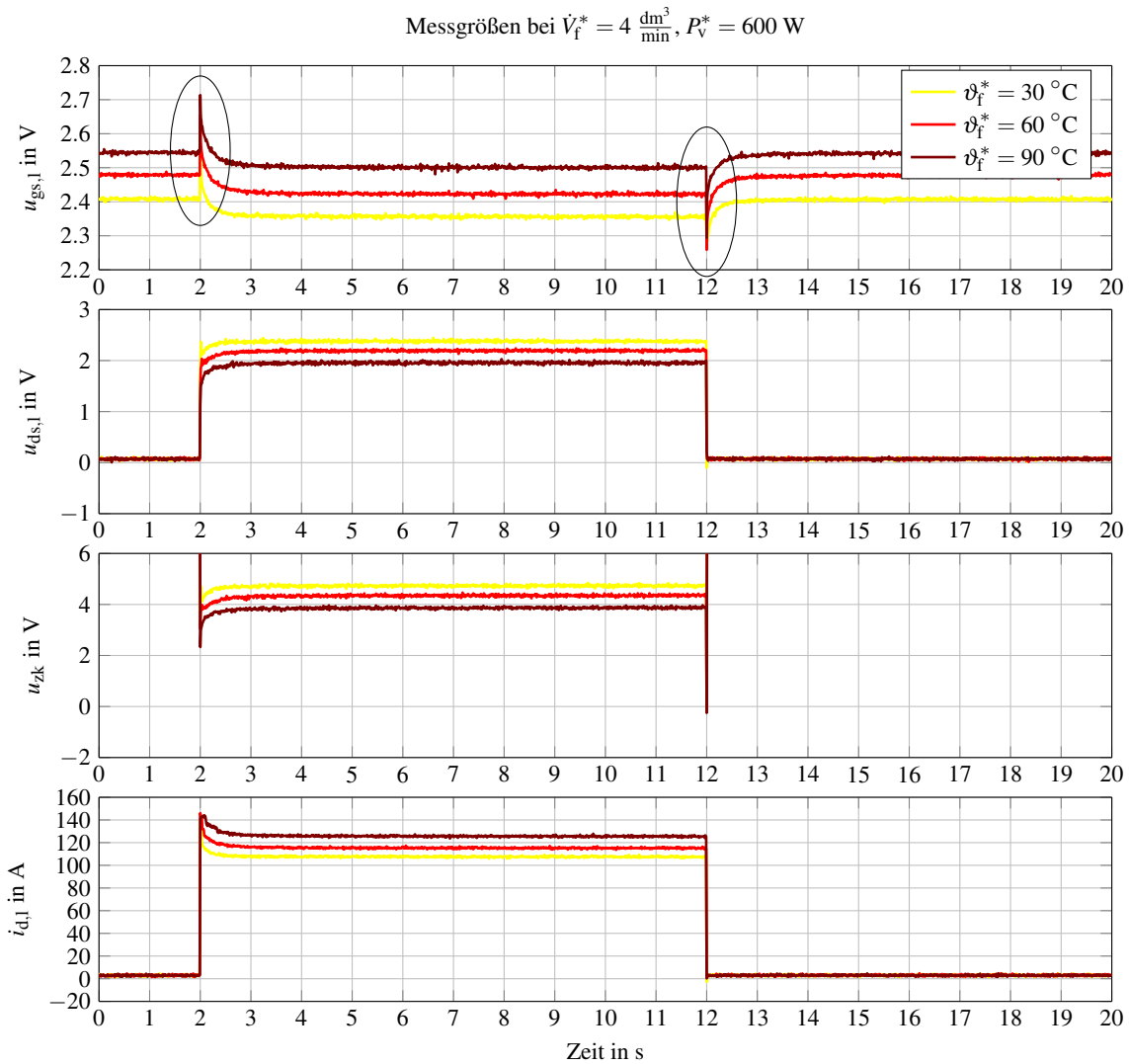
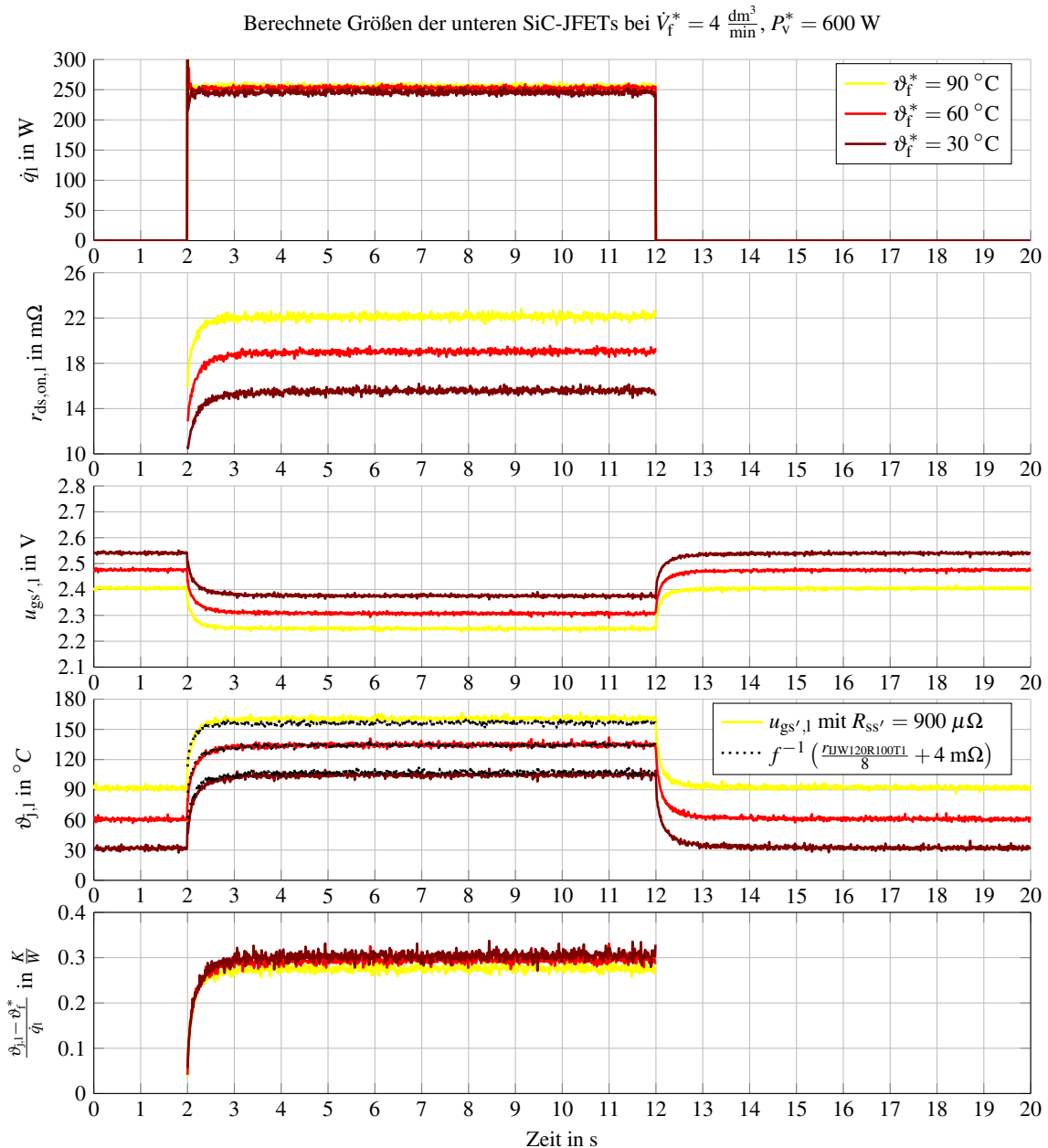


Abbildung A.19: Messgrößen zur Z_{th} -bestimmung

Auffallende Spannungssprünge im Verlauf der Gate-Source-Spannung im Bereich von 100 mV bis 150 mV beim Schalten sind hervorgehoben. Diese können durch eine ohmsche Kopplung von Last- und Gatekreis durch eine Bondverbindung im Halbleitermodul erklärt werden. Im Schaltplan in Abb. A.18 ist diese Kopplung bereits durch die Widerstände $R_{ss',h}$ und $R_{ss',l}$ dargestellt. Aufgrund dieser Kopplung eignet sich die am Halbleitermodul messbare Spannung $u_{gs,1}$ nicht direkt Sperrschichttemperaturbestimmung des stromdurchflossenen SiC-JFETs. Die gemessene Spannung müsste gemäß

$$u_{gs',1} = u_{gs,1} - u_{ss',1} = u_{gs,1} - i_d R_{ss',1}(\vartheta) \quad (\text{A.27})$$

um den Spannungsabfall $u_{ss',1}$ rechnerisch korrigiert werden. Für eine exakte Korrektur ist die Kenntnis der Augenblickwerte des Stromes i_d und des Kopplungswiderstands $R_{ss',1}$ erforderlich. Mit einem konstanten Widerstand von $R_{ss'} = 900 \mu\Omega$ konnten in Abb. A.20 plausible Korrekturergebnisse erzielt werden, allerdings ist bei der Impedanzkopplung per Aluminiumbondverbindung der Kopplungswiderstand $R_{ss',1}(\vartheta_b)$ abhängig von der Bonddrahttemperatur ϑ_b . Durch diese parasitären Einflüsse wäre die exakte Korrektur der Spannung u_{gs} genauso aufwendig wie die Beobachtung der Sperrschichttemperatur durch ein exaktes Modell und wird nur beispielhaft in Abb. A.20 zur Temperaturbestimmung herangezogen.

Abbildung A.20: Z_{th} -bestimmung aus berechneten Größen

Um die messbare Durchlassspannung der Gate-Source-Diode des SiC-JFETs im stromdurchflossenen Zustand zur Sperrschichttemperaturbestimmung nutzbar zu machen, könnte ein geänderter Modulaufbau mit Kelvin-Source-Anschluss hilfreich sein. Nach dem Abschalten des Stromes durch den oberen SiC-JFET bei $t > 12 \text{ s}$ kann jedoch das dynamische thermische Verhalten der Sperrschicht des unteren Halbleiterschalters ohne die parasitäre Impedanzkopplung beobachtet werden. Die folgenden

$$\dot{q}_l = u_{ds,1} i_d \quad \text{und} \quad (\text{A.28})$$

$$\dot{q}_h = (u_{zk} - u_{ds,1}) i_d \quad (\text{A.29})$$

wurden verwendet um aus den Messgrößen die Anregungen des thermischen Systems zu ermitteln. Zusätzlich kann bei diesem Experiment auch aus der Durchlasscharakteristik der SiC-JFETs auf die Sperrschichttemperatur geschlossen werden. Dabei muss bei der Verwendung des in Abb. A.20 ermittelten Durchlasswiderstands $r_{ds,on,1}$ auch dessen Abhängigkeit vom Durchlassstrom i_d berücksichtigt werden.

Aus der Charakteristik im Datenblatt [64] wurde diese Stromabhängigkeit ermittelt und ein zusätzlicher Zuleitungswiderstand von $4\text{ m}\Omega$ angenommen um die zusätzlichen Sperrschichttemperaturen in Abb. A.20 zu ermitteln.

A.10 Versuchsaufbau zur Vermessung des Wandlersystems

In Abb. A.21 ist der Laboraufbau dargestellt welcher zum Test, zur Inbetriebnahme und zur Wirkungsgradbestimmung des Labormusters eingesetzt wurde. Abb. A.22 zeigt das Labormuster mit den Messsystemen.

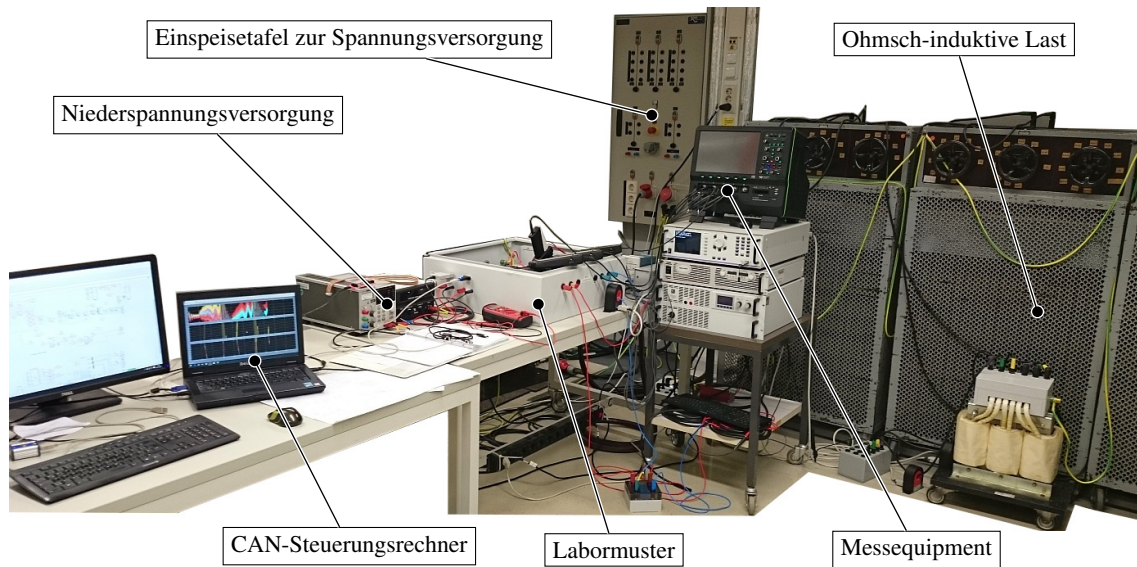


Abbildung A.21: Aufbau zum Betrieb des Labormusters

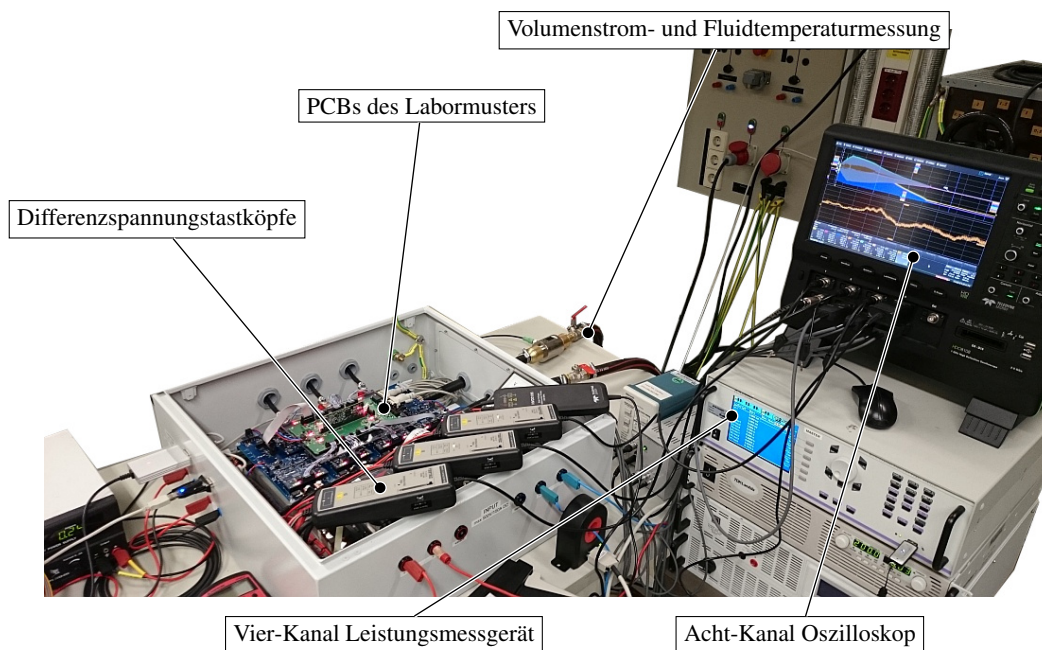


Abbildung A.22: Messgeräte im Aufbau zum Betrieb des Labormusters

Literaturverzeichnis

- [1] KOLAR, J. W. ; HOENE, E. ; HARDER, T.: ECPE Roadmap Power Electronics 2025 – Power Supplies, 2015
- [2] DE DONCKER, R. W. ; LYONS, J. P.: The auxiliary resonant commutated pole converter. In: *Industry Applications Society Annual Meeting, 1990., Conference Record of the 1990 IEEE*, 1990, S. 1228–1235 vol.2
- [3] KADAVELUGU, A. ; BALIGA, V. ; BHATTACHARYA, S. ; DAS, M. ; AGARWAL, A.: Zero voltage switching performance of 1200V SiC MOSFET, 1200V silicon IGBT and 900V CoolMOS MOSFET. In: *2011 IEEE Energy Conversion Congress and Exposition*, 2011, S. 1819–1826
- [4] KOLAR, J. W. ; KRISMER, F. ; LOBSIGER, Y. ; MUHLETHALER, J. ; NUSSBAUMER, T. ; MINIBOCK, J.: Extreme efficiency power electronics. In: *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, S. 1–22
- [5] PAPER, ECPE P.: *Next Generation Power Electronics based on Wide Bandgap Devices - Challenges and Opportunities for Europe*. Website, 05 2016
- [6] OLEJNICZAK, K. ; FLINT, T. ; SIMCO, D. ; STORKOV, S. ; MCGEE, B. ; SHAW, R. ; PASSMORE, B. ; GEORGE, K. ; CURBOW, A. ; MCNUTT, T.: A compact 110 kVA, 140 °C ambient, 105 °C liquid cooled, all-SiC inverter for electric vehicle traction drives. In: *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, S. 735–742
- [7] KIM, H. ; CHEN, H. ; MAKSIMOVIC, D. ; ERICKSON, R. ; COLE, Z. ; PASSMORE, B. ; OLEJNICZAK, K.: SiC-MOSFET composite boost converter with 22 kW/l power density for electric vehicle application. In: *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, S. 134–141
- [8] NAKATA, H. ; KREUTZER, O. ; MÄRZ, M.: Full SiC DCDC-Converter with a Power Density of more than 100 kW/dm³. In: *Silicon Carbide and Related Materials 2014* Bd. 821, Trans Tech Publications, 7 2015 (Materials Science Forum), S. 884–888
- [9] BURKART, R. M.: *Advanced Modeling and Multi-Objective Optimization of Power Electronic Converter Systems*. Schweiz, ETH Zürich, Dissertation, 2016
- [10] KOLAR, J. W. ; BIELA, J. ; WAFFLER, S. ; FRIEDLI, T. ; BADSTUEBNER, U.: Performance trends and limitations of power electronic systems. In: *Proc. 6th Int. Conf. Integrated Power Electronics Systems*, 2010, S. 1–20
- [11] SCHRÖDER, D.: *Leistungselektronische Bauelemente*. 2. Springer, 2006. – ISBN 978-3-540-28728-5

- [12] LUTZ, J.: *Halbleiter-Leistungsbaulemente*. Springer, 2012. – ISBN 978–3–642–29795–3
- [13] MADHUSOODHANAN, S. ; TRIPATHI, A. ; PATEL, D. ; MAINALI, K. ; KADAVELUGU, A. ; HAZRA, S. ; BHATTACHARYA, S. ; HATUA, K.: Solid-State Transformer and MV Grid Tie Applications Enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs Based Multilevel Converters. In: *IEEE Transactions on Industry Applications* 51 (2015), July, Nr. 4, S. 3343–3360
- [14] TRIPATHI, A. K. ; MAINALI, K. ; PATEL, D. C. ; KADAVELUGU, A. ; HAZRA, S. ; BHATTACHARYA, S. ; HATUA, K.: Design Considerations of a 15-kV SiC IGBT-Based Medium-Voltage High-Frequency Isolated DCDC Converter. In: *IEEE Transactions on Industry Applications* 51 (2015), July, Nr. 4, S. 3284–3294
- [15] HUANG, A. Q.: New unipolar switching power device figures of merit. In: *IEEE Electron Device Letters* 25 (2004), May, Nr. 5, S. 298–301
- [16] CHOW, T. P.: Wide bandgap semiconductor power devices for energy efficient systems. In: *Wide Bandgap Power Devices and Applications (WiPDA), 2015 IEEE 3rd Workshop on*, 2015, S. 402–405
- [17] GREKOV, A. E. ; CHEN, Z. ; FU, R. ; HUDGINS, J. L. ; MANTOOTH, H. A. ; SHERIDAN, D. C. ; CASADY, J. ; SANTI, E.: Parameter Extraction Procedure for Vertical SiC Power JFET. In: *IEEE Transactions on Industry Applications* 47 (2011), July, Nr. 4, S. 1862–1871
- [18] DIMARINO, C. ; CHEN, Z. ; BOROYEVICH, D. ; BURGOS, R. ; MATTAVELLI, P.: Characterization and comparison of 1.2 kV SiC power semiconductor devices. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on*, 2013, S. 1–10
- [19] ABUSHMAIS, I. ; UNDELAND, T.: Dynamic characterization of 63 m Ω 1.2 kV, normally-off SiC VJFET. In: *Power Electronics and ECCE Asia (ICPE ECCE), 2011 IEEE 8th International Conference on*, 2011, S. 1206–1210
- [20] YU, L. C. ; DUNNE, G. T. ; MATOCHA, K. S. ; CHEUNG, K. P. ; SUEHLE, J. S. ; SHENG, K.: Reliability Issues of SiC MOSFETs: A Technology for High-Temperature Environments. In: *IEEE Transactions on Device and Materials Reliability* 10 (2010), Dec, Nr. 4, S. 418–426
- [21] NAKAMURA, R. ; NAKANO, Y. ; AKETA, M. ; NORIAKI, K. ; INO, K.: 1200V 4H-SiC Trench Devices. In: *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, 2014, S. 1–7
- [22] TAKAYA, H. ; MORIMOTO, J. ; HAMADA, K. ; YAMAMOTO, T. ; SAKAKIBARA, J. ; WATANABE, Y. ; SOEJIMA, N.: A 4H-SiC trench MOSFET with thick bottom oxide for improving characteristics. In: *2013 25th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2013, S. 43–46
- [23] SLAWINSKI, M. ; VILLBUSCH, T. ; HEER, D. ; BUSCHKUEHLE, M.: Demonstration of superior SiC MOSFET Module performance within a Buck-Boost Conversion System. In: *Proc. Renewable Energy and Energy Management PCIM Europe 2016; Int. Exhibition and Conf. for Power Electronics, Intelligent Motion*, 2016, S. 1–8
- [24] PETERS, D. ; BASLER, T. ; ZIPPELIUS, B. ; AICHINGER, T. ; BERGNER, W. ; ESTEVE, R. ; KUECK, D. ; SIEMIENIEC, R.: The New CoolSiCTMTrench MOSFET Technology for Low Gate Oxide Stress

- and High Performance. In: *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, S. 1–7
- [25] WANG, Z. ; SHI, X. ; TOLBERT, L. M. ; WANG, F. ; LIANG, Z. ; COSTINETT, D. ; BLALOCK, B. J.: Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs. In: *IEEE Transactions on Power Electronics* 31 (2016), Feb, Nr. 2, S. 1555–1566
- [26] UEMOTO, Y. ; HIKITA, M. ; UENO, H. ; MATSUO, H. ; ISHIDA, H. ; YANAGIHARA, M. ; UEDA, T. ; TANAKA, T. ; UEDA, D.: Gate Injection Transistor (GIT) – A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation. In: *IEEE Transactions on Electron Devices* 54 (2007), Dec, Nr. 12, S. 3393–3399
- [27] UEMOTO, Y. ; MORITA, T. ; IKOSHI, A. ; UMEDA, H. ; MATSUO, H. ; SHIMIZU, J. ; HIKITA, M. ; YANAGIHARA, M. ; UEDA, T. ; TANAKA, T. ; UEDA, D.: GaN monolithic inverter IC using normally-off gate injection transistors with planar isolation on Si substrate. In: *2009 IEEE International Electron Devices Meeting (IEDM)*, 2009, S. 1–4
- [28] UJITA, S. ; KINOSHITA, Y. ; UMEDA, H. ; MORITA, T. ; TAMURA, S. ; ISHIDA, M. ; UEDA, T.: A compact GaN-based DC-DC converter IC with high-speed gate drivers enabling high efficiencies. In: *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2014, S. 51–54
- [29] LU, B. ; PINER, E. L. ; PALACIOS, T.: Breakdown mechanism in AlGaIn/GaN HEMTs on Si substrate. In: *Device Research Conference (DRC), 2010*, 2010, S. 193–194
- [30] KRISMER, F.: *Modeling and Optimization of Bidirectional Dual Active Bridge DC-DC Converter Topologies*. Schweiz, ETH Zürich, Dissertation, 2010
- [31] WAFFLER, S.: *Hochkompakter bidirektionaler DC-DC-Wandler für Hybridfahrzeuge*. Schweiz, ETH Zürich, Dissertation, 2013
- [32] FRIEDLI, T.: *Comparative Evaluation of Three-Phase Si and SiC AC-AC Converter Systems*. Schweiz, ETH Zürich, Dissertation, 2010
- [33] *Kapitel Zero Space Vector Placement Modulation Strategies*. In: HOLMES, D. G. ; LIPO, T. A.: *Pulse Width Modulation for Power Converters: Principles and Practice*. Bd. 1. U.S.A : John Wiley & Sons, Inc., 2003, S. 259–336
- [34] KOLAR, J. W. ; ERTL, H. ; ZACH, F. C.: Calculation of the Passive and Active Component Stress of Three Phase PWM Converter Systems with High Pulse Rate. In: *Proceedings of the 3rd European Conference on Power Electronics and Applications*. Aachen, October 1989
- [35] SCHRÖDER, J. C.: *Batterie-Stützung mit DC/DC-Wandler und Doppelschichtkondensatoren für elektrische Fahrantriebe*, Christian-Albrechts-Universität zu Kiel, Dissertation, 2014
- [36] PENG, F.Z.: Z-source inverter. In: *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the* Bd. 2, 2002, S. 775–781 vol.2
- [37] ELLABBAN, O. ; VAN MIERLO, J. ; LATAIRE, P.: Comparison between different PWM control methods for different Z-source inverter topologies. In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, 2009, S. 1–11

- [38] SHEN, M. ; WANG, J. ; JOSEPH, A. ; PENG, F. Z. ; TOLBERT, L.M. ; ADAMS, D.J.: Constant boost control of the Z-source inverter to minimize current ripple and voltage stress. In: *Industry Applications, IEEE Transactions on* 42 (2006), May, Nr. 3, S. 770–778
- [39] MALOTTKI, S. von ; HAMEYER, K.: Extended base speed range by using a current-source-inverter-fed IPMSM for automotive application. In: *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, 2014, S. 1–8
- [40] HALKOSAARI, T. ; TUUSA, H.: Optimal Vector Modulation of a PWM Current Source Converter According to Minimal Switching Losses; , Tokyo. In: *Proceedings of the International Power Electronics Conference IPEC, 2000*
- [41] MANTOOTH, H.A. ; PENG, K. ; SANTI, E. ; HUDGINS, J.L.: Modeling of Wide Bandgap Power Semiconductor Devices – Part I. In: *Electron Devices, IEEE Transactions on* 62 (2015), Feb, Nr. 2, S. 423–433
- [42] SANTI, E. ; PENG, K. ; MANTOOTH, H.A. ; HUDGINS, J.L.: Modeling of Wide-Bandgap Power Semiconductor Devices – Part II. In: *Electron Devices, IEEE Transactions on* 62 (2015), Feb, Nr. 2, S. 434–442
- [43] MERKERT, A. ; KRONE, T. ; MERTENS, A.: Characterization and Scalable Modeling of Power Semiconductors for Optimized Design of Traction Inverters with Si- and SiC-Devices. In: *IEEE Transactions on Power Electronics* 29 (2014), Nr. 5, S. 2238–2245
- [44] MASANA, F.N.: A new approach to the dynamic thermal modelling of semiconductor packages. In: *Microelectronics Reliability* 41 (2001), Nr. 6, S. 901 – 912
- [45] INFINEON: Technische Information IGBT Module FS800R07A2E3 / Infineon Technologies AG. 2011 (Rev 3.0). – Datasheet
- [46] SHENG, K.: Maximum Junction Temperatures of SiC Power Devices. In: *Electron Devices, IEEE Transactions on* 56 (2009), Feb, Nr. 2, S. 337–342
- [47] WRZECIONKO, B. ; BIELA, J. ; KOLAR, J.W.: SiC power semiconductors in HEVs: Influence of junction temperature on power density, chip utilization and efficiency. In: *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, 2009, S. 3834–3841
- [48] BUTTAY, C. ; OUAIDA, R. ; MOREL, H. ; BERGOGNE, D. ; RAYNAUD, C. ; MOREL, F.: Thermal Stability of Silicon Carbide Power JFETs. In: *Electron Devices, IEEE Transactions on* 60 (2013), Dec, Nr. 12, S. 4191–4198
- [49] WRZECIONKO, B. ; BORTIS, D. ; KOLAR, J.W.: A 120 °C Ambient Temperature Forced Air-Cooled Normally-off SiC JFET Automotive Inverter System. In: *Power Electronics, IEEE Transactions on* 29 (2014), May, Nr. 5, S. 2345–2358
- [50] GOPIREDDY, L. ; TOLBERT, L. M. ; OZPINECI, B. ; PINTO, J. O. P.: Rainflow algorithm based lifetime estimation of power semiconductors in utility applications. In: *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, S. 2293–2299
- [51] CILIOX, A. ; GÄRLICH, J ; GUTH, K. ; HILLE, F ; KRASEL, S ; LUNIEWSKI, P ; SIEPE, D ; SZCZUPAK, P ; UMBACH, F: New Module generation for higher lifetime. In: *Proceedings*

- PCIM Europe 2010 - Power Electronics, Intelligent Motion and Power Quality 2010, International Exhibition & Conference for*, 2010, S. 238–243
- [52] HEROLD, C. ; SCHAEFER, M. ; SAUERLAND, F. ; POLLER, T. ; LUTZ, J. ; SCHILLING, O.: Power cycling capability of Modules with SiC-Diodes. In: *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, S. 1–6
- [53] MIWA, B. A.: *Interleaved conversion techniques for high density power supplies*. U.S.A., Massachusetts Institute of Technology, Dept. of Electrical Engineering and Computer Science, Phd Thesis, 1992
- [54] AVERBERG, A. ; TRAN, H. N. ; NGUYEN, C. Q. ; MERTENS, A.: Two-stage interleaved power conditioner for connecting a 5 kW el. SOFC with a 750 V dc link. In: *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, S. 2621–2628
- [55] JUNG, M. ; LEMPIDIS, G. ; HÖLSCH, D. ; STEFFEN, J.: Optimization considerations for interleaved DC-DC converters for EV battery charging applications, in terms of partial load efficiency and power density. In: *Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on*, 2015, S. 1–9
- [56] OKUDA, T. ; URAKABE, T. ; TSUNODA, Y. ; KIKUNAGA, T. ; IWATA, A.: Ripple Current Reduction in DC Link Capacitor by Harmonic Control of DC/DC Converter and PWM Inverter. In: *IEEE Transactions on Industry Applications* 129 (2009), Nr. 2, S. 144–149
- [57] LU, X. ; QIAN, W. ; CAO, D. ; PENG, F. Z. ; LIU, J.: A carrier modulation method for minimizing the dc link capacitor current ripple of the HEV DC-DC converter and inverter systems. In: *Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, 2011, S. 800–807
- [58] LU, X. ; PENG, F. Z.: Theoretical analysis of DC link capacitor current ripple reduction in the HEV DC-DC converter and inverter system using a carrier modulation method. In: *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, S. 2833–2839
- [59] SOMMER, C. ; MERKERT, A. ; MERTENS, A.: A New Control Method for Minimizing the DC-Link Capacitor Current of HEV Inverter Systems. In: *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, 2014, S. 1188–1193
- [60] *Kapitel Alpha, Beta, And Zero Components of Three-Phase Systems*. In: CLARKE, E.: *Circuit Analysis of A-C Power Systems*. Bd. 1. U.S.A. : John Wiley & Sons, Inc., 1943, S. 308–311
- [61] *Kapitel Inductor Design*. In: HURLEY, W. G. ; WÖLFLE, W. H.: *Transformers and Inductors for Power Electronics: Theory, Design and Applications*. Bd. 1. United Kingdom : John Wiley & Sons, Ltd, 2013, S. 55–91
- [62] JUNG, M. ; SEIBEL, A. ; STEFFEN, J. ; LEMPIDIS, G. ; KIRCHHOF, J. ; GABER, R. ; MARKLEIN, R.: Multimode Charging of Electric Vehicles. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, S. 1–9
- [63] YILMAZ, M. ; KREIN, P. T.: Review of Battery Charger Topologies, Charging Power Levels, and

- Infrastructure for Plug-In Electric and Hybrid Vehicles. In: *IEEE Transactions on Power Electronics* 28 (2013), May, Nr. 5, S. 2151–2169
- [64] INFINEON: SiC- JFET - Silicon Carbide- Junction Field Effect Transistor - CoolSiC™- 1200 V CoolSiC™ Power Transistor - IJW120R100T / Infineon Technologies AG. 2013 (Rev 2.0). – Datasheet
- [65] BERKANI, M. ; LEFEBVRE, S. ; BOUGHRARA, N. ; KHATIR, Z. ; FAUGIÈRES, J.-C. ; FRIEDRICH, P. ; HADDOUCHE, A.: Estimation of SiC {JFET} temperature during short-circuit operations. In: *Microelectronics Reliability* 49 (2009), S. 1358 – 1362. – 20th European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis 20th European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis
- [66] BOUARROUDJ-BERKANI, M. ; OTHMAN, D. ; LEFEBVRE, S. ; MOUMEN, S. ; KHATIR, Z. ; SALLAH, T. B.: Ageing of SiC JFET transistors under repetitive current limitation conditions. In: *Microelectronics Reliability* 50 (2010), Nr. 9-11, S. 1532 – 1537. – 21st European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis
- [67] BOUARROUDJ-BERKANI, M. ; LEFEBVRE, S. ; OTHMAN, D. ; SABRINE, S.M. ; KHATIR, Z. ; SALAH, T.B.: Failure modes and robustness of SiC JFET transistors under current limiting operations. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, 2011, S. 1–10
- [68] BERKANI, M. ; LEFEBVRE, S. ; KHATIR, Z.: Saturation Current and On-Resistance Correlation during During Repetitive Short-Circuit Conditions on SiC JFET Transistors. In: *Power Electronics, IEEE Transactions on* 28 (2013), Feb, Nr. 2, S. 621–624
- [69] LEFEBVRE, S. ; KHATIR, Z. ; SAINT-EVE, F.: Experimental behavior of single-chip IGBT and COOLMOS devices under repetitive short-circuit conditions. In: *Electron Devices, IEEE Transactions on* 52 (2005), Feb, Nr. 2, S. 276–283
- [70] BHALLA, A. ; LI, X. ; ALEXANDROV, P. ; DRIES, J. C.: The outlook for SiC vertical JFET technology. In: *The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*, 2013, S. 40–43
- [71] RODRIGUEZ ALONSO, A. ; FERNANDEZ DIAZ, M. ; LAMAR, D.G. ; AZPEITIA, M. Arias Perez d. ; HERNANDO, M. M. ; SEBASTIAN, J.: Switching Performance Comparison of the SiC JFET and SiC JFET/Si MOSFET Cascode Configuration. In: *Power Electronics, IEEE Transactions on* 29 (2014), May, Nr. 5, S. 2428–2440
- [72] DOMES, D. ; X., Zhang: CASCODE LIGHT - Normally-on JFET Stand Alone Performance in a Normally-off Cascode Circuit. In: *Proceedings PCIM Europe 2010 - Power Electronics, Intelligent Motion and Power Quality 2010, International Exhibition & Conference for*, 2010, S. 299–303
- [73] NORLING, K. ; LINDHOLM, C. ; DRAXELMAYR, D.: An Optimized Driver for SiC JFET-Based Switches Enabling Converter Operation With More Than 99 In: *Solid-State Circuits, IEEE Journal of* 47 (2012), Dec, Nr. 12, S. 3095–3104
- [74] DOMES, D. ; MESSELKE, C. ; KANSCHAT, P.: 1st Industrialized 1200V SiC JFET Module for High Energy Efficiency Applications. In: *Proceedings PCIM Europe 2011 - Power Electronics, Intelligent Motion and Power Quality 2011, International Exhibition & Conference for*, 2011, S. 567–572

- [75] BERGOGNE, D. ; RISALETTO, D. ; DUBOIS, F. ; HAMMOUD, A. ; MOREL, H. ; BEVILACQUA, P. ; ALLARD, B. ; BERRY, O. ; MEIBODYTABAR, F. ; RAËL, S. ; MEURET, R. ; DHOKKAR, S. ; HISPANO-SUIZA: Normally-On SiC JFETs in power converters: Gate driver and safe operation. In: *Proc. 6th Int. Conf. Integrated Power Electronics Systems*, 2010, S. 1–6
- [76] RISALETTO, D. ; BERGOGNE, D. ; DUBOIS, F. ; MOREL, H. ; ALLARD, B. ; MEURET, R.: A 200 °C Safety System at Power-Up of Normally On SiC JFETs Inverters. 29 (2014), Mai, Nr. 5, S. 2338–2344
- [77] FALAHI, K. E. ; DUBOIS, F. ; BERGOGNE, D. ; RISALETTO, D. ; ALLARD, B.: Integrated Anti-Short-Circuit Safety Circuit in CMOS SOI for Normally-On JFET. In: *Proc. 7th Int. Conf. Integrated Power Electronics Systems (CIPS)*, 2012, S. 1–5
- [78] XU, F. ; HAN, T. J. ; JIANG, D. ; TOLBERT, L. M. ; WANG, F. ; NAGASHIMA, J. ; KIM, S. J. ; KULKARNI, S. ; BARLOW, F.: Development of a SiC JFET-Based Six-Pack Power Module for a Fully Integrated Inverter. 28 (2013), März, Nr. 3, S. 1464–1478
- [79] PEFTITSIS, D. ; RABKOWSKI, J. ; NEE, H. P.: Self-Powered Gate Driver for Normally ON Silicon Carbide Junction Field-Effect Transistors Without External Power Supply. 28 (2013), März, Nr. 3, S. 1488–1501
- [80] PEFTITSIS, D. ; RABKOWSKI, J. ; NEE, H. P.: Design considerations for a self-powered gate driver for normally-ON SiC junction field-effect transistors. In: *Proc. IEEE ECCE Asia Downunder*, 2013, S. 251–257
- [81] PEFTITSIS, D. ; RABKOWSKI, J. ; NEE, H. P.: Self-Powered Gate Driver for Normally-ON SiC JFETs: Design Considerations and System Limitations. 29 (2014), Oktober, Nr. 10, S. 5129–5135
- [82] DUBOIS, F. ; BERGOGNE, D. ; RISALETTO, D. ; PERRIN, R. ; ZAOUI, A. ; MOREL, H. ; MEURET, R.: Ultrafast safety system to turn-off normally on SiC JFETs. In: *Proc. 14th European Conf. Power Electronics and Applications*, 2011, S. 1–10
- [83] DUBOIS, F. ; SOREL, S. ; DHOKKAR, S. ; MEURET, R. ; BERGOGNE, D. ; MARTIN, C. ; ALLARD, B. ; MOREL, H. ; WANG, R.: A high temperature ultrafast isolated converter to turn-off normally-on SiC JFETs. In: *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, S. 3581–3588
- [84] GUÉDON, F. ; SINGH, S. K. ; MCMAHON, R. A. ; UDREA, F.: Gate driver for SiC JFETs with protection against normally-on behaviour induced fault. In: *Electron Lett* 47 (2011), März, Nr. 6, S. 375–377
- [85] WEBER, S. ; MERKERT, A. ; MERTENS, A.: Gate Driver for Safe Operation of Depletion Mode SiC JFETs. In: *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, 2014, S. 5716–5722
- [86] MERKERT, A. ; WEBER, S. ; MERTENS, A.: Thermal Impedance Identification of a SiC JFET Module. In: *CIPS 2016 - 9th International Conference on Integrated Power Electronics Systems*, 2016
- [87] MUELLER, C. R. ; BAYERER, R.: Low-inductive inverter concept by 200 A / 1200 V half bridge in an EasyPACK 2B - following strip-line design. In: *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, S. 1–6

- [88] HOENE, E. ; OSTMANN, A. ; LAI, B. T. ; MARCZOK, C. ; MÜSING, A. ; KOLAR, J.W.: Ultra-Low-Inductance Power Module for Fast Switching Semiconductors. In: *Proceedings PCIM Europe 2013 - Power Electronics, Intelligent Motion and Power Quality 2011, Conference for*, Mesago PCIM GmbH, May 2013, S. 198–205
- [89] KRONE, T. ; MERTENS, A.: DC link RMS current estimation in systems with several converters connected to a shared DC link with distributed capacitors. In: *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016, S. 1–10
- [90] BORGHOFF, G.: Implementation of low inductive strip line concept for symmetric switching in a new high power module. In: *Proceedings PCIM Europe 2013 - Power Electronics, Intelligent Motion and Power Quality 2013, International Exhibition & Conference for*, 2013, S. 185–191
- [91] APPEL, T.G.: *Ein Beitrag zur Analyse des Schaltverhaltens unipolarer SiC-Transistoren*. Deutschland, Universität Rostock - Fakultät für Informatik und Elektrotechnik, Dissertation, 2014
- [92] LEMMON, A. ; MAZZOLA, M. ; GAFFORD, J. ; PARKER, C.: Stability Considerations for Silicon Carbide Field-Effect Transistors. In: *Power Electronics, IEEE Transactions on* 28 (2013), Oct, Nr. 10, S. 4453–4459
- [93] MILLER, J. M.: Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit. In: *Scientific Papers of the Bureau of Standards* Bd. 15, 1920, S. 367–385
- [94] SIEMIENIEC, R. ; MOURICK, P. ; NETZEL, M. ; LUTZ, J.: The plasma extraction transit-time oscillation in bipolar power Devices-Mechanism, EMC effects, and prevention. In: *Electron Devices, IEEE Transactions on* 53 (2006), Feb, Nr. 2, S. 369–379
- [95] XU, Z. ; XU, F. ; NING, P. ; WANG, F.: Development of a 30 kW Si IGBT based three-phase converter for operation at 200 °C with high temperature coolant in hybrid electric vehicle applications. In: *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, S. 3027–3033
- [96] BURRESS, T.A. ; COOMER, C.L. ; CAMPBELL, S.L. ; WERESZCZAK, A.A. ; CUNNINGHAM, J.P. ; MARLINO, L.D. ; SEIBER, L.E. ; LIN, H.T.: Evaluation of the 2008 Lexus LS 600H Hybrid Synergy Drive System. 2009. – Forschungsbericht
- [97] OLESEN, K. ; BREDTMANN, R. ; EISELE, R.: Shower Power – New Cooling Concept for Automotive Applications. In: *Automotive Power Electronics* (2006), S. 1–9
- [98] MOUMEN, S. ; LEFEBVRE, S. ; KHATIR, Z. ; FAUGIERES, J.-C.: Indirect thermal measurement on SiC JFET transistors. In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, 2009, S. 1–10
- [99] BLACKBURN, D.L.: An Electrical Technique for the Measurement of the Peak Junction Temperature of Power Transistors. In: *Reliability Physics Symposium, 1975. 13th Annual*, 1975, S. 142–150
- [100] NIETO, M. I. ; MARTINEZ, R. ; MAZEROLLES, L. ; BAUDIN, C.: Improvement in the thermal shock resistance of alumina through the addition of submicron-sized aluminium nitride particles. In: *Journal of the European Ceramic Society* 24 (2004), Nr. 8, S. 2293 – 2301
- [101] BURKART, R. M. ; KOLAR, J. W.: Comparative Life Cycle Cost Analysis of Si and SiC PV

- Converter Systems Based on Advanced *eta-rho-sigma* Multiobjective Optimization Techniques. 32 (2017), Juni, Nr. 6, S. 4344–4358
- [102] CHRISTEN, T. ; CARLEN, M. W.: Theory of Ragone plots. In: *Journal of Power Sources* 91 (2000), Nr. 2, S. 210 – 216
- [103] CHOI, D. H. ; RANDALL, C. ; FURMAN, E. ; MA, B. ; BALACHANDRAN, U. B. ; ZHANG, S. ; LANAGAN, M.: Energy and power densities of capacitors and dielectrics. In: *Proc. IEEE Int. Workshop Integrated Power Packaging (IWIPP)*, 2015, S. 52–55
- [104] WANG, H. ; BLAABJERG, F.: Reliability of Capacitors for DC-Link Applications in Power Electronic Converters —An Overview. 50 (2014), September, Nr. 5, S. 3569–3578
- [105] BARTH, C. B. ; MOON, I. ; LEI, Y. ; QIN, S. ; ROBERT, C. N. ; PILAWA-PODGURSKI: Experimental evaluation of capacitors for power buffering in single-phase power converters. In: *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, S. 6269–6276
- [106] NEUMAYR, D. ; BORTIS, D. ; KOLAR, J. W.: Ultra-compact Power Pulsation Buffer for single-phase DC/AC converter systems. In: *Proc. IEEE 8th Int. Power Electronics and Motion Control Conf. (IPEMC-ECCE Asia)*, 2016, S. 2732–2741
- [107] WEN, H. ; XIAO, W. ; WEN, X. ; ARMSTRONG, P.: Analysis and Evaluation of DC-Link Capacitors for High-Power-Density Electric Vehicle Drive Systems. 61 (2012), September, Nr. 7, S. 2950–2964
- [108] TEICHEL, S.H. ; DÖRBAUM, M. ; MISIR, O. ; MERKERT, A. ; MERTENS, A. ; SEUME, J.R. ; PONICK, B.: Design Considerations for the Components of Electrically Powered Active High-Lift Systems in Civil Aircraft. In: *CEAS Aeronautical Journal* (2014), S. 1–19
- [109] QIN, S. ; LEI, Y. ; BARTH, C. ; LIU, W. C. ; PILAWA-PODGURSKI, R. C. N.: A high-efficiency high energy density buffer architecture for power pulsation decoupling in grid-interfaced converters. In: *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, S. 149–157
- [110] BURKART, R. M. ; UEMURA, H. ; KOLAR, J. W.: Optimal inductor design for 3-phase voltage-source PWM converters considering different magnetic materials and a wide switching frequency range. In: *Proc. Int. Power Electronics Conf. (IPEC-Hiroshima 2014 - ECCE ASIA)*, 2014, S. 891–898
- [111] BARG, S. ; AMMOUS, K. ; MEJBRI, H. ; AMMOUS, A.: An Improved Empirical Formulation for Magnetic Core Losses Estimation Under Nonsinusoidal Induction. 32 (2017), März, Nr. 3, S. 2146–2154
- [112] LYONS, B.: *High-current inductors for high-power automotive DC-DC converters*. Ireland, University College Cork, Department of Electrical and Electronic Engineering, PhD Thesis, 2008
- [113] RYLKO, M. S. ; HARTNETT, K. J. ; HAYES, J. G. ; EGAN, M. G.: Magnetic Material Selection for High Power High Frequency Inductors in DC-DC Converters. In: *Proc. Twenty-Fourth Annual IEEE Applied Power Electronics Conf. and Exposition*, 2009, S. 2043–2049
- [114] RYLKO, M. S. ; LYONS, B. J. ; HAYES, J. G. ; EGAN, M. G.: Revised Magnetics Performance Factors and Experimental Comparison of High-Flux Materials for High-Current DC –DC Inductors. 26 (2011), August, Nr. 8, S. 2112–2126

- [115] HILAL, A. ; COUGO, B.: Optimal inductor design and material selection for high power density inverters used in aircraft applications. In: *Proc. Ship Propulsion and Road Vehicles Int 2016 Int. Conf. Electrical Systems for Aircraft, Railway Transportation Electrification Conf. (ESARS-ITEC)*, 2016, S. 1–6
- [116] VON ROLL AG: *Wicklungsdrähte und Litzen*. 05 2012
- [117] CMC KLEBETECHNIK GMBH: *Kupferabschrimband und isolierte Hochstromleitungen für Transformatoren*. Website. <https://www.cmc.de/de/page/kupferabschrimbaender-und-isolierte-hochstromleite>
- [118] ALBACH, M.: *Induktivitäten in der Leistungselektronik*. 06 2015. – European Center of Power Electronics - Cluster Schulung - Induktivitäten in der Leistungselektronik
- [119] HESEDING, J. ; MERTENS, A.: Analytic Loss Calculation for E-Core Inductors including the End Windings. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, S. 1–7
- [120] LI, J. ; ABDALLAH, T. ; SULLIVAN, C. R.: Improved calculation of core loss with nonsinusoidal waveforms. In: *Proc. Conf. Record of the 2001 IEEE Industry Applications Conf.. 36th IAS Annual Meeting (Cat. No.01CH37248)* Bd. 4, 2001, S. 2203–2210 vol.4
- [121] VENKATACHALAM, K. ; SULLIVAN, C. R. ; ABDALLAH, T. ; TACCA, H.: Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters. In: *Proc. IEEE Workshop Computers in Power Electronics*, 2002, S. 36–41
- [122] MUHLETHALER, J. ; BIELA, J. ; KOLAR, J. W. ; ECKLEBE, A.: Improved Core-Loss Calculation for Magnetic Components Employed in Power Electronic Systems. 27 (2012), Februar, Nr. 2, S. 964–973
- [123] MUHLETHALER, J. ; BIELA, J. ; KOLAR, J. W. ; ECKLEBE, A.: Core Losses Under the DC Bias Condition Based on Steinmetz Parameters. 27 (2012), Februar, Nr. 2, S. 953–963
- [124] MÜHLETHALER, J.: *Modeling and multi-objective optimization of inductive power components*. Schweiz, ETH Zürich, Dissertation, 2012
- [125] HWANG, T. S. ; PARK, S. Y.: Seamless Boost Converter Control Under the Critical Boundary Condition for a Fuel Cell Power Conditioning System. In: *IEEE Transactions on Power Electronics* 27 (2012), Aug, Nr. 8, S. 3616–3626
- [126] GARCÍA, O. ; ZUMEL, P. ; CASTRO, A. de ; ALOU, P. ; COBOS, J. A.: Current Self-Balance Mechanism in Multiphase Buck Converter. In: *IEEE Transactions on Power Electronics* 24 (2009), June, Nr. 6, S. 1600–1606
- [127] ANGKITITRAKUL, S. ; HU, H. ; LIANG, Z.: Active Inductor Current Balancing for Interleaving Multi-Phase Buck-Boost Converter. In: *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, 2009, S. 527–532
- [128] QAHOUC, J. A. A. ; HUANG, L. ; HUARD, D.: Sensorless Current Sharing Analysis and Scheme For Multiphase Converters. In: *IEEE Transactions on Power Electronics* 23 (2008), Sept, Nr. 5, S. 2237–2247

-
- [129] AVERBERG, A.: *Gleichspannungswandler für Brennstoffzellensysteme: Analyse, Vergleich und Bewertung unterschiedlicher Konzepte*. Deutschland, Universität Hannover, Fakultät für Elektrotechnik und Informatik, Dissertation, 2009
- [130] BURRESS, T.A. ; CAMPBELL, S.L. ; AYERS, C.W. ; WERESZCZAK, A.A. ; CUNNINGHAM, J.P. ; MARLINO, L.D. ; SEIBER, L.E. ; LIN, H.T.: *Evaluation of the 2010 Toyota Prius Hybrid Synergy Drive System / Oak Ridge National Laboratory*. Oak Ridge, Tennessee 37831, May 2011 (ORNL/TM-2010/253). – techreport. – EE USDOE - Office of Energy Efficiency and Renewable Energy (EE)

Abschussarbeiten

- [A] C. SOMMER, "Entwicklung und Implementierung neuer Steuer- und Regelungsverfahren für Hochsetzsteller und Wechselrichter mit gemeinsamen Zwischenkreis im Betriebsverbund", *Institut für Antriebssysteme und Leistungselektronik, Gottfried Wilhelm Leibniz Universität Hannover*, Masterarbeit, September 2013.
- [B] S. WEBER, "Entwicklung und Aufbau neuer Gate-Treiber zur sicheren Ansteuerung und Überwachung von Verarmungstyp SiC-JFETs", *Institut für Antriebssysteme und Leistungselektronik, Gottfried Wilhelm Leibniz Universität Hannover*, Masterarbeit, November 2013.

Lebenslauf

Name: Arvid Merkert
Geburtsdatum: 21.06.1984
Geburtsort: Stadthagen
Staatsangehörigkeit: deutsch

Berufliche Laufbahn:

seit 09/2017 ABB Automation GmbH
03/2016 - 09/2017 ABB Automation GmbH via Hays Professional Solutions GmbH
12/2009 - 11/2015 Institut für Antriebssysteme und Leistungselektronik, Universität Hannover

Studium:

12/2017 Promotion
03/2014 - 12/2017 Promotion Elektrotechnik, Universität Hannover
11/2009 Diplom
10/2004 - 11/2009 Elektrotechnik, Studienrichtung Energietechnik, Universität Hannover

Praktika:

10/2008 - 02/2009 Lenze Drive Systems GmbH

Wehrdienst:

08/2003 - 05/2004 4. PzGrenLehrBtl92 Munster

Schulbildung:

07/2003 Allgemeine Hochschulreife
07/2000 - 07/2003 Fachgymnasium Technik Stadthagen
07/1996 - 07/2000 Ratsgymnasium Stadthagen

Eigene Veröffentlichungen

Veröffentlichungen in Fachzeitschriften:

A. MERKERT, T. KRONE AND A. MERTENS, "Characterization and Scalable Modeling of Power Semiconductors for Optimized Design of Traction Inverters with Si- and SiC-Devices", in *IEEE Transactions on Power Electronics* , vol. 29, no. 5, pp. 2238-2245, May 2014.

S.H. TEICHEL, M. DÖRBAUM, O. MISIR, A. MERKERT, A. MERTENS, J.R. SEUME AND B. PONICK "Design considerations for the components of electrically powered active high-lift systems in civil aircraft", *CEAS Aeronautical Journal* , Volume 6, Number 1, pp. 49-67

Konferenzbeiträge:

A. MERKERT, J. MÜLLER AND A. MERTENS, "Component design and implementation of a 60 kW full SiC traction inverter with boost converter", *2016 IEEE Energy Conversion Congress and Exposition (ECCE)* , Milwaukee, WI, 2016, pp. 1-8

A. MERKERT, S. WEBER AND A. MERTENS, "Thermal Impedance Identification of a SiC JFET Module", *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems* , Nuremberg, Germany, 2016, pp. 1-6

C. SOMMER, A. MERKERT AND A. MERTENS, "A new control method for minimizing the DC-link capacitor current of HEV inverter systems", *2014 IEEE Energy Conversion Congress and Exposition (ECCE)* , Pittsburgh, PA, 2014, pp. 1188-1193.

S. WEBER, A. MERKERT AND A. MERTENS, "Gate driver for safe operation of depletion mode SiC JFETs", *2014 IEEE Energy Conversion Congress and Exposition (ECCE)* , Pittsburgh, PA, 2014, pp. 5716-5722.

A. MERKERT, T. KRONE AND A. MERTENS, "Characterization and scalable modeling of power semiconductors for optimized design of traction inverters with Si- and SiC-devices", *2012 IEEE Vehicle Power and Propulsion Conference* , Seoul, 2012, pp. 647-652.

T. KÖNEKE; A. MERKERT AND A. MERTENS "System based optimization of the chip size and the thermal path for Si and SiC semiconductors ", *6th International Conference on Integrated Power Electronic Systems* , Nürnberg, 2010, pp. 221-226.